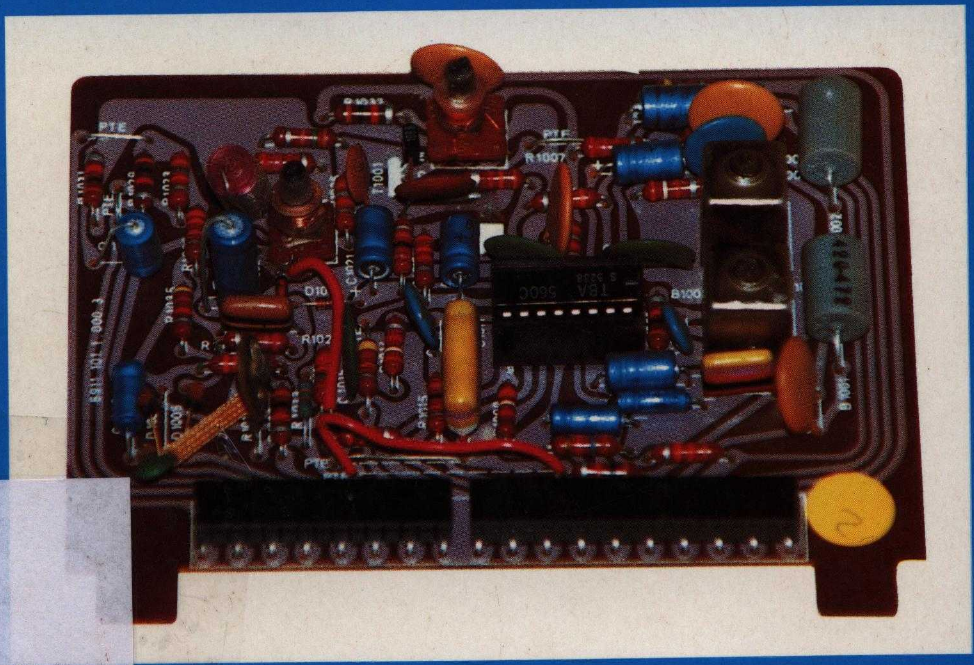
ELECTRONICA FUNDAMENTAL 6

Teoría y práctica. Desde la válvula hasta el circuito integrado

TEORIA: Circuitos integrados digitales y analógicos. El microprocesador

PRACTICA: Montaje y experimentación con circuitos integrados lógicos y operacionales



PARANINFO SA

J. Mª Angulo

José M.ª Angulo Usategui

Dr. Ingeniero Industrial

ELECTRONICA FUNDAMENTAL 6

TEORIA Y PRACTICA. DESDE LA VALVULA HASTA EL CIRCUITO INTEGRADO

TEORIA: Circuitos Integrados Digitales y Analógicos El microprocesador

PRACTICA: Montaje y experimentación con circuitos integrados lógicos y operacionales

OCTAVA EDICION



1992

Indice

Prólogo

El fin que persigue esta obra es constituir un Curso Básico de Electrónica, tanto en el aspecto teórico como en el práctico. Para conseguirlo, se ha tratado de dar una explicación física de los fenómenos eléctricos y electrónicos textual y gráficamente, a fin de hacerlo más asequible a los que desconocen totalmente esta técnica. Por este motivo se han eliminado los planteamientos matemáticos, recurriendo exclusivamente a las operaciones numéricas más elementales.

El curso completo consta de siete tomos y el temario tanto teórico como práctico que contiene cada tomo es el siguiente:

TOMO 1.—TEORIA: Introducción a la electrónica. Electricidad. PRACTICA: Soldadura y montajes eléctricos. El aparato de medida. Componentes eléctricos y electrónicos.

TOMO 2.—TEORIA: Fuentes de alimentación. Rectificadores y filtros. PRACTICA: Características de las válvulas y semiconductores diodos. Montaje de fuentes de alimentación.

TOMO 3.—TEORIA: Amplificadores. PRACTICA: Sonido, altavoces y micrófonos. Características de las válvulas amplificadoras. Amplificadores de Baja y Alta Frecuencia.

TOMO 4.—TEORIA: Generadores de señales. Osciladores. Receptor superheterodino de A.M. PRACTICA: Montaje, ajuste y averías de un receptor de radio.

TOMO 5.—TEORIA: Diodos, transistores y semiconductores especiales. PRACTICA: Experimentación y montaje sobre circuitos con semiconductores especiales.

TOMO 6.—TEORIA: Circuitos Integrados. Digitales y analógicos.

El microprocesador. PRACTICA: Montajes y experimentación con circuitos integrados lógicos y operacionales.

TOMO 7.– PROBLEMAS DE ELECTRONICA. (Resueltos y con soluciones).

El presente tomo 6 expone los fundamentos, características y aplicaciones de los circuitos integrados en sus dos versiones: lógica y analógica. Al mismo tiempo que se profundiza en los amplificadores operacionales, se presentan varias lecciones de tipo práctico para que con material muy sencillo y barato el lector pueda comprobar las aplicaciones más interesantes de este tipo de circuitos integrados. Asimismo, en la parte lógica, se hace un estudio de los fundamentos del álgebra de Boole, la forma de resolver problemas de automatización industrial y los elementos digitales tales como básculas, registros, contadores, memorias, convertidores A/D y D/A, unidades aritméticas, multiplexores, etc. También se ha incluido una lección que presenta numerosos experimentos, para familiarizarse con el uso de los circuitos integrados digitales.

Finalmente las últimas lecciones de este tomo tratan los aspectos que configuran a los microprocesadores: Hardware y Software, exponiéndose el campo de aplicaciones y el previsible futuro de los mismos, que constituirá una de las etapas más importantes de la historia de la Electrónica. En esta 8ª edición del tomo 6, se ha renovado completamente la sección de microprocesadores, orientándola hacia el 8085 de INTEL.

A los lectores interesados en profundizar los temas expuestos en este tomo se les recomienda las siguientes obras del mismo autor editadas por Paraninfo:

- ELECTRONICA DIGITAL MODERNA
- MICROPROCESADORES. Arquitectura, programación y desarrollo de sistemas.
- MICROPROCESADORES. Curso sobre aplicaciones industriales.
- MICROPROCESADORES. Fundamentos, diseño y aplicaciones en la industria y los microcomputadores.
- MICROPROCESADORES. Diseño práctico de sistemas.
- PRACTICAS DE MICROELECTRONICA Y MICROINFORMATICA
- MICROPROCESADORES 8086, 80286 y 80386.

El autor

LECCION 1

Fundamentos y construcción de los circuitos integrados

IMPORTANCIA DEL CIRCUITO INTEGRADO

La rapidez con que el transistor, descubierto en 1948, desplazó a la válvula electrónica en las aplicaciones existentes y nuevas ha sido superada por la del circuito integrado, descubierto entre 1959 y 1960, que está desplazando en la actualidad a los fabricados con componentes discretos (transistores, diodos, resistencias, condensadores, etc.). Dicho desplazamiento se debe a las importantes venjatas que ofrece en todos los órdenes, puesto que no sólo cambia la estructura de los circuitos, sino que también afecta al nivel y preparación de los técnicos encargados de su manejo y a algunos conceptos socioeconómicos no previsibles con el cableado habitual: Mano de obra, reducción de volumen y costes, reducción de stocks, etc.

"Un circuito integrado es un circuito electrónico funcional constituido por un conjunto de transistores, diodos, resistencias y condensadores, fabricados en un mismo proceso, en un substrato común, llamado laminilla, oblea o "chip", en su posición natural y dentro de la misma cápsula."

Por lo tanto, un circuito integrado, con dimensiones parecidas a cualquier semiconductor, contiene varios componentes discretos, interconexionados internamente, que responden a una función electrónica definida.

Con el circuito integrado cambia la filosofía del tratamiento y análisis de los equipos electrónicos. Los valores tradicionales existentes hasta ahora, como eran la experiencia, la paciencia y un sexto sentido en el desenvolvimiento dentro de la Electrónica, son desplazados por un conocimiento teórico más profundo de los bloques funcionales en sentido

general y perdiendo la insignificancia de cada elemento particular que lo forma, junto con la utilización de instrumentos de medida más complejos, precisándose más el uso del osciloscopio que el polímetro.

Por otro lado, el desarrollo que en los últimos años ha impulsado a los c.i. (circuitos integrados), tanto en la tecnología de su fabricación como en cuanto a la investigación de nuevas aplicaciones, ha logrado introducir en una cápsula de c.i. todos los componentes que conforman el alma de un ordenador, o sea, un microprocesador, con lo que se ha puesto en manos del diseñador electrónico el arma potentísima que constituye el computador y que en breve espacio de tiempo se aplicará a elementos hasta ahora insospechados.

VENTAJAS E INCONVENIENTES DEL USO DEL C.I.

El esfuerzo de la industria electrónica en la miniaturización de sus equipos se ha visto compensado ampliamente con el descubrimiento de los c.i., en los que se ha conseguido construir miles de componentes dentro de una cápsula de dimensiones similares a las de un transistor, sólo que con alguna patita más. Pero la reducción de volumen tan considerable no ha sido únicamente la ventaja que hace del c.i. elemento indispensable en muchas industrias de vanguardia (medicina, militar, aeroespacial, etc.) sino que las que se reseñan a continuación tienen tanta o mayor importancia:

1.ª) *Reducción del coste:* Aunque el proyecto y los utillajes necesarios para fabricar un c.i. son mucho más costosos que los de un elemento discreto, dado el alto número de unidades que se hacen de cada tipo, el bajo precio del material base y la automatización del proceso, se amortizan fácilmente y en el momento presente existen bastantes modelos de c.i. cuyo precio es inferior al de un solo transistor.

2.ª) *Aumento considerable de la fiabilidad:* Un c.i. tiene una fiabilidad en cuanto a funcionamiento y duración mucho mayor que otro similar realizado con componentes discretos, no sólo porque en este último caso la fiabilidad depende de cada uno de los componentes que lo forman, sino también debido:

a) al esmerado estudio que exige el proyecto de un c.i.;

b) a las modernas técnicas de fabricación;

c) a la reducción de las longitudes de las interconexiones;

d) a la menor influencia de la temperatura sobre los diversos componentes, por estar todos contenidos en una mínima superficie y afectarles por igual;

e) a que el encapsulado total de los componentes aumenta su protección.

3.ª) *La respuesta* de un c.i. es mucho más rápida, pues el paso de la corriente depende de las longitudes de las interconexiones, que son mínimas.

4.ª) *Reducción importante de capacidades* parásitas entre los componentes a causa de su proximidad.

5.ª) *Reducción de tiempo* en la localización de avería, ya que el sistema que ha de usarse es el de la sustitución del c.i. defectuoso, por ser imposible su reparación. Esta característica lleva aparejada una formación más completa y teórica de los técnicos electrónicos, así como el uso de instrumental más complejo.

6.ª) *Reducción de stocks* para las reparaciones y montajes.

7.ª) *Eliminación de los posibles errores* en el montaje e interconexión de componentes.

8.ª) *Dado el bajo coste* que en un c.i. suponen la fabricación de transistores y diodos, éstos se pueden utilizar con una gran profusión, mejorando las especificaciones técnicas de los circuitos.

También hay que tener en cuenta, al emplear los c.i., que existen ciertas limitaciones o inconvenientes, como los que se citan:

1.ª) Los valores de las resistencias y condensadores integrados no pueden superar ciertos máximos y además con tolerancias importantes y coeficientes de temperatura pequeños. Por este motivo este tipo de componentes suelen quedar en el exterior del c.i., aunque con las mejoras en los procesos de fabricación constantemente se están superando estas limitaciones.

2.ª) Dadas sus dimensiones, la potencia máxima que pueden disipar los c.i. es reducida.

3.ª) Las grandes dificultades en la construcción de bobinas e inductancias en el c.i. hacen que no sean integradas en la mayoría de los casos.

4.ª) No es conveniente, dado el bajo rendimiento, integrar en la misma oblea los dos tipos de transistores: PNP y NPN.

5.ª) En países como España, en los que se comienza a fabricar los c.i. y casi todos deben ser importados, los modelos con que se ha de trabajar hay que escogerlos con cuidado, procurando que existan diferentes fuentes de suministro.

6.ª) La manipulación con c.i. exige instrumental y herramientas adecuadas. Los soldadores especiales de punta fina, las pinzas extractoras

de c.i., los desoldadores, los zócalos, las placas específicas de circuito impreso, osciloscopio de doble trazo, polímetro digital, generador de funciones y sondas lógicas deben ser, entre otros, los nuevos elementos que han de incorporarse al taller electrónico. En la figura 1-1 se muestran algunos zócalos y circuitos integrados.

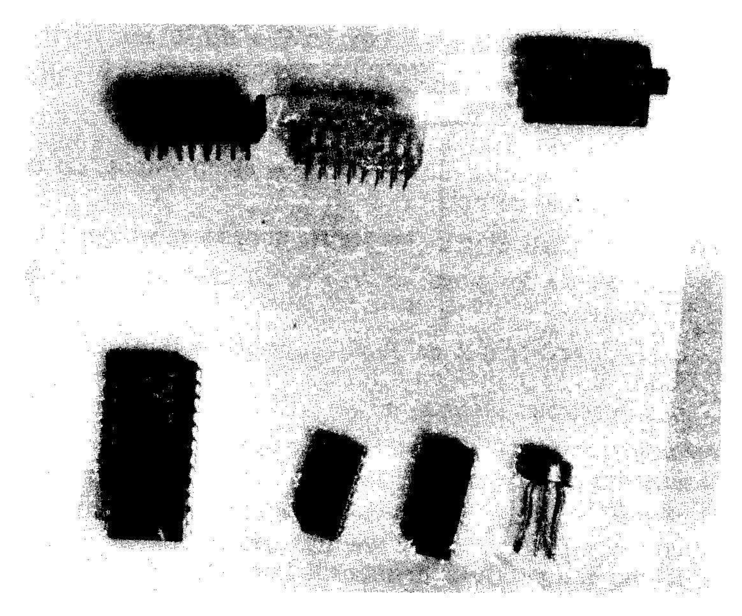


Fig. 1-1

FABRICACION DE LOS CIRCUITOS INTEGRADOS

En general, todos los c.i. monolíticos, o sea, en la que todos los componentes se forman en una única oblea, se fabrican utilizando el mismo material base y los mismos procesos, que se exponen someramente a continuación

1.ª FASE: Se establece el esquema a base de componentes discretos que se quiere integrar; a continuación se realiza su montaje y se comprueba la exactitud de los valores y su correcto funcionamiento.

2.ª FASE: Ya elaborado y perfeccionado el circuito que ha de contener el c.i., se parte de cilindros de silicio monocristalinos puros, de unos 4 cms. de diámetro, los cuales se cortan en placas redondas de 1/4 mm. de espesor cada una. Estas láminas redondas de silicio, ligeramente alte-

de c.i., los desoldadores, los zócalos, las placas específicas de circuito impreso, osciloscopio de doble trazo, polímetro digital, generador de funciones y sondas lógicas deben ser, entre otros, los nuevos elementos que han de incorporarse al taller electrónico. En la figura 1-1 se muestran algunos zócalos y circuitos integrados.

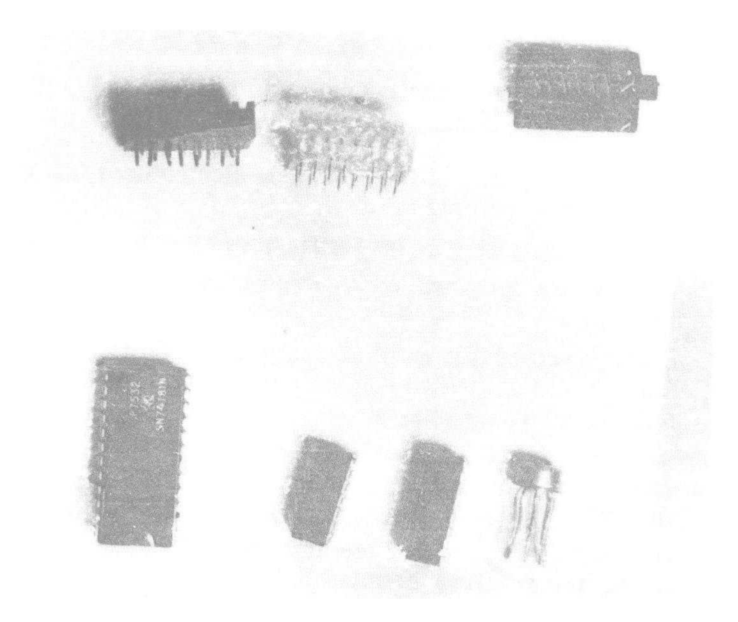


Fig. 1-1

FABRICACION DE LOS CIRCUITOS INTEGRADOS

En general, todos los c.i. monolíticos, o sea, en la que todos los componentes se forman en una única oblea, se fabrican utilizando el mismo material base y los mismos procesos, que se exponen someramente a continuación

1.ª FASE: Se establece el esquema a base de componentes discretos que se quiere integrar; a continuación se realiza su montaje y se comprueba la exactitud de los valores y su correcto funcionamiento.

2.ª FASE: Ya elaborado y perfeccionado el circuito que ha de contener el c.i., se parte de cilindros de silicio monocristalinos puros, de unos 4 cms. de diámetro, los cuales se cortan en placas redondas de 1/4 mm. de espesor cada una. Estas láminas redondas de silicio, ligeramente alte-

rado con impurezas de tipo P, por lo regular, constituyen cada una de ellas el "substrato" que contendrá varios cientos de c. i. elementales, cuyas dimensiones por término medio vienen a ser de un cuadrado de 1 mm de lado, o sea, una superficie de 1 mm^2. En la figura 1-2 se muestra un substrato con sus dimensiones características y en él los c. i. que se forman.

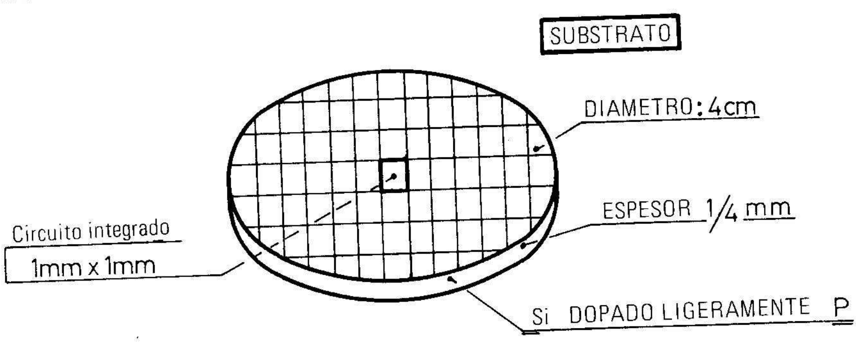


Fig. 1-2

El substrato contiene muchos c. i. elementales. Por eso la fabricación se efectúa con todos ellos a la vez, por lo que una vez acabada se corta el substrato y se obtienen los distintos c.i., que se encapsulan por separado.

3.ª *FASE:* Para crear los diferentes componentes que forman cada c.i. existentes en el substrato, se utiliza la técnica planar, que ya se comentó en el tomo 5, cuando se habló de la fabricación de los transistores de este tipo.

En el substrato de tipo P, de silicio, se crea en una de sus superficies una capa de unas 10 μm de tipo N, mediante una vaporización a alta temperatura, según la figura 1-3.

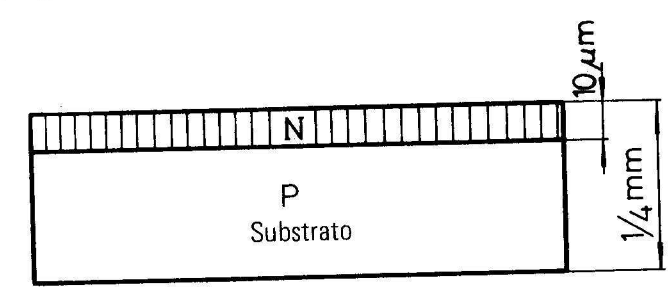


Fig. 1-3.

4.ª *FASE:* En un horno a temperatura superior a los 1.000° C y en presencia de oxígeno, se cubre la superficie con una capa de óxido de silicio de 1/2 μm de espesor, que tiene por misión proteger las dos zonas existentes hasta el momento y evitar que penetren en ellas los productos de las difusiones que se harán posteriormente, como se ha representado gráficamente en la figura 1-4.



Fig. 1-4

5.ª *FASE:* Se recubre toda la superficie oxidada con un barniz fotosensible y sobre él se aplica una máscara que tiene abiertas unas ventanas u orificios exactamente en el sitio adecuado y de las dimensiones precisas para la ubicación de cada componente o zona del mismo (figura 1-5).

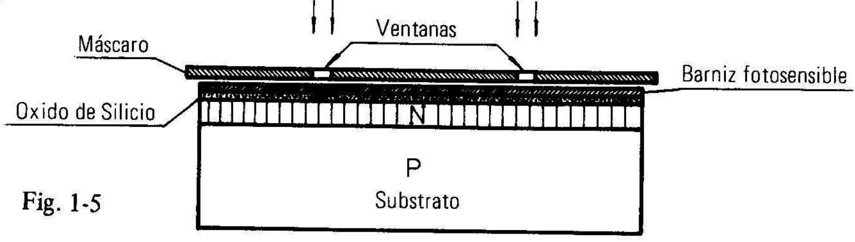


Fig. 1-5

Usando una técnica de fotograbado y mediante exposición a rayos ultravioleta se logra eliminar la parte de barniz que queda debajo de las ventanas y posteriormente también la zona de óxido de silicio, que está debajo de ellas, quedando las diferentes capas como se aprecia en la figura 1-6.

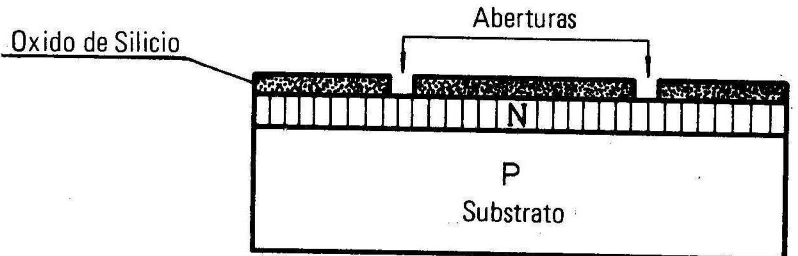


Fig. 1-6

6.ª *FASE:* Para lograr el aislamiento de la zona epitaxial N se produce a través de las ventanas una difusión de impurezas de tipo P, que atraviesa dicha capa epitaxial (figura 1-7).

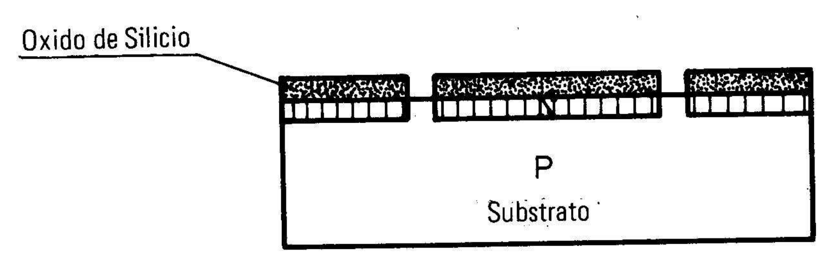


Fig. 1-7

El aislamiento de las zonas N con el substrato P se logra polarizando inversamente dichas uniones.

7.ª *FASE:* Oxidada nuevamente toda la superficie de trabajo, se abren por medio de máscaras otras ventanas, por las que se realizará la difusión de las bases de tipo P sobre la capa epitaxial N, a las que en la figura 1-8 se ha considerado que poseen una profundidad de unas 4 μm.

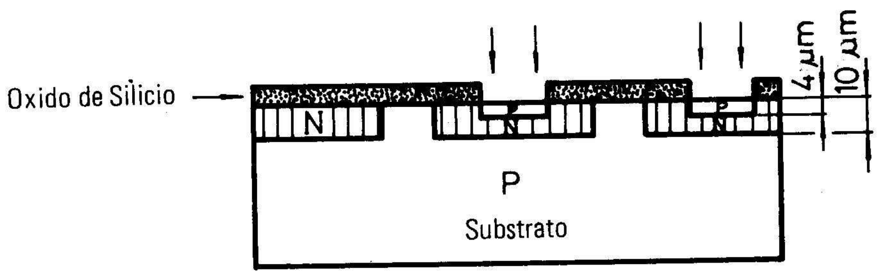


Fig. 1-8

8.ª *FASE:* Por medio de una nueva abertura de ventanas con la máscara adecuada se produce la difusión de los emisores de los transistores, que en el ejemplo que se describe son de tipo N. La superficie tratada ha debido ser previamente oxidada. También en esta fase, y para evitar el efecto rectificador metal-semiconductor que se puede producir posteriormente con la adición de la capa metalizada para el interconexionado, se suelen crear zonas N fuertemente impurificadas, que en el ejemplo que se sigue sólo se ha representado en la figura 1-9, en una de las tres zonas N aisladas.

9.ª *FASE:* Finalmente, por medio de otra operación de fotograbado se abren las ventanas correspondientes a los puntos de interconexión que se han de establecer, para luego recubrir totalmente toda la superficie por una capa de aluminio de 1 μm. Después, con otra operación de fotograbado se dejará el aluminio únicamente en los contactos en que interese.

10.ª *FASE:* Se cortan los cientos de c.i. u obleas que contiene cada lámina base de silicio y a partir de ahora se trabaja con cada uno de ellos por separado, estableciendo en primer término las conexiones que se han de realizar entre los diferentes puntos del c.i. y las patitas de la cápsula, con hilo de aluminio muy delgado, encapsulando finalmente el conjunto.

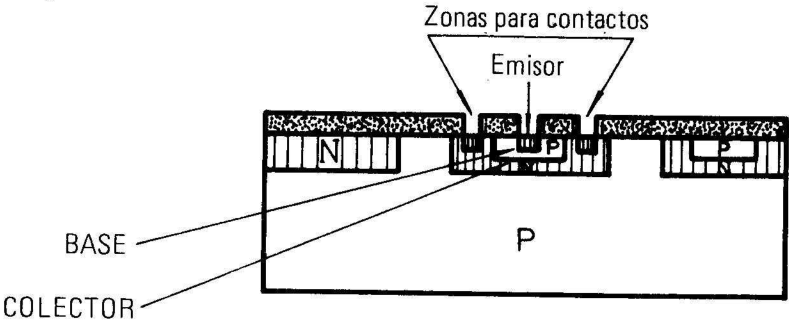


Fig. 1-9

Aunque existen otros procedimientos y sobre todo variantes en la fabricación de c.i., el que se ha expuesto, por ser el más importante, puede dar al lector una idea de la precisión, complejidad y laboriosidad en la obtención de los c.i., que se ve muy atenuada con la automatización de todo el proceso y el empleo del instrumental y maquinaria muy especializados.

FORMACION DE COMPONENTES ACTIVOS Y PASIVOS EN EL C.I.

Se acaba de explicar detenidamente la fabricación de un transistor NPN, en el c.i., que es uno de los componentes más interesantes. La de un transistor PNP se logra haciendo que su colector coincida con el mismo substrato. Los transistores de efecto de campo, de tipo MOS, de los que más adelante se amplían detalles sobre sus características y constitución, se logran realizando dos difusiones, surtidor y drenador, cercanas, entre las que se crea el canal que lo gobierna, el graduador, aislado por óxido de silicio.

Los diodos se forman en los c.i. a base de transistores NPN, siendo en general el cátodo de los mismos el emisor del transistor y el ánodo

el colector y la base, unidos ambos entre sí como se representa en la figura 1-10.

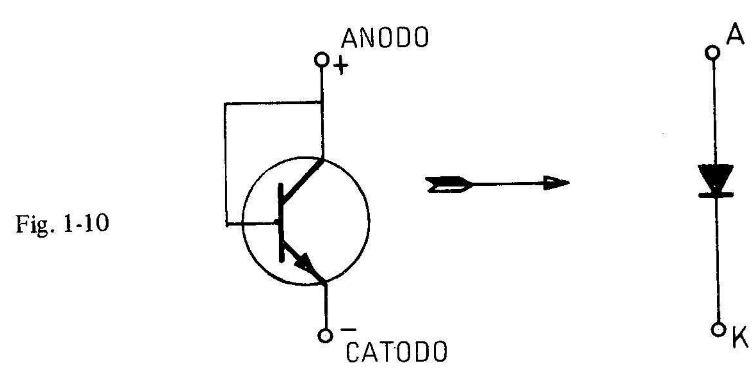


Fig. 1-10

Los condensadores se forman aprovechando una unión N-P y polarizándola inversamente para hacerla trabajar al igual que un varicap. También se pueden construir condensadores verdaderos utilizando el óxido de silicio como material dieléctrico, pero dado el reducido espacio que pueden ocupar, su capacidad viene limitada a unos pocos cientos de picofaradios como máximo.

La fabricación de resistencias se logra controlando la superficie y penetración de la 2ª difusión de impurezas, que constituye la base en el caso de un transistor, existiendo también otros métodos. Ha de tenerse en cuenta, sin embargo, que es difícil superar los 50 kΩ con tolerancias del orden del ±25 por 100. Por otro lado, su valor óhmico es muy sensible a las variaciones de temperatura.

También se pueden construir dentro del c.i., alternando adecuadamente las difusiones, semiconductores tales como tiristores, triacs, transistores uniunión, etc., siendo frecuente, dada la dificultad e imprecisión, evitar en lo posible la integración de condensadores e inductancias.

CLASIFICACION BASICA DE LOS CIRCUITOS INTEGRADOS

Los c.i. se pueden clasificar en un principio, atendiendo a su constitución interna, en dos grandes bloques: bipolares y MOS, estribando la diferencia entre ambos únicamente en el tipo de transistor formado en el substrato, que en el primer caso es el normal con dos uniones N-P, dando lugar al NPN o al PNP, y en el segundo se trata de dos áreas del mismo material semiconductor conectadas entre sí por un estrecho canal que controla el paso de corriente entre ellas.

Si bien la fabricación de los c.i. es similar para los dos tipos mencionados, la utilización de los MOS es mucho más recomendable, por lo que se hace de ellos un estudio especial. Aunque la velocidad de conmutación de los transistores MOS es menor que la de los bipolares, poseen dos ventajas importantísimas para la fabricación de los c.i.: 1ª) Está totalmente aislado, por lo que ocupa una superficie notablemente inferior a los transistores bipolares, con lo que se logra una densidad muy superior a éstos. 2ª) El transistor MOS se puede utilizar como resistencia variable entre las dos áreas iguales de semiconductor que lo forman, sustituyendo a las resistencias que se fabrican generalmente en los c.i., mucho más grandes y de menor valor.

CIRCUITOS INTEGRADOS BIPOLARES Y MOS

Fundamentalmente los transistores tienen dos formas de trabajo: la lineal y la de conmutación. Como ya se ha explicado en el tomo 5, todos los puntos de funcionamiento posibles de un transistor, pueden representarse en un gráfico $I_C - V_{CE}$, mediante una recta llamada "recta de carga" y cuya pendiente viene determinada por el valor de la resistencia de carga del transistor. En la figura 1-11 se muestra el circuito típico de un transistor y la recta de carga que le corresponde.

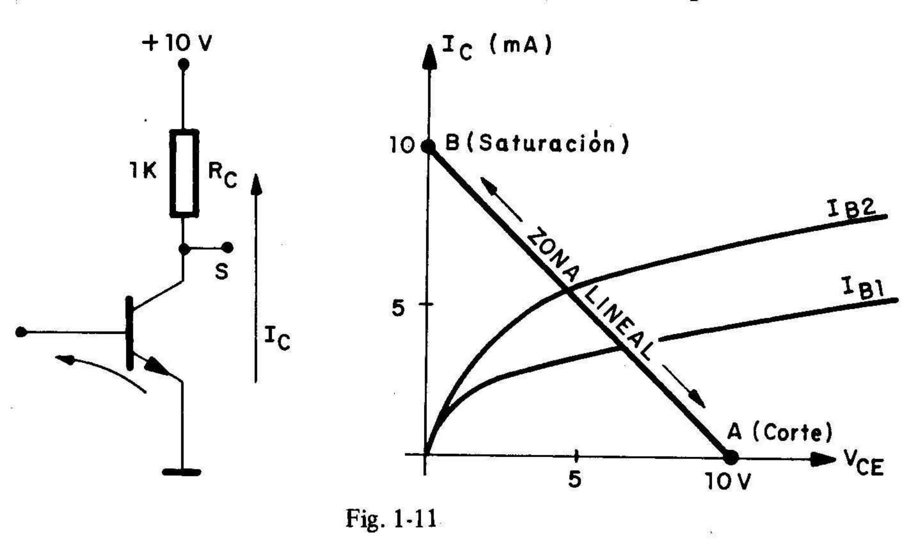


Fig. 1-11

El transistor trabaja en la zona lineal, desplazando su punto de funcionamiento sobre la zona central de la recta de carga. En este caso las

las variaciones de la corriente que circula en la entrada a través de la Base, determinan la corriente de salida por el Colector.

Cuando el transistor trabaja en conmutación, sólo emplea los dos puntos extremos de la recta de carga, o al menos los más próximos, puesto que el punto B de saturación mostrado en la figura 1-11, tiene sólo un carácter teórico, puesto que V_{CE} en saturación no puede llegar a anularse, para que el transmisor conduzca la corriente máxima. En general la $V_{CE\ SAT} = 0{,}3$ V. La figura 1-12 muestra los dos puntos teóricos de trabajo del transistor en conmutación.

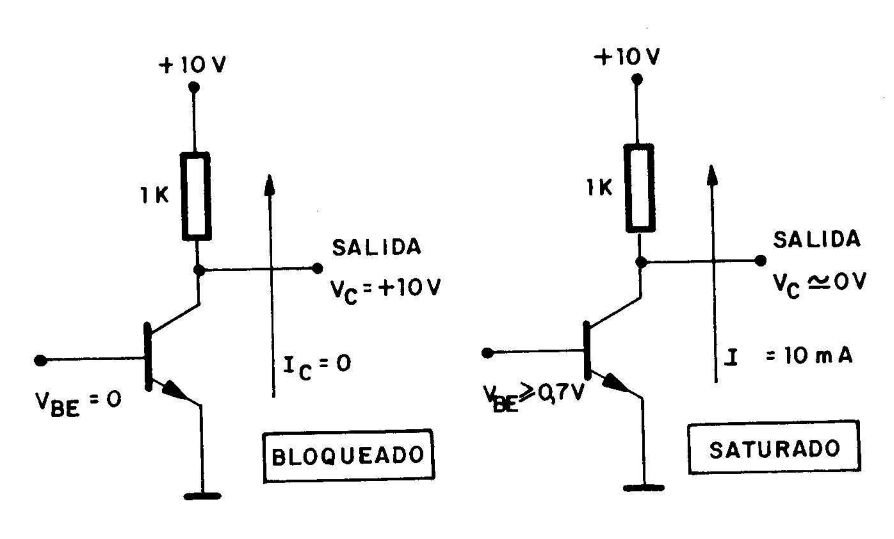


Fig. 1-12

En los circuitos integrados se forman sobre el mismo substrato muchos transistores, bien sean bipolares o MOS. En el caso de la fabricación de circuitos integrados con transistores bipolares, se necesita aislar a cada transistor del substrato, para evitar el contacto eléctrico entre este transistor y los restantes a través del propio substrato. Este hecho lleva aparejado una serie de difusiones de aislamiento que contribuyen al aumento de la superficie empleada. La ventaja de la utilización de los transistores MOS en los circuitos integrados es que cada uno queda aislado del substrato por su propia naturaleza, ya que la tensión negativa del drenador y del surtidor, originan la repulsión de los electrones libres del substrato, generando una zona sin portadores de carga alrededor del transistor que actúa como aislante. Ver la figura 1-13.

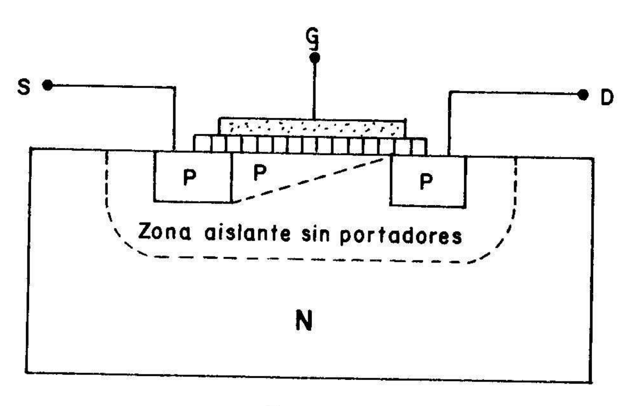


Fig 1-13

El circuito típico correspondiente a un transistor MOS, se representa en la figura 1-14 y es similar al que emplea un transistor bipolar.

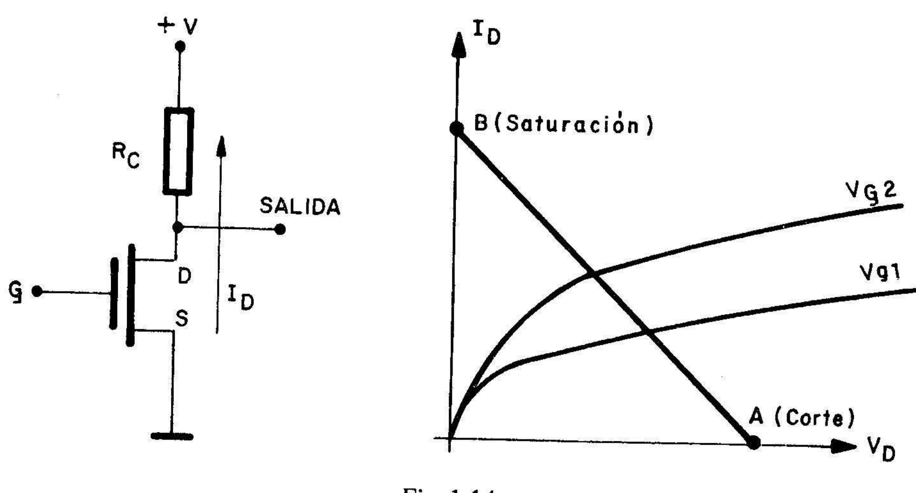


Fig. 1-14

Como quiera que con la técnica de difusiones empleada en la fabricación de los circuitos integrados, la obtención de una resistencia de carga exige una superficie considerable, es muy corriente sustituirla por otro transistor MOS, tal como se muestra en la figura 1-14, en la que se emplea en la representación de los transistores MOS el símbolo simplificado.

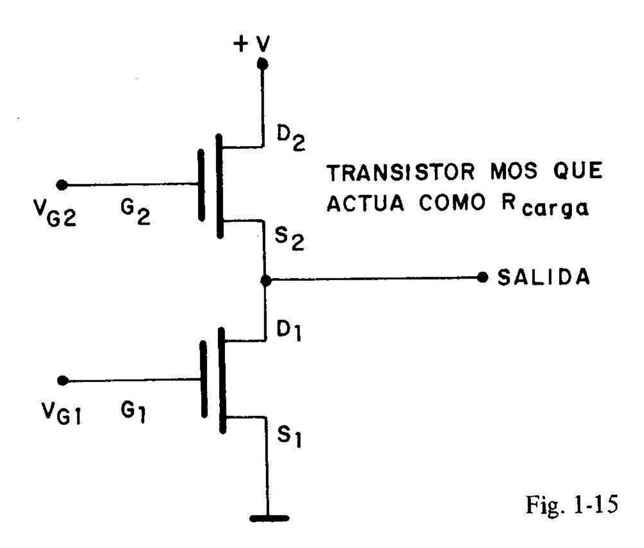


Fig. 1-15

El circuito de la figura 1-15, tiene como inconveniente el de precisar de dos tensiones, la de alimentación y la de polarización del graduador del transistor MOS que actúa como resistencia de carga. Cuando se desea eliminar la alimentación específica que precisa G_2, se conecta este electrodo directamente a la alimentación V.

Los circuitos CMOS emplean simultáneamente transistores PMOS y NMOS, mostrándose en la figura 1-16, el circuito básico de un inversor implementado con tecnología CMOS.

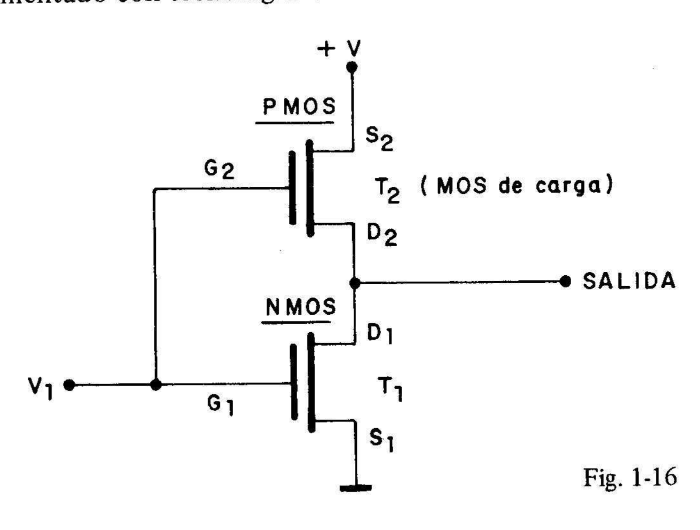


Fig. 1-16

Respecto a la figura 1-16, si V_1 es suficientemente positiva, T_1 conduce, mientras que T_2 (PMOS) está bloqueado. Esta situación origina en la salida una tensión prácticamente nula. Cuando V_1 es nula, T_1 se bloquea y T_2 conduce, al ser G_2 negativo respecto al substrato, conectado con el surtidor a +V. Ahora la tensión de salida será prácticamente la de alimentación. Este circuito se comporta como un inversor, puesto que la salida ofrece un nivel de tensión opuesto al de entrada.

EJERCICIOS DE LA LECCION 1.ª

Poner una cruz en la respuesta correcta.

1.ª PREGUNTA. Un chip es:

a) Un circuito integrado.
b) La cápsula del circuito integrado.
c) El substrato sobre el que se forma el c.i.

2.ª PREGUNTA. La fiabilidad del c.i. es mayor:

a) Porque se reduce su coste económico.
b) Porque su diseño es muy exigente.
c) Porque no le influyen las variaciones de temperatura.

3.ª PREGUNTA. Dentro del c.i. se trata de evitar la construcción de:

a) Transistores y diodos.
b) Resistencias.
c) Condensadores e inductancias.

4.ª PREGUNTA. En la fabricación de c.i. el óxido de silicio actúa como:

a) Aislante y protector.
b) Conductor.
c) Como otra capa del componente integrado.

5.ª PREGUNTA. Los condensadores de los c.i. se forman:

a) Aprovechando las capacidades parásitas de los transistores.
b) Aprovechando la capacidad variable de una unión N-P polarizada inversamente.
c) Por medio de dos capas de semiconductor de tipo N separadas por otra de tipo P.

6.ª PREGUNTA. La ventaja de los transistores MOS de empobrecimiento es:

a) Sus bajas polarizaciones.

b) Su aislamiento natural y el reducido espacio que ocupa.

c) Su mayor velocidad de conmutación.

7.ª PREGUNTA. En un transistor PMOS de empobrecimiento, cuanto más alta sea la tensión positiva del graduador:

a) La corriente de drenador es mayor.

b) La corriente de drenador es menor.

c) La corriente de drenador permanece constante.

LECCION 2

Clasificaciones de los circuitos integrados. Nomenclatura y cápsulas

CLASIFICACION DE LOS C.I. SEGUN SU CONSTITUCION INTERNA

Atendiendo a la formación de los c.i., se clasifican en los siguientes grupos:

1) *"MONOLITICOS"*: Tipo al que se refiere normalmente en esta obra y que está caracterizado por haberse formado directamente en el substrato semiconductor y todos los componentes que lo constituyen a la vez. En la lección precedente se comentó su proceso de fabricación.

2) *"PELICULARES"*: Cuando el c.i. está formado en un substrato aislante, como suele ser el vidrio o un material cerámico.

3) *"HIBRIDOS"*: Formados por varios c.i. monolíticos o peliculares, o por un c.i. junto con elementos discretos.

4) *"MULTILAMINAS"*: Cuando los c.i. se han fabricado a base de varias capas semiconductoras, unidas todas ellas a un substrato común.

Otra clasificación, comentada en el capítulo anterior, se refiere al tipo de transistor que se utiliza en la configuración del c.i. Se recuerda que teniendo en cuenta este aspecto había dos tipos:

a) Circuitos integrados con transistores bipolares, que son los que usan exclusivamente, para la confección del esquema a que responden, transistores normales NPN o PNP.

b) Circuitos integrados con transistores MOS, que usan este tipo de transistores y entre sus principales características destacan: reducido espacio y aislamiento natural.

CLASIFICACION DE LOS C.I. SEGUN SU COMPLEJIDAD

Esta forma de clasificar a los c.i. hace referencia en especial al número de componentes que contienen y en general a la cantidad de puertas lógicas de que disponen. Existen tres grandes grupos:

1°) *Pequeña escala de integración* (SSI, Small Scale Integration): Comprende todos los c.i. que contienen pocos componentes y, en concreto, menos de 12 puertas lógicas, las cuales se estudian más adelante.

2°) *Media escala de integración* (MSI, Medium Scale Integration): Contiene todos los c.i. que poseen una mayor densidad de componentes que el grupo anterior, que suele ser del orden de varios cientos y, haciendo referencia a las puertas lógicas, que poseen en su interior de 12 a 100.

3°) *Gran escala de integración* (LSI, Large Scale Integration): Comercializados a partir de 1972, disponen en su interior de más de un millar de componentes, o más de 100 puertas.

CLASIFICACION DE LOS C.I. SEGUN SU APLICACION

Aunque en esencia existen sólo dos grandes campos de aplicación de los c.i., se han establecido tres divisiones, dado que hay un numeroso grupo que, aunque se podía incluir en uno de esos dos grandes bloques, dadas sus peculiaridades específicas se prefiere tenerlo aparte. Dicha clasificación es la siguiente:

1°) *Circuitos integrados lógicos o digitales*: Trabajan según los fundamentos de la lógica, que consisten en dar y admitir únicamente dos estados extremos y opuestos, es decir, el de saturación del transistor con tensión de salida nula, al que se denomina "nivel lógico O" y el de bloqueo, con tensión de salida máxima, al que se denomina "nivel lógico 1".

2°) *Circuitos integrados lineales o analógicos*: Son los que admiten y proporcionan como señales de entrada y salida valores muy diferentes y variables. Dentro de este grupo hay c.i. de aplicación puramente lineal, otros de carácter operacional y otros de carácter variado.

3°) *Circuitos integrados generales de aplicación masiva*: A los que pertenecen todos los que se utilizan en los aparatos de radio y TV, magnetófonos, etc.

FAMILIAS DE CIRCUITOS INTEGRADOS

Para configurar todos los tipos de c.i. que se han mencionado hasta ahora se ha evolucionado sobre diferentes familias, a las que se distingue generalmente por el procedimiento que siguen para realizar el acoplo entre las sucesivas etapas que contienen. Atendiendo a esta característica se pueden distinguir las siguientes familias, dentro de los circuitos integrados digitales que se explican en la lección 10 con detalle.

A) Lógica de resistencia-transistor (RTL, Resistor Transistor Logic): Consiste en colocar una resistencia a la entrada de cada transistor. Estas resistencias y los condensadores de desacoplo precisos exigen mucha superficie de integración. En la figura 2-1 se muestra una puerta *NOR* de dos entradas con acoplo RTL.

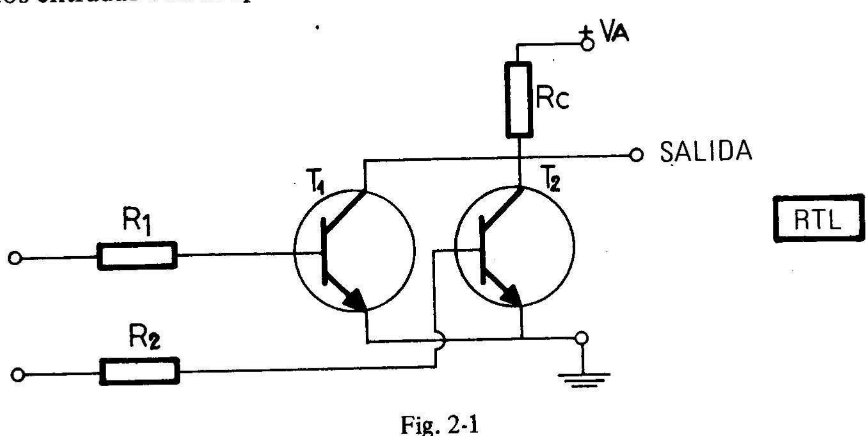


Fig. 2-1

B) Lógica de transistor directamente acoplado (DCTL, Direct Coupled Transistor Logic). El acoplo entre la salida de una etapa y la entrada de la siguiente es directo, lo que simplifica y economiza el c.i. La figura 2-2 presenta una parte de un c.i. en el que se emplea este tipo de acoplo.

Como ventajas importantes de esta familia podemos destacar su pequeña disipación de potencia y la necesidad de una sola alimentación de baja tensión. El inconveniente consiste en la pequeña diferencia entre las tensiones base-emisor de los transistores, que al colocarlos en paralelo pueden dar lugar a consumos diferentes, por lo que a veces hay que añadir resistencias equilibradoras.

C) Lógica de diodo-transistor (DTL, Diode Transistor Logic): La economía que representa en los c.i. usar diodos y transistores ha empujado

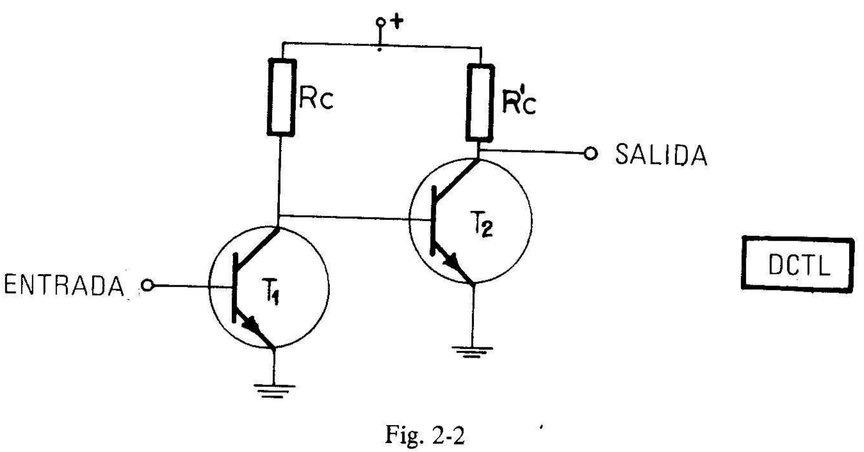


Fig. 2-2

a los fabricantes a eliminar los condensadores, rebajar al máximo los valores de las resistencias y utilizar abundantemente los diodos y transistores. En esta familia se emplean, para el acoplo y polarización de las etapas, diodos y alguna resistencia de bajo valor, combinados con los transistores. En la figura 2-3 se muestra un circuito lógico DTL.

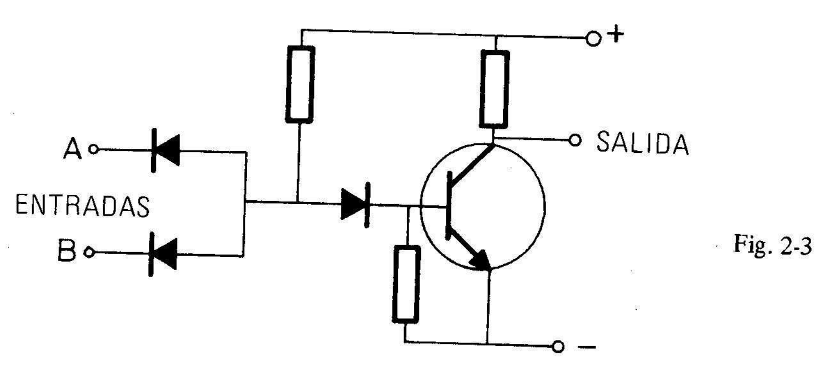


Fig. 2-3

La técnica DTL es más económica y rápida que las mencionadas con anterioridad y sólo precisa una alimentación, que suele ser de 5 V.

D) Lógica de transistor-transistor (TTL, Transistor Logic): Basándose en los mismos principios que la lógica DTL, en lugar de usar diodos simples utiliza para sustituirlos transistores multiemisores, que son similares a los que se estudiaron en la lección anterior, pero en los que se han integrado varias zonas de emisor, de forma que los diodos emisor-base de estos transistores sustituyen a los diodos normales.

E) Lógica de emisor acoplado (ECL, Emitter Coupled Logic): Utiliza como acoplo entre sus transistores a los emisores de los mismos, y como etapa básica el amplificador diferencial.

Se caracteriza por tener una velocidad de respuesta muy alta y una tensión de umbral muy bien determinada.

F) Lógica de transistores complementarios (CTL, Complementary Transistor Logic): Emplea acoplos entre etapas como en el caso anterior, pero combinando transistores complementarios NPN y PNP. Para conseguir una alta impedancia de entrada y una baja de salida, los transistores de entrada y salida se disponen en montaje de colector común.

G) Lógica MOS (Metal Oxide Semiconductor): Emplea los transistores MOS ya expuestos en la 1.ª lección, lo cual le proporciona como característica típica: bajo coste, reducción de espacio, pequeña potencia disipada y velocidad de respuesta mediocre.

TABLA COMPARATIVA DE FAMILIAS DE CIRCUITOS INTEGRADOS

Se comentan a continuación los parámetros más notables en los que ha de fijarse el diseñador para elegir la familia que más le puede interesar en una aplicación concreta. Fig. 2-4.

FIG. 2-4.– . CARACTERISTICAS DE LAS FAMILIAS DE C.I.

Características	FAMILIAS				
	RTL	DTL	ECL	TTL	C MOS
Voltaje alimentación	3 V ± 10 %	5 V ± 10 %	–5,2 a + 20 V – 10 %	5 ± 10 %	3 a 18 V
Potencia disipada por puente	12 m W	10 m W	25 m W	22 m W	1 m W
Fanout	5	8	25	10	< 50
Inmunidad al ruido	Variable	Buena	Correcta	Muy buena	Muy buena
Velocidad de respuesta por puerta	12 ns	30 ns	2 ns	6 ns	70 ns
Precio	Medio	Medio	Medio Alto	Bajo	Medio

CAPSULAS USADAS PARA LOS CIRCUITOS INTEGRADOS

Hay tres tipos básicos de encapsulados:

1.º) Cápsula del tipo TO - 5: Normalmente es de metal y tiene forma cilíndrica similar a la de ciertos transistores. Su mayor inconveniente es que el número de patitas no puede ser mayor de 10, lo que limita mucho sus aplicaciones. En la figura 2-5 se da una vista de la base y de su perfil.

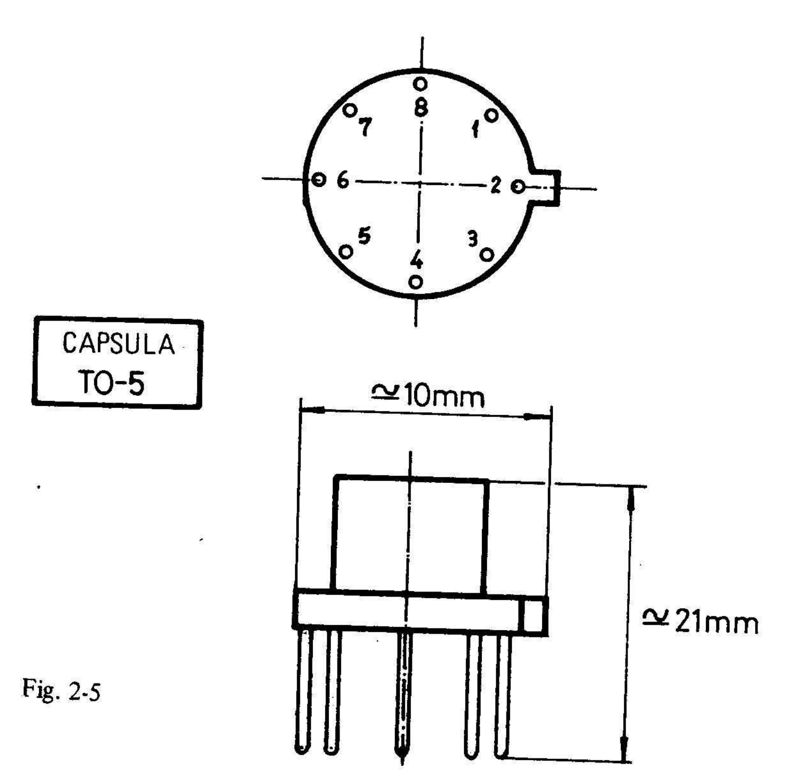


Fig. 2-5

Se puede montar este tipo de cápsula en los circuitos impresos, en la forma usual de los transistores. Vista la cápsula desde arriba, la numeración de las patitas es la indicada en la figura 2-5.

2.º) Cápsula plana ("flat-pack"): Tiene un volumen muy reducido y suele ser de material cerámico, pero dado que sus patas se hallan colocadas de forma que se puedan soldar por puntos, por un procedimiento semiautomático, su montaje con técnicas normales es laborioso. Una

vista de la base y el perfil de este tipo de cápsulas se presenta en la figura 2-6.

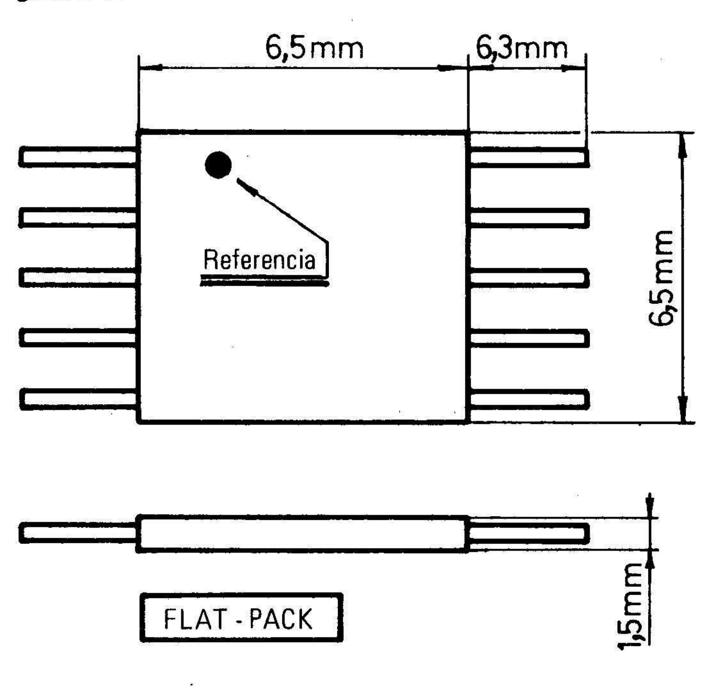


Fig. 2-6

3.° *Cápsula "Dual in line"*, DIP o DIL, o de doble fila de conexiones. Es la más utilizada y puede estar hecha con material plástico o cerámico. Sus dos filas de patitas, al ser rígidas, hace que se puedan insertar en tarjetas normalizadas. Son muy usuales las cápsulas de 14 y 16 patas, una de las cuales se presenta en dos vistas en la figura 2-7.

MODELOS MAS CORRIENTES DE CAPSULAS

En la figura 2-8 se presentan las características más importantes de los 20 modelos más representativos de cápsulas para c.i., todos ellos derivados de los tres tipos básicos ya analizados.

NOMENCLATURA DE LOS C. I.

Desgraciadamente, no existe unificación en la denominación de los c.i. y aunque aumenta constantemente el número de fabricantes, cada

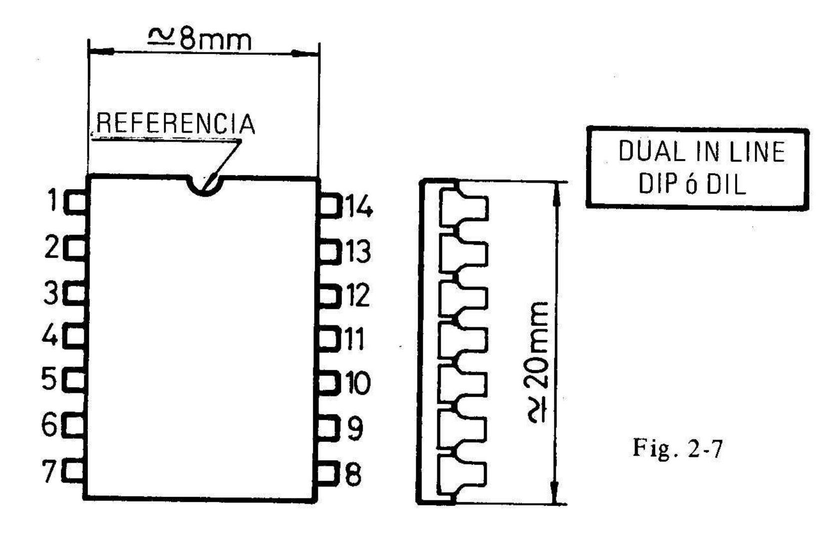


Fig. 2-7

uno utiliza una forma particular para distinguir a sus productos. A continuación se citan los más representantivos.

"Grupo Proelectrón": Los fabricantes europeos, en general, tienen tendencia a usar el código Proelectrón, según el cual cada c.i. se designa mediante tres letras mayúsculas y tres cifras, cuyo significado se detalla a continuación:

Primera letra: Sirve para designar el tipo de c.i. de que se trate, según el código siguiente:

T : c. i. lineal o analógico.
F : c. i. digital que forma familia con otros.
S : c. i. digital que no forma familia con otros.
U : c. i. mixto digital-analógico.

Segunda letra: No tiene ninguna significación especial e indica simplemente que todos los c. i. que comparten esta segunda letra pertenecen a la misma familia. Así, es usual hacer corresponder la letra C con la familia diodo-transistor; la D, con MOS y la J, con la TTL.

Tercera letra: Indica la función del circuito de la siguiente manera:

A : Amplificación lineal.
B : Demodulación.
C : Oscilación.
D : Combinación de circuitos lineales.
G : Circuitos híbridos.

H : Circuitos combinacionales.
J : Circuitos multistables.
K : Circuitos monostables.
L : Convertidores de nivel digital.
N : Multimetastables.
Q : Circuitos de memoria lectura-escritura.
R : Circuitos de memoria sólo lectura.
S : Amplificador de lectura.
Y : Diversos.

Numero de tres cifras: Las dos primeras responden al número de serie y no tienen significado. La tercera refleja el margen de temperatura, que responde a la siguiente tabla que expresa sus correspondencias:

1 .... De 0 a 70° C.
2 .... De – 55 a 125° C.
3 .... De –10 a 85° C.
4 .... De 15 a 55° C.
5 .... De –40 a 75° C.
6 .... De –40 a 85° C
0 .... Otros márgenes.

EJEMPLOS

1.°) FJH 111

F : c. i. digital que forma familia con otros.
J : Perteneciente a la familia TTL.
H : Función lógica que responde a un circuito combinacional. En este caso particular se trata de dos puertas *NAND* de cuatro entradas cada una.

2.°) TAA 522

T : c. i. lineal o analógico.
A : Perteneciente a una familia determinada.
A : Aplicación para amplificación lineal.
52 : Número de serie.
2 : Margen de temperatura desde –55 a 125° C.

"Código de la marca TEXAS INSTRUMENTS (TI)"

Consta de dos letras mayúsculas, cinco números y una letra final cuyo significado es el siguiente:

Dos primeras letras mayúsculas: SN, que únicamente identifican al fabricante.

Dos cifras siguientes, que indican el margen de temperaturas, de acuerdo con la siguiente correspondencia:

72, 74 y 75 : Margen comercial desde 0 a 70° C.
52, 54 y 55 : Margen militar desde –55 a 125° C.

Tres cifras siguientes: Determinan el modelo concreto a que corresponden.

La última letra indica el tipo de encapsulado.

J : Dual in line cerámico.
N : Dual in line plástico.
H, U, T, W, Z : Flat pack.
L : Cápsula TO-5.

EJEMPLO

SN 52 741 N

SN : Fabricantes, Texas.
52 : Margen de temperatura militar, de –55 a 125° C.
741 : Identificación del modelo.
N : Cápsula *dial in line*, de plástico.

"Código de la marca FAIRCHILD SEMICONDUCTOR" (F)

Consta de una letra de identificación del fabricante, que es la F, seguida de tres cifras que determinan el modelo de c. i., una letra a continuación que expresa el tipo de cápusla (D : dual in line cerámico, P : dual in line de plástico, F : flat pack y H : TO –5) y una última letra que sirve para delimitar el margen de temperatura y que puede ser una C si el margen es el comercial, o una M si es el militar.

EJEMPLO

F 741 FC
F : Fabricante Fairchild.
741 : Identificación del modelo.
F : Cápsula flat pack.
C : Margen de temperatura comercial.

"Código de la marca ITT"

1.°) MIC : Identificación del fabricante.
2.°) Número de cuatro cifras: Identificación del modelo.
3.°) Margen de temperatura. Si es un 1, militar; si es un 5, comercial.
4.°) Encapsulado: Si es D, dual in line cerámico; si es B, flat pack.

EJEMPLO

MIC 90245 B

"Código de la marca MOTOROLA (MC)"

1.°) MC: Identificación del fabricante. También sirve con algunas variantes para codificar ciertas características.
2.°) Número de dos cifras, para indicar el margen de temperatura, que seré el comercial si es un 13 o 14 y el militar si es 15.
3.°) Cifra y letra que identifican el modelo y sus características límites.
4.°) Letra que determina el encapsulado, según la siguiente tabla de correspondencias:

L : dual in line de 14 o 16 patitas.
G : TO –5.
F : flat pack.
P_1 : Encapsulado plástico de 8 patitas.
P_2 : Encapsulado plástico de 14 patitas.

EJEMPLO

MC 15 56 C L

"Código de la marca NATIONAL SEMICONDUCTOR"

1.°) Siglas de identificación del fabricante, que pueden ser LM en caso de circuitos operacionales o LH en los lógicos.
2.°) Cifra que indica el margen de temperatura y que caso de ser un 1 es el militar y si es un 2 o un 3 el comercial.
3.°) Cifra y letras que indican el modelo y sus limitaciones.
4.°) Ultima letra, que indica el tipo de cápsula.

D : Dual in line cerámico.
N : Dual in line plástico.
F : Flat pack.
H : TO – 5.

EJEMPLO

LM 2 OOC D

"Código de la marca RCA (CA)"

1.°) CA: Identificación del fabricante.
2.°) 711: Identificación del modelo.
3.°) Margen de temperatura: C, comercial y M, militar.
4.°) Letra que indica el encapsulado. T: TO–5, D: Dual in line cerámico y E: Dual in line de plástico.

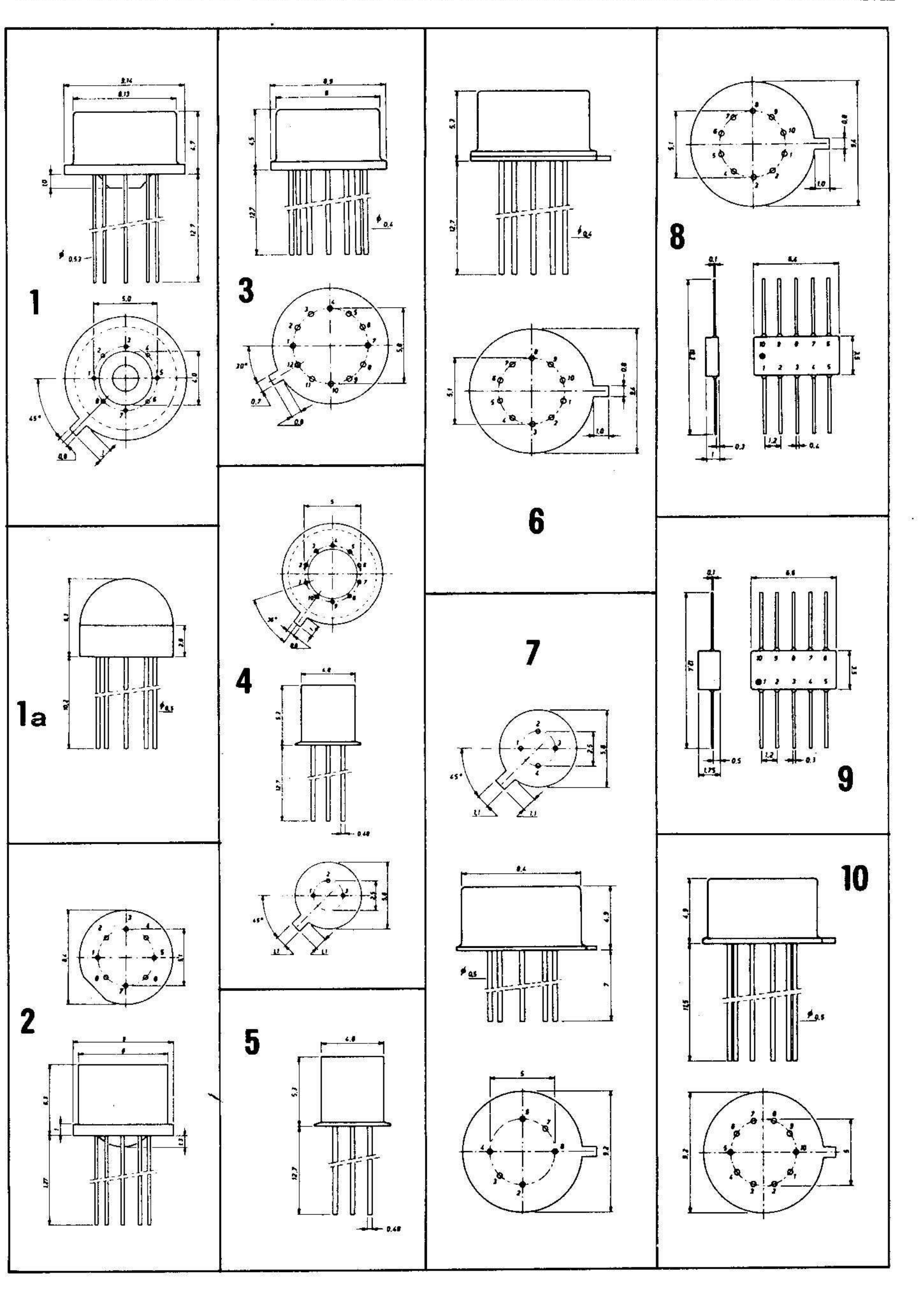


Fig. 2-8

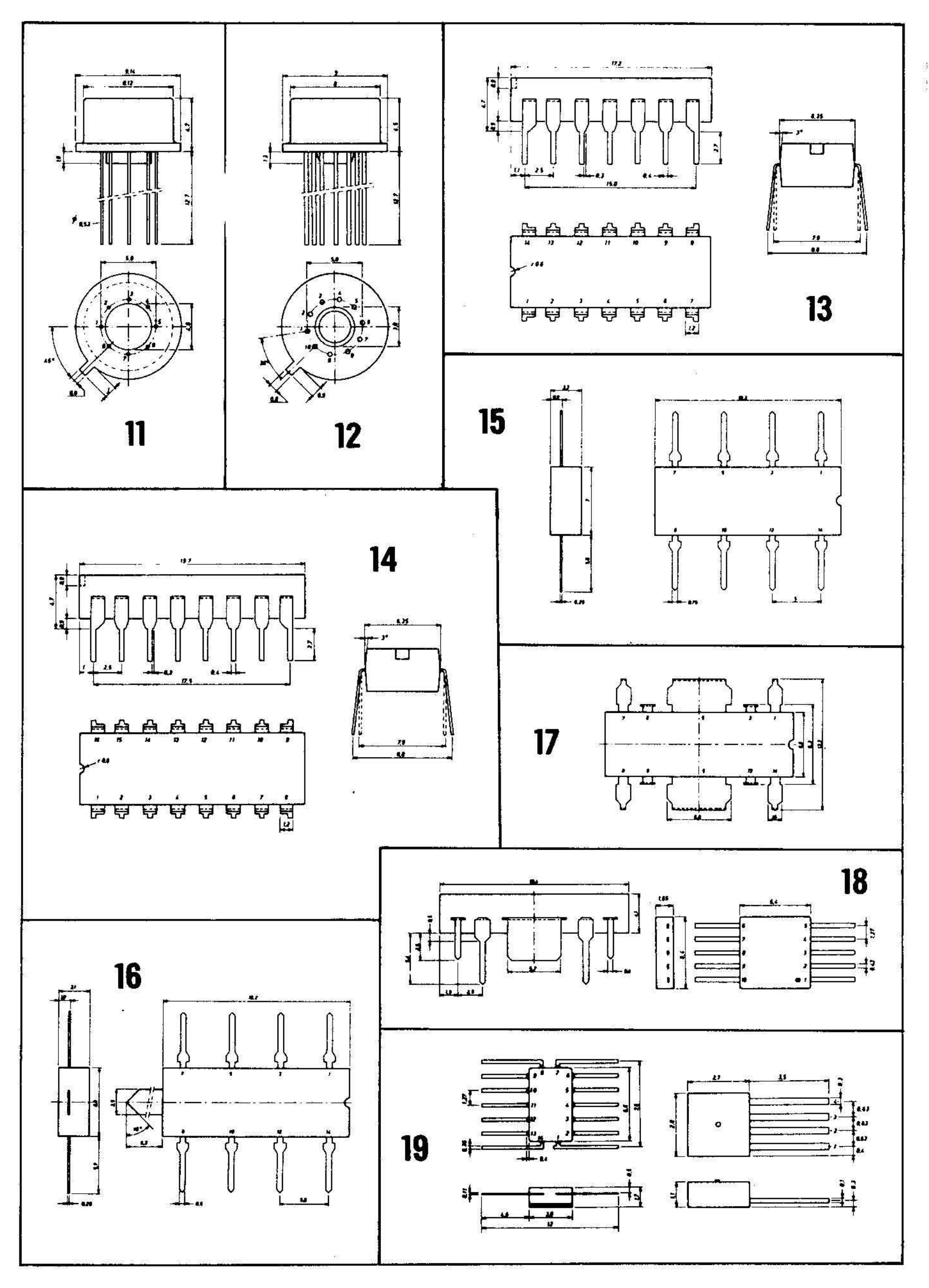


Fig. 2-8 (continuación)

EJERCICIOS DE LA LECCION 2.ª

Colocar una cruz en la respuesta correcta

1.ª PREGUNTA.– El significado de las siglas SSI es:

a) Alta escala de integración.
b) Circuitos integrados lógicos.
c) Baja escala de integración.

2.ª PREGUNTA.–Los c. i. lógicos:

a) Tienen sólo dos posibles estados límites en los valores de sus señales.
b) Tienen valores variables y diversos para sus señales de trabajo:
c) Se les llama lógicos porque se fabrican en un proceso lógico.

3.ª PREGUNTA.–DTL significa:

a) Que el acoplo entre etapas es directo.
b) Que el acoplo entre etapas es por resistencias.
c) Que el acoplo entre etapas es por diodos

4.ª PREGUNTA.–La familia de coste más reducido es:

a) La RTL.
b) La DTL.
c) La TTL.

5.ª PREGUNTA.–La familia de velocidad de respuesta más rápida es:

a) La RTL.
b) La ECL.
c) La TTL.

6.ª PREGUNTA.–La cápsula TO –5 para c.i. es:

a) Cilíndrica y de metal.
b) Cerámica y plana.
c) Con dos filas de patitas.

7.ª PREGUNTA.—El margen de temperaturas del c.i. TCA 122 es:

a) De 0 a 70° C.
b) De 0 a 125° C.
c) De −55 a 125° C.

LECCION 3

C.I. analógicos. Bloques fundamentales de los amplificadores operacionales

INTRODUCCION

Atendiendo a su aplicación, los c.i. se clasifican en tres grandes grupos: 1.°) Analógicos, 2.°) Lógicos y 3.°) De gran consumo.

Se comienza con el análisis de los circuitos integrados analógicos, que se diferencian de los lógicos en que pueden tratar magnitudes comprendidas entre un mínimo y un máximo, con infinidad de valores intermedios. Dentro de este grupo se encuentran los amplificadores lineales, que proporcionan una salida proporcional a la entrada, siendo preciso para conseguirlo que los transistores que se encargan de la amplificación de la señal trabajen en su zona lineal y el punto de reposo se encuentre alejado de los de corte y saturación de la recta de carga. Estos tipos de amplificadores lineales ya se han estudiado en el tomo 5 y, como se recordará, estaban constituidos por varias etapas acopladas por *R-C*, normalmente, cuando se trabajaba con señales variables, y directamente caso de hacerlo con c.c.

No obstante, los amplificadores lineales abandonan el comportamiento explicado cuando se les provee de "realimentación" positiva o negativa, que no es otra cosa que devolver a la entrada parte de la señal de salida. A estos amplificadores se les asigna el nombre de "operacionales", porque, entre sus muchas aplicaciones, se encuentra la de poder realizar multitud de operacioes aritméticas.

Serán los amplificadores operacionales, designados en lo sucesivo por A.O., a los que se dedique la primera parte de este tomo, puesto que, como se ha dicho ya, se conocen los amplificadores lineales y porque, dentro de la moderna Electrónica y la utilización de los c.i., los A.O. ocupan un importantísimo lugar, que se irá extendiendo por su sencillez

y flexibilidad a medida que los técnicos electrónicos conozcan sus fundamentos y adquieran una cierta experiencia con ellos, que es el fin que persiguen las lecciones de esta obra.

CARACTERISTICAS GENERALES DEL A.O.

Un amplificador operacional (A.O.) es un circuito que contiene un conjunto de componentes, integrados en general en un solo chip y que forman un amplificador de alta ganancia. Se le atribuyó el apelativo de operacional porque en un principio su utilización más extendida fue la realización de operaciones aritméticas en los calculadores y ordenadores; en la actualidad el A.O. se emplea para realizar multitud de funciones.

El A.O. está previsto para trabajar con realimentación en casi todos los casos y, según el tipo que emplee y el lazo usado, puede trabajar unas veces como circuito sumador; otras, como diferenciador; otras, como comparador, etc.

Un amplificador de tensión como lo es un A.O. se representa mediante un triángulo, en el que se marcan las entradas, la salida y las polarizaciones, como se presenta en la figura 3-1.

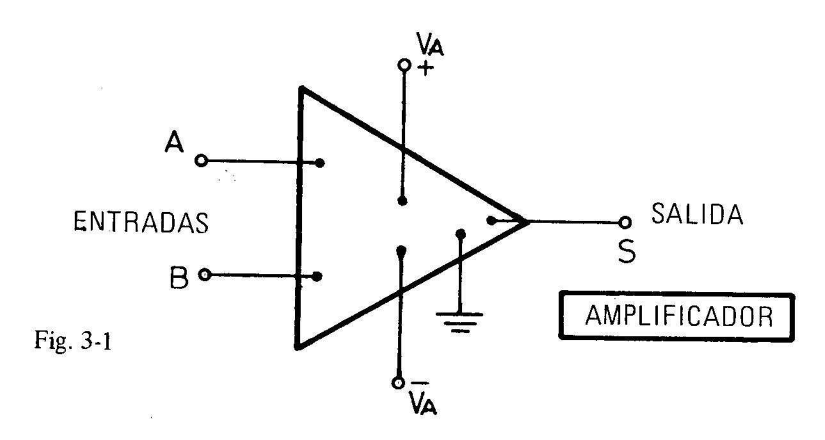


Fig. 3-1

Analizando la figura 3-1 se observa la existencia de dos entradas, a las que se les pueden aplicar sendas tensiones, diferentes con respecto a masa, o bien, una diferencia de tensión entre ambas. Las entradas van marcadas con + y −, representando la influencia proporcional directa que tiene la primera respecto a la señal de salida e inversa la segunda. Aunque en la figura anterior sólo se ha representado una salida, se pue-

de disponer de dos si es necesario. El A.O. precisa para su funcionamiento dos tensiones iguales y de polaridad opuesta respecto a masa.

Otras características que han de tener los A.O. son:

1) Una alta impedancia de entrada, para que no se altere la tensión de realimentación.

2) Una baja impedancia de salida, para que no se vea afectada por el lazo de realimentación.

3) Banda de frecuencias de paso muy ancha, partiendo de frecuencia nula o c.c.

El comportamiento del A.O. depende de la realimentación que posea, la cual puede ser de cuatro formas diferentes:

1) V – V: Introduce a la entrada una parte de la tensión de salida.

2) V – I: Introduce a la entrada una tensión proporcional a la corriente de salida.

3) I – V: Introduce a la entrada una corriente proporcional a la tensión de salida.

4) I – I: Introduce a la entrada una corriente proporcional a la corriente de salida.

Por otra parte, se llama realimentación positiva cuando la señal de realimentación está en fase con la de entrada y ambas se suman, y realimentación negativa si están en oposición y se contrarrestan.

El esquema básico de funcionamiento del A.O. se ha dibujado en la figura 3-2.

Recuérdese que la entrada A – tiene una acción inversa sobre la salida y la B + la tiene directa. Así, si A sube, S baja y si B sube, S también. La salida S no sólo dependerá de los valores de las dos entradas, sino también de las características del lazo de realimentación.

CONSTITUCION INTERNA DEL A.O.

Un c.i. normal que contiene un A.O. consta de dos etapas seguidas de amplificadores diferenciales y una etapa de salida. Puesto que la entrada del A.O. es una etapa diferencial, ya explicada en el tomo 5, se comprende la existencia de las dos entrada A y B. Junto con estos bloques fundamentales del A.O. existen otros auxiliares, tales como un circuito generador de intensidad constante y a veces un cambiador de nivel de tensiones continuas.

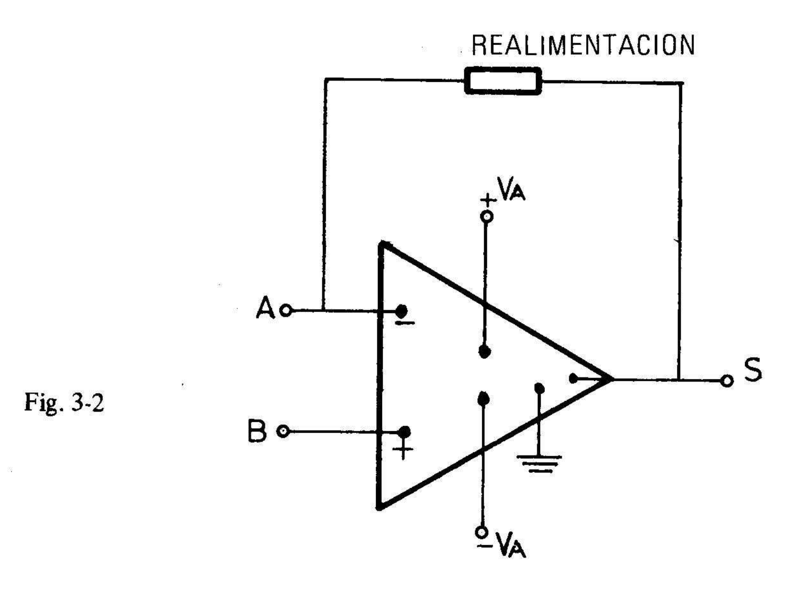


Fig. 3-2

En la figura 3-3 se presenta el esquema de bloques general que da forma a un A.O.

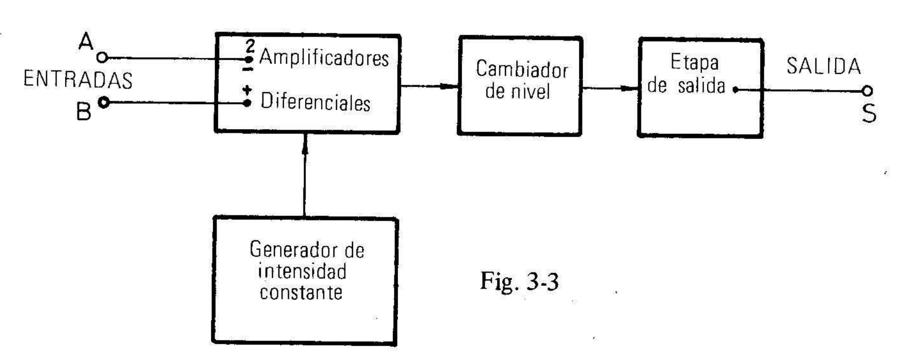


Fig. 3-3

En términos generales, el A.O. contiene todos los bloques expuestos en la figura 3-3 y a veces también alguna etapa de seguidor de emisor, para realizar un acoplo correcto entre dos etapas. Si al circuito así formado se le hace trabajar sin otros componentes, se dice que está "en bucle abierto". Cuando se añaden elementos exteriores para lograr una realimentación trabaja en "bucle cerrado".

En las siguientes preguntas se describen someramente los bloques que componen el A.O., y que son circuitos típicos en muchos c.i.

AMPLIFICADOR DIFERENCIAL

Consiste en un montaje simétrico con dos transistores iguales y dos resistencias de carga, R_1 y R_2, también iguales, que proporciona una amplificación muy estable en frecuencias muy altas, desde la O, siendo prácticamente insensible a perturbaciones de temperatura o ruidos. Su circuito básico es el mostrado en la figura 3-4.

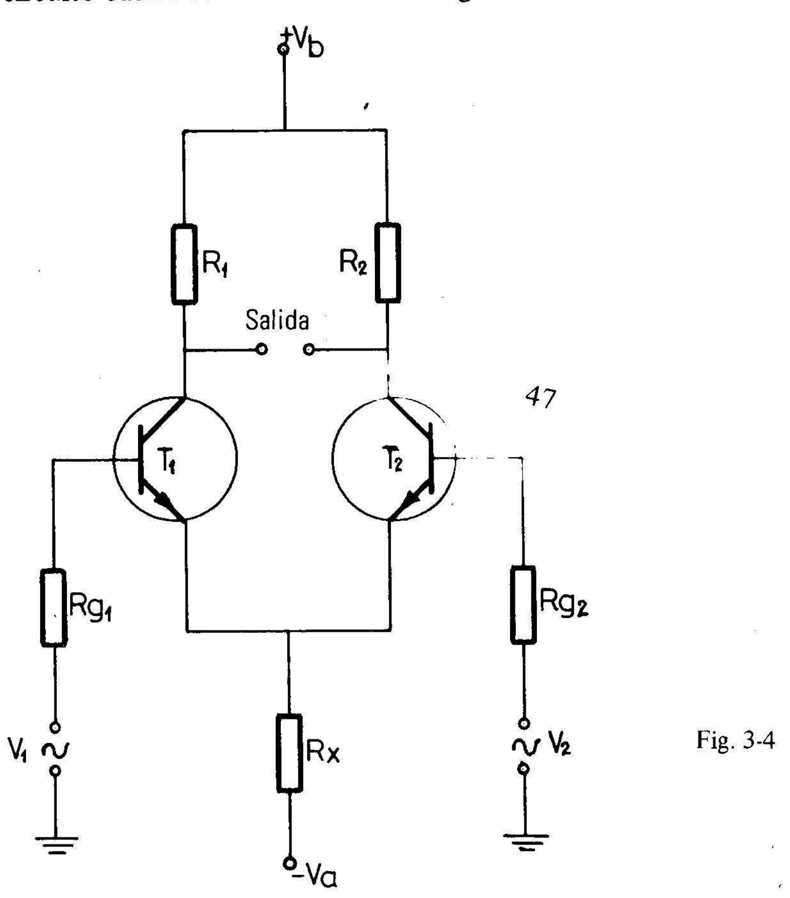


Fig. 3-4

El estudio detallado de este circuito se explicó en la lección del tomo 5 correspondiente a los amplificadores de c.c. Calculando la expresión de la tensión de salida del amplificador diferencial se halla que es función de la diferencia entre las tensiones de entrada V_1 y V_2:

$$V_{salida} = (V_1 - V_2) \cdot K$$

El circuito de la figura 3-4 padece dos inconvenientes: 1.°) Precisa que los dos transistores estén alimentados por una fuente de corriente constante y 2.°) Para elevar la impedancia de entrada se recomienda formar el amplificador diferencial mediante dos etapas Darlington, también conocidas por el tomo 5 de esta obra.

El circuito del A.O. con una etapa diferencial a base de Darlington, constituida por $T_1 - T_3$ y $T_2 - T_4$ y un generador de corriente constante formado por el transistor T_5, polarizado por diodos, se presenta en la figura 3-5.

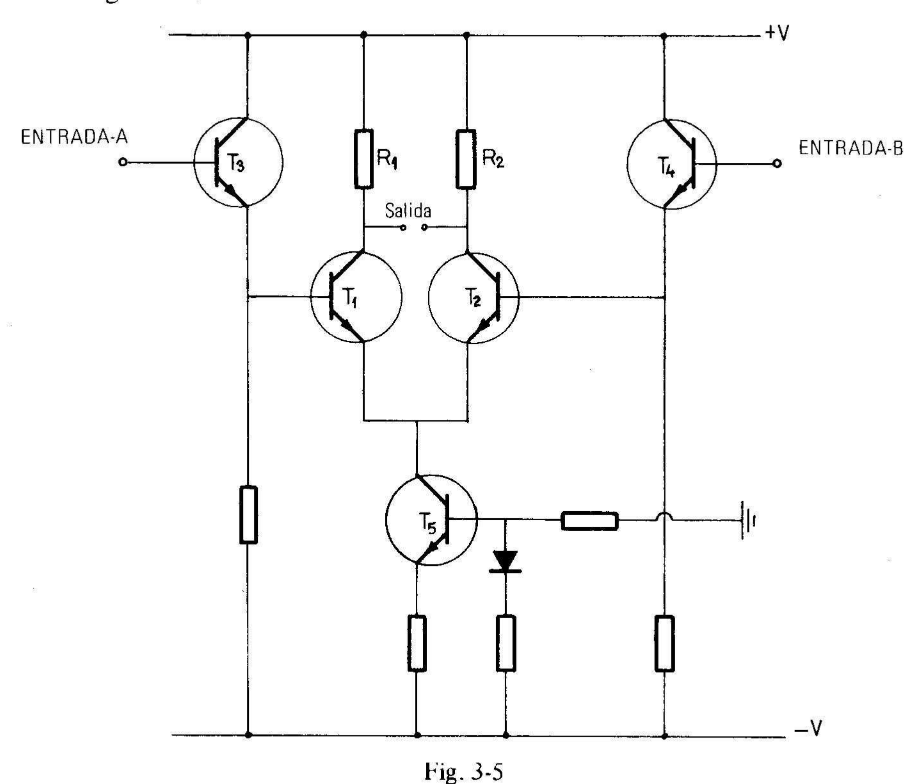


Fig. 3-5

GENERADOR DE INTENSIDAD CONSTANTE

En los amplificadores lineales con un solo transistor se requiere un generador de c.c. de intensidad constante. Así, cuando se usa un transistor en circuito de emisor común se colocan una resistencia y un condensador en paralelo, en el emisor del transistor, tal como se ha dibujado en la figura 3-6.

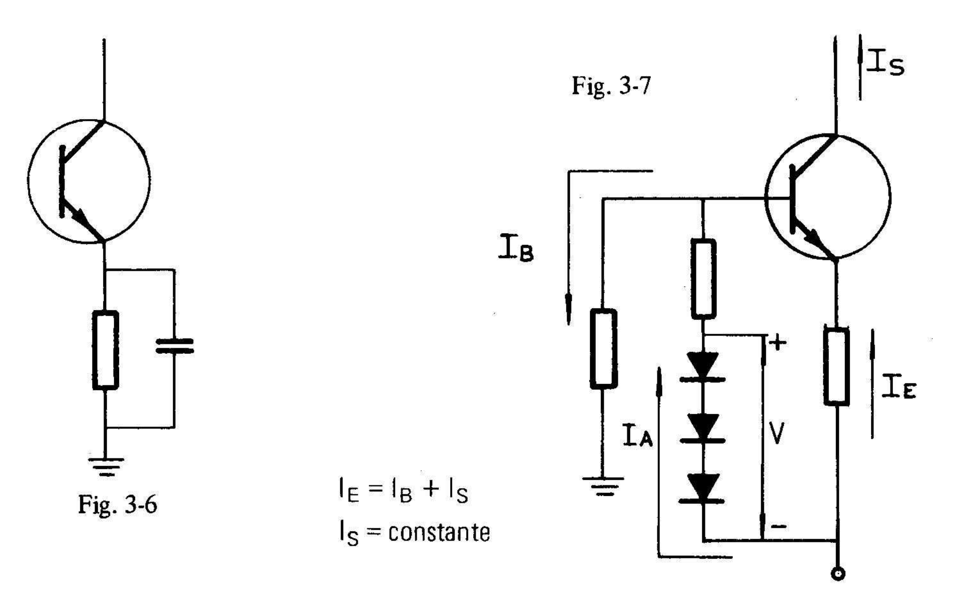


Fig. 3-6

Fig. 3-7

En el caso de los c.i. resulta un problema la fabricación de condensadores y resistencias de elevado valor, prefiriendo realizar la estabilización con uniones N-P, presentándose en la figura 3-7 un ejemplo de este tipo de circuitos.

Se logra mantener I_S constante mediante varios diodos que estabilizan la temperatura, logrando una impedancia de salida muy alta cuando la frecuencia de trabajo es alta, y viceversa.

CAMBIADOR DE NIVEL DE TENSIONES CONTINUAS

Dada la conveniencia de utilizar acoplos directos en las cascadas de amplificadores utilizadas en los c.i., el nivel de tensión de c.c. de colector va elevándose en cada etapa, llegando un momento en que es preciso rebajar dicho nivel, para lo que se usa un circuito cambiador tal como el de la figura 3-8.

Mientras que T_1 actúa como circuito de colector común, alimentado por T_2 montado como generador de intensidad constante, estando su base alimentada con una tensión fija de referencia, se obtiene una salida en T_3 que también está en circuito de colector común, cuyo valor es el de entrada menos las tres caídas de tensión hasta la salida.

$$V_S = V_E - V_{BE_1} - V_e - V_{BE_2}$$

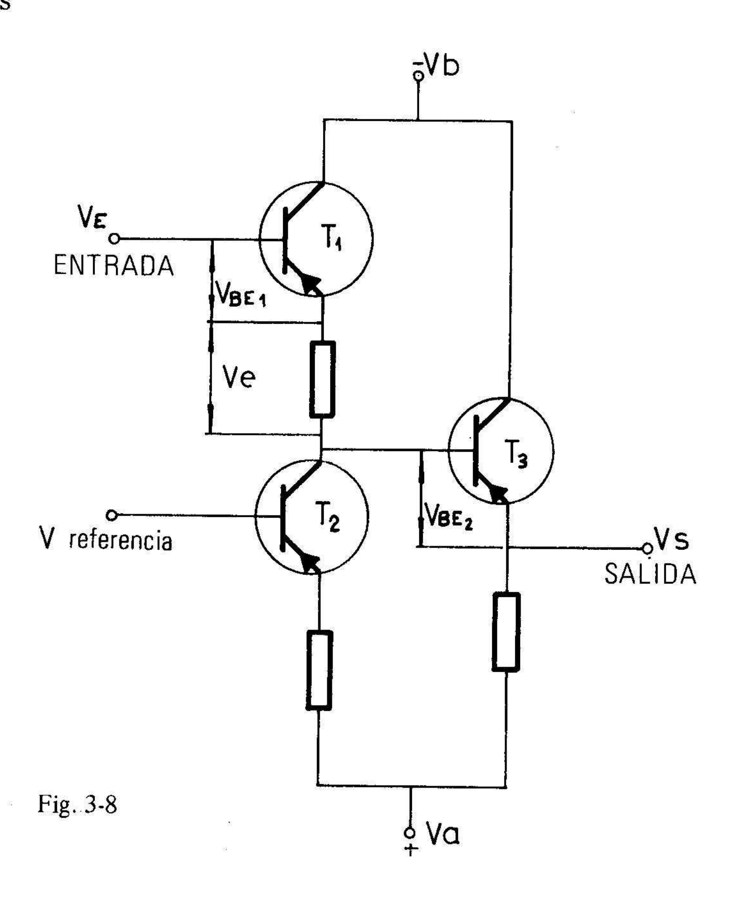


Fig. 3-8

ETAPA DE SALIDA

Es la que entrega la señal formada en el c.i. a la carga y, por lo tanto, interesa que sea de la mayor potencia posible, a la vez que presente una impedancia de salida baja. Esta etapa final del c.i. suele estar constituida básicamente por un transistor en circuito de colector común, como se muestra en la figura 3-9.

Para lograr especificaciones concretas en la salida, a menudo se emplean circuitos con dos transistores en montaje de seguidor de emisor y también pares de transistores PNP y NPN, como el mostrado en la figura 3-10.

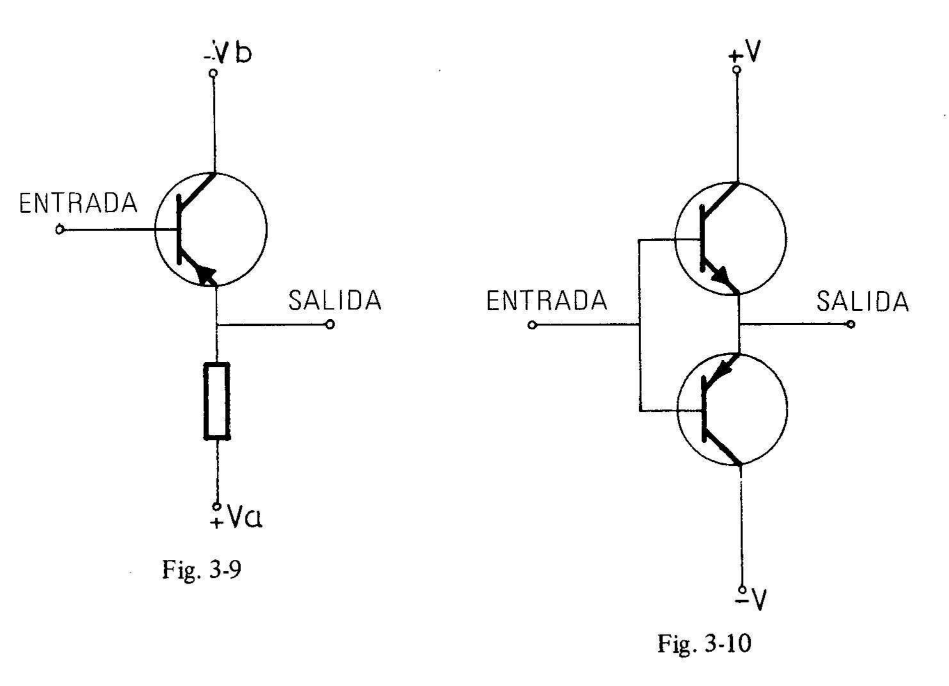


Fig. 3-9

Fig. 3-10

ANALISIS DE LAS ETAPAS CLASICAS EN UN CIRCUITO DE UN A.O.

En la figura 3-11 se presenta un circuito típico de un A.O. sencillo, que consta de dos etapas de amplificadores diferenciales: la primera, con cuatro transistores acoplados directamente dos a dos, obteniéndose el resultado final con una etapa de salida clásica.

El A.O. de la figura 3-11 consta de dos etapas diferenciales en cascada con acoplo directo, la primera de las cuales está formada por dos secciones simétricas de dos transistores cada una, al objeto de aumentar la impedancia de entrada. El transistor T_5 forma un circuito de intensidad constante, que alimenta la primera etapa descrita. T_6 y T_7 forman otra etapa normal de un amplificador diferencial, acoplada directamente a la anterior. Finalmente, como etapa de salida se utiliza el transistor T_8, en montaje de emisor común, para proporcionar una baja impedancia de salida.

La figura 3-12 presenta el esquema del A.O. contenido en el circuito integrado MC 1431 en sus versiones G, F o P, es decir en los tres tipos fundamentales de encapsulado que existen.

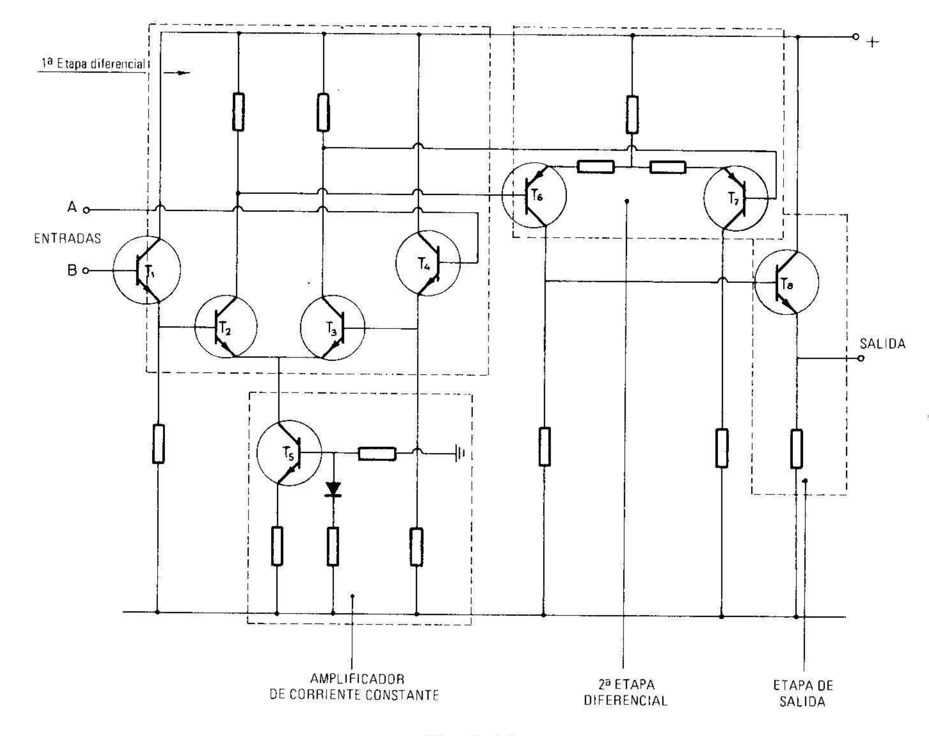
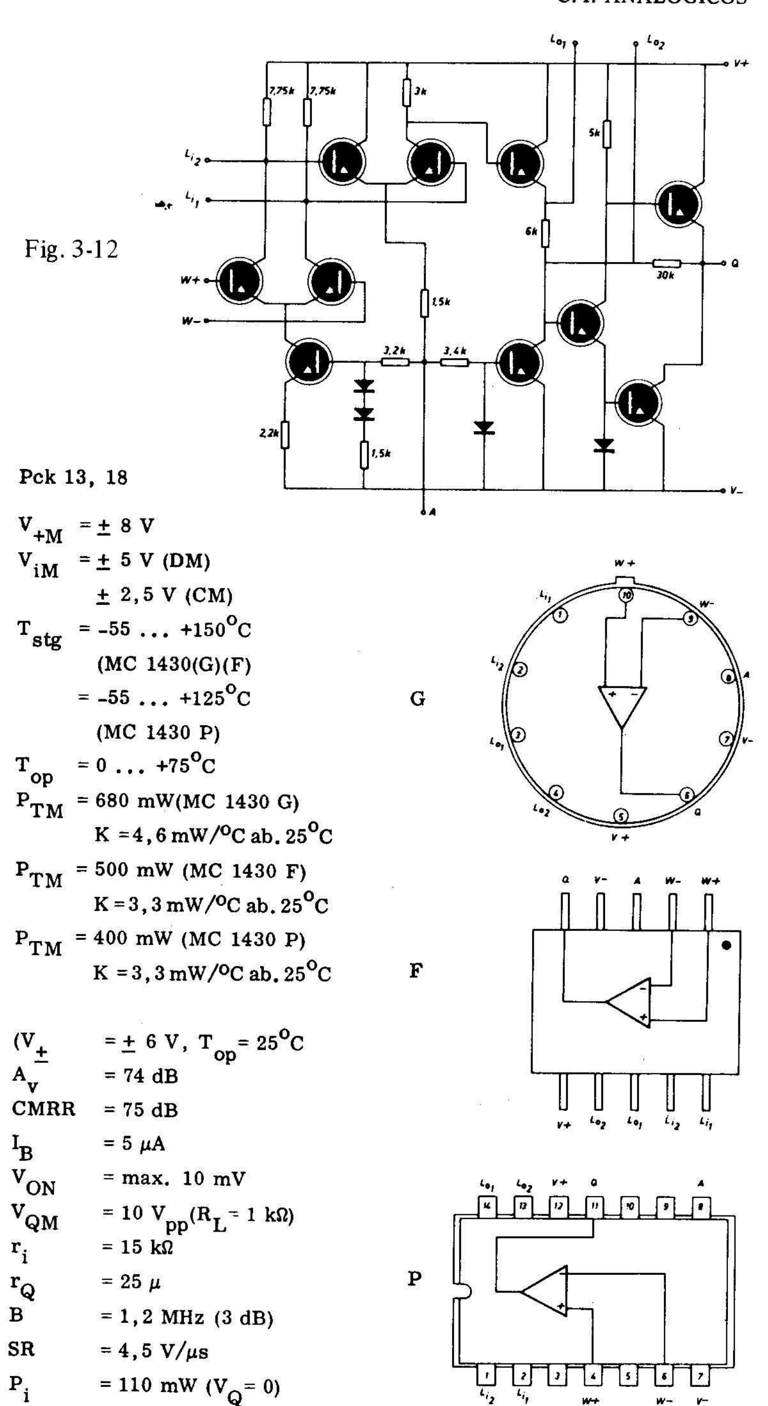


Fig. 3-11

Los cuatro primeros transistores de la figura 3-12 forman la primera etapa diferencial en la que para mejorar las características de entrada (alta impedancia y bajos consumos de corriente) se han dispuesto dos Darlington en paralelo, alimentados por un transistor que actúa como generador de corriente constante, que es el situado debajo de ellos. A continuación está la segunda etapa diferencial simple con los dos siguientes transistores, que rebaja el nivel de la tensión de salida para aplicarla finalmente a la etapa de salida, constituida por dos transistores iguales y en paralelo.

También se exponen las principales características que se comentan posteriormente y las conexiones correspondientes para los tres encapsulados en los que se presenta.

Fig. 3-12



Pck 13, 18

V_{+M} = ± 8 V
V_{iM} = ± 5 V (DM)
± 2,5 V (CM)
T_{stg} = -55 ... +150°C
(MC 1430(G)(F)
= -55 ... +125°C
(MC 1430 P)
T_{op} = 0 ... +75°C
P_{TM} = 680 mW(MC 1430 G)
K = 4,6 mW/°C ab. 25°C
P_{TM} = 500 mW (MC 1430 F)
K = 3,3 mW/°C ab. 25°C
P_{TM} = 400 mW (MC 1430 P)
K = 3,3 mW/°C ab. 25°C

($V_{\pm}$ = ± 6 V, T_{op} = 25°C
A_v = 74 dB
CMRR = 75 dB
I_B = 5 μA
V_{ON} = max. 10 mV
V_{QM} = 10 V_{pp}(R_L = 1 kΩ)
r_i = 15 kΩ
r_Q = 25 μ
B = 1,2 MHz (3 dB)
SR = 4,5 V/μs
P_i = 110 mW (V_Q = 0)

EJERCICIOS DE LA LECCION 3.ª

Poner una cruz en la respuesta correcta

1.ª PREGUNTA.—Un A. O. precisa para su puesta en marcha:

a) Una tensión positiva respecto a masa.
b) Una tensión negativa.
c) Una tensión positiva y otra negativa respecto a masa.

2.ª PREGUNTA.—La realimentación consiste en:

a) Introducir parte de la señal de salida en la entrada.
b) Introducir parte de la señal de entrada en la salida.
c) Introducir parte de la señal entrada en la entrada.

3.ª PREGUNTA.—El amplificador diferencial da una salida:

a) Proporcional a la entrada negativa.
b) Proporcional a la entrada positiva, también llamada *B*.
c) Proporcional a la diferencia entre las señales de entrada.

4.ª PREGUNTA.—Un cambiador de nivel de tensiones de continua sirve para:

a) Aumentar la tensión para el acoplo entre etapas.
b) Disminuir la tensión para el acoplo entre etapas.
c) Mantener la tensión para el acoplo entre etapas.

5.ª PREGUNTA.—La etapa de salida del A. O. se caracteriza por:

a) Poseer una baja impedancia de salida.
b) Poseer una alta impedancia de salida.
c) Disipar la mínima potencia.

6.ª PREGUNTA.—La etapa más importante de un A.O. es:

a) La de salida.
b) El amplificador diferencial.
c) El cambiador de nivel de tensiones de c.c.

7.ª PREGUNTA.—Un A. O. se considera que es, normalmente:

a) Un amplificador de alta ganancia con realimentación.
b) Un amplificador que sólo realiza operaciones aritméticas.
c) Un amplificador de ganancia variable.

LECCION 4

Teoría de funcionamiento y características del A. O.

EL A. O. IDEAL

Como se ha indicado en la lección precedente, un A. O. es un amplificador de gran ganancia de tensión en bucle abierto, es decir, sin realimentación, siendo dicho valor del orden de varios cientos de miles de veces. La característica que confiere el A. O. propiedades especiales, que le hacen tan útil e importante, es la de poder variar su comportamiento y ganancia con mucha exactitud y estabilidad al colocarle una realimentación apropiada.

Internamente el chip en el que está integrado el A. O. consta de dos etapas diferenciales acopladas directamente y una salida, actuando como circuitos auxiliares, cambiadores de tensión, generadores de corriente constante y seguidores de emisor.

El símbolo clásico del A.O. es un triángulo como el mostrado en la figura 4-1, en el cual se ha añadido la impedancia de entrada Z_{en} y la de salida Z_s. También se ha representado en su interior un generador de tensión, que simboliza la actuación del A. O. produciendo una tensión de salida V_s que es la de entrada, V_{en}, amplificada en la ganancia A_v del circuito.

En general, apenas se aplica el A. O. en bucle abierto: la mayoría de sus aplicaciones exigen circuito exterior de realimentación, que puede ser positiva si la parte de señal de salida que se aplica a la entrada, está en fase con ella, y negativa si está en oposición. Este último tipo de realimentación es el más utilizado, por sus posibilidades de ganancia y estabilidad, y la parte de la señal de salida se aplicará a la entrada *A* –de las dos del A.O., como queda indicado en la figura 4-2.

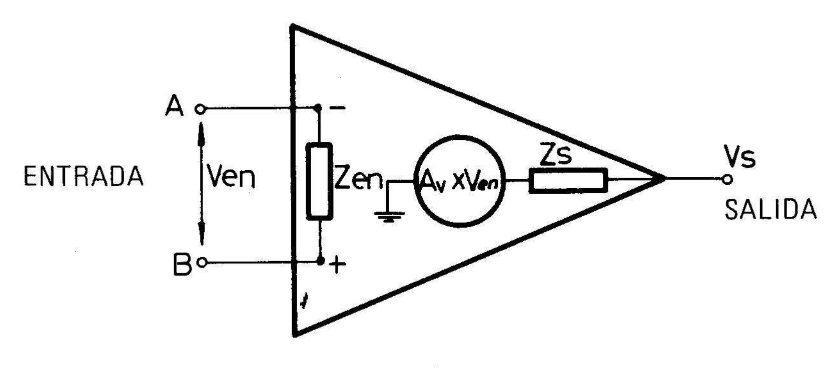


Fig. 4-1

En la figura 4-2 se ha añadido al A. O. una resistencia de entrada R_e, por la que se aplica a la entrada $A-$ la tensión de entrada V_{en} a tratar, una resistencia R_r que provoca la realimentación entre la salida y la entrada y, por último, se ha colocado una resistencia R, que representa la carga a la que se aplica la tensión de salida V_s. La diferencia de potencial entre R_r y R_e origina la circulación de las corrientes de realimentación I_r y de entrada I_e

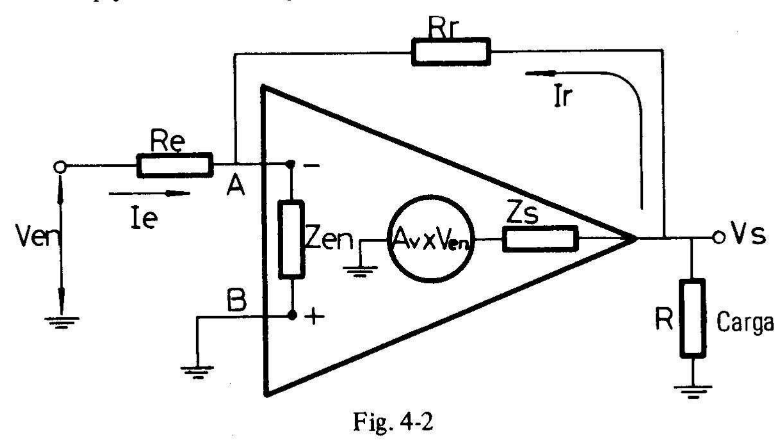


Fig. 4-2

Para calcular la ganancia de un A.O. con realimentación, en principio, se efectúan una serie de simplificaciones y consideraciones que, aunque no son exactas, dan un punto de partida y hacen trabajar al A.O. de forma ideal. Son las siguientes:

1.ª) La ganancia del A.O. es infinita. En realidad alcanza valores de 250.000 y 400.000.

2.ª) Impedancia de entrada infinita, $Z_{en} = \infty$.
3.ª) Impedancia de salida nula, $Z_s = 0$.
4.ª) Posibilidad de amplificar señales de frecuencia entre 0 e infinito.
5.ª) Tensión de regulación ("offset") de entrada nula, lo cual significa que la tensión de salida es nula en ausencia de tensión en la entrada.

Con estas consideraciones, y simplificando el circuito de la figura 4-2, se analiza el nuevo esquema de la figura 4-3, con el que se trata de deducir la ganancia.

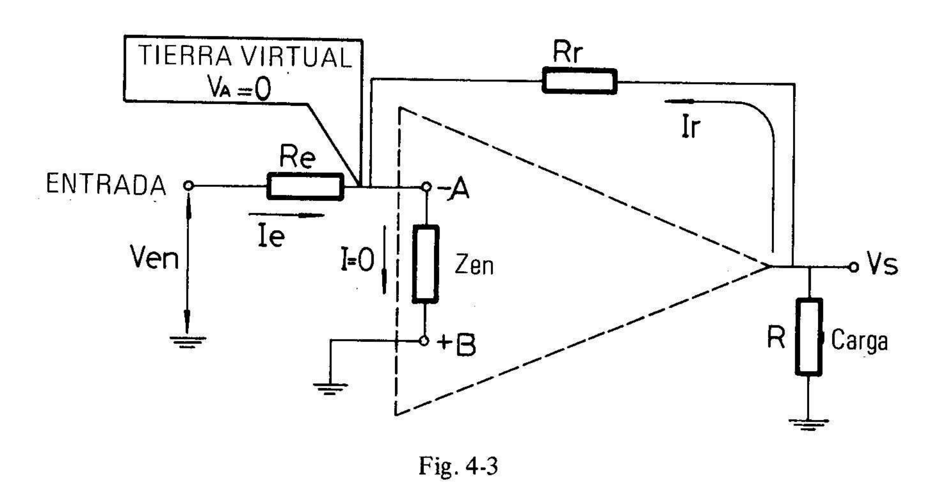


Fig. 4-3

Teniendo en cuenta que $Z_{en} = \infty$, la corriente que circula de A a B es nula, o sea, que no absorbe intensidad alguna el A. O. ($I = 0$). Por eso al punto A se le considera como "tierra virtual", puesto que está separado de B, que es la verdadera tierra, por una resistencia infinita.

Aplicando la ley de Kirchhoff al nudo A, en el que concurren tres corrientes, I_e, I_r e I, siendo nula esta última, se obtiene:

$$I_e = I_r \qquad (1)$$

El cálculo de I_e e I_r se efectúa aplicando la ley de Ohm a las resistencias R_e y R_r por las que circulan, quedando:

$$I_e = \frac{V_{en} - V_A}{R_e} \qquad I_r = \frac{V_A - V_s}{R_r}$$

Considerando V_A como tierra virtual, $V_A = 0$, resulta

$$I_e = \frac{V_{en}}{R_e} \qquad I_r = \frac{-V_s}{R_r}$$

Sustituyendo estos valores en la fórmula (1), queda:

$$\frac{V_{en}}{R_e} = \frac{-V_s}{R_r}$$

Siendo la ganancia del circuito $G = \dfrac{V_{salida}}{V_{entrada}}$, se deduce de la fórmula anterior que:

$$\boxed{G = \frac{V_s}{V_{en}} = \frac{-R_r}{R_e}} \qquad (2)$$

La fórmula (2) indica que la ganancia de un A.O. ideal con realimentación negativa no depende de las características del circuito interno, sino sólo de la relación entre las resistencias de realimentación y de entrada. El signo menos que aparece en la fórmula procede del desfase de 180° que existe entre la salida y la entrada $A-$.

El valor obtenido para la ganancia no es el exacto, porque se han hecho una serie de simplificaciones iniciales que no son ciertas en la realidad.

Si en lugar de considerar infinita la ganancia del A. O. le asignamos un valor finito A_v, la fórmula que se obtiene para la ganancia es la siguiente:

$$\boxed{G = \frac{\alpha \cdot A_v}{1 + \beta \cdot A_v}} \qquad (3)$$

siendo $\alpha = \dfrac{R_r}{R_e + R_r}$ y $\beta = \dfrac{R_e}{R_e + R_r}$

Téngase en cuenta que la diferencia al calcular el valor de la ganancia, considerando al A. O. ideal o con una amplificación finita, es despre-

ciable y en general nunca supera el 1 por 100. Se hace igual consideración si se obtuviesen las fórmulas exactas, teniendo en cuenta los valores reales de las impedancias de entrada y salida, en lugar de las ideales usadas para la obtención de la fórmula (2). No merece la pena utilizar otra fórmula que no sea la del A. O. ideal, o sea, la (2), puesto que el error va a ser inferior al 1 por 100 y las tolerancias de las resistencias y componentes colocados en el circuito exterior lo superan ampliamente.

La impedancia de entrada del A. O. es R_e, ya que la I_e que absorbe, teniendo en cuenta la tierra virtual del punto A, es $I_e = \frac{V_{en}}{R_e}$.

CARACTERISTICAS MAS IMPORTANTES DE LOS A. O.

Entre las características más importantes con que se define el comportamiento del A. O. y que vienen relacionadas normalmente en los manuales de datos, destacan las siguientes:

1) *"Características de transferencia entre entrada y salida"*

a) Ganancia de tensión en bucle abierto: Es la del amplificador sin realimentación externa. Es función de la frecuencia de trabajo y, aunque idealmente se considera la banda pasante desde 0 hasta infinito, en la práctica se menciona la ganancia que existe en una frecuencia elevada.

Ejemplo: Si se aplican a las entradas A y B del A. O. dos señales $e_1 = 2V$ y $e_2 = 2{,}001\ V$, y la tensión de salida en esas condiciones de bucle abierto es de 12 V, la ganancia será:

$$A_v = \frac{V_s}{\Delta V_e} = \frac{12}{2{,}001 - 2} = 12.000 \text{ veces}$$

b) Producto ganancia-banda de paso: Es una magnitud derivada del producto de la ganancia del amplificador por la banda de frecuencias pasante que lo caracteriza.

2) *"Características de entrada"*

a) Tensión de desequilibrio o desviación de entrada: Es la que hay que aplicar a la entrada del A. O. para que la de salida sea nula. En el circuito ideal esta tensión era nula, pero en la práctica y debido a la diferencia entre las tensiones base-emisor de los dos transistores de la

primera etapa diferencial hay que introducir una tensión compensatoria, que suele ser del orden de los milivoltios.

b) *Corriente de desequilibrio de entrada:* Es la diferencia de corrientes entre las dos entradas para una tensión de salida nula. Es del orden de los nanoamperios.

c) *Corriente de polarización:* Es el promedio de las dos intensidades que circulan por las dos entradas del A. O. (algunos nanoamperios).

d) *Tensión de entrada en modo común:* Es la que se aplica a las dos entradas unidas entre sí, que aunque teóricamente no debía producir tensión a la salida, sí la produce y tiene un valor límite para evitar la rotura del A. O.

e) *Impedancia de entrada:* Es la que presenta el A. O. a la entrada y conviene que sea muy elevada ($\geqslant$ 1 MΩ).

f) *Impedancia del modo común:* Es la que existe entre las entradas del A.O. y el cero eléctrico. Varía con la frecuencia.

g) *Factor de rechazo en modo común:* Es el cociente entre la tensión común a ambas entradas y la que se debe aplicar a una de ellas para obtener la misma tensión de salida.

3) *"Características de salida"*

a) *Impedancia de salida:* Es la que presenta el A. O. en su salida. Conviene que sea muy baja ($\leqslant$ 200Ω).

b) *Tensiones y corrientes máximas de salida:* Valores que hay que tener en cuenta según la alimentación, la carga y la frecuencia de trabajo.

4) *"Otras características diversas"*

a) *Factor de ruido:* Es la relación en dB entre la potencia de ruido equivalente de entrada del A. O. y la potencia de ruido debida exclusivamente a la resistencia de la fuente.

b) *Relación de rechazo de la tensión de alimentación:* Es la relación entre la variación de la tensión de desequilibrio de entrada y la variación de la tensión de alimentación que la provoca.

c) *Límite de la velocidad de caída* (Slew Rate): Es la velocidad máxima de variación de la tensión de salida. Se mide en voltios por microsegundos.

d) Temperatura de almacenamiento fiable.

e) Tensiones positivas y negativas máximas respecto a masa.

f) Disipación de potencia, en mW.

g) Máxima temperatura a que se pueden someter las patillas al soldarse, que suele ser del orden de 200 a 300° C.

EJEMPLO DE APLICACION

A continuación se presentan el circuito y las características de funcionamiento más importantes del c.i. TAA 522, equivalente al μA 709, cuyo esquema interno se representa en la figura 4-4.

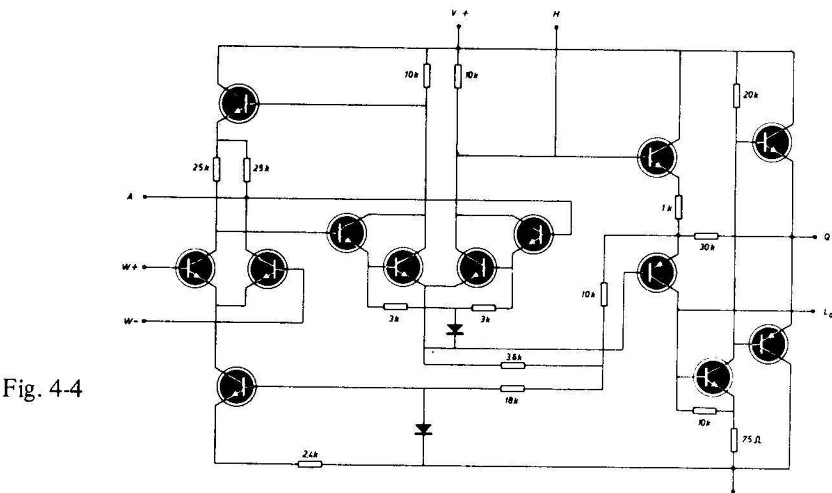


Fig. 4-4

1.°) Valor máximo de la tensión positiva de alimentación: 18 V.
2.°) Valor máximo de la tensión negativa de alimentación: –18 V.
3.°) Tensión de entrada máxima en modo diferencial: ± 5 V.
4.°) Tensión de entrada máxima en modo común: ± 10 V.
5.°) Duración del cortocircuito: 5 s.
6.°) Disipación de potencia máxima total: 300 mW para una $T_{máx}$: 125° C.
7.°) Temperatura de funcionamiento, de –55° a 125° C.
8.°) Temperatura de almacenamiento, de –65° a 150° C.
9.°) Tensión típica de alimentación positiva: 15 V.
10.°) Tensión típica de alimentación negativa: –15 V.
11.°) Corriente de base: 0,2 μA.
12.°) Tensión de entrada de compensación: 5 mV.

13.°) Desequilibrio de la tensión de salida: 26 V_{pp}.
14.°) Ganancia de tensión en bucle abierto: 45.000.
15.°) Coeficiente de rechazo en modo común: 90 dB.
16.°) Impedancia de entrada: 400 KΩ.
17.°) Impedancia de salida: 150 Ω.
18.°) Disipación de potencia interna: 80 mW.
19.°) Tipo de cápsula n.° 11, de las que se han expuesto en la lección precedente.

EJERCICIOS DE LA LECCION 4.ª

Poner una cruz en la respuesta correcta

1.ª PREGUNTA.—El amplificador operacional ideal se caracteriza por tener una amplificación:

a) Nula.
b) Infinita.
c) Del orden de varios cientos de miles de veces.

2.ª PREGUNTA.—La tierra virtual del A. O. ideal es:

a) El borne de salida.
b) El borne de realimentación.
c) Uno de los bornes de entrada.

3.ª PREGUNTA.—La impedancia de salida de un A. O. debe ser:

a) La mínima posible.
b) Lla máxima posible.
c) Del orden de 1 MΩ.

4.ª PREGUNTA.—En un A. O. ideal, su ganancia depende:

a) Del circuito interno.
b) De la tensión de alimentación.
c) De la relación entre la impedancia de ralimentación y la de entrada.

5.ª PREGUNTA.—En la fórmula de la ganancia de un A. O., el considerar finita su ganancia en bucle abierto afecta al resultado:

a) En un 99 por 100 de su valor.
b) En más del 100 por 100 de su valor.
c) En menos del 1 por 100 de su valor.

6.ª PREGUNTA.—La impedancia en modo común es la que existe:

a) Entre las entradas del A. O. y el cero eléctrico.
b) Entre las entradas del A. O. y la salida del circuito.
c) Entre una entrada del A.O. y tierra.

7.ª PREGUNTA.—La temperatura límite a la que se puede someter al c. i. que contiene un A. O. es:

a) De −55 a 125° C.
b) Hasta 1.200° C.
c) Entre 200 y 300° C.

LECCION 5

Principales aplicaciones operacionales de los A. O.

INTRODUCCION

Se explican a continuación los montajes más característicos que se usan con los A.O. y la obtencion de las fórmulas finales a que responden, para facilitar el tema de prácticas que hay posteriormente y con el que se trata de que el lector monte bastantes circuitos con A.O., constatando los resultados teóricos.

Como ya se ha dicho, el nombre de operacional proviene de haberse utilizado desde un principio estos componentes de forma masiva para la realización de operaciones matemáticas, tan necesarias en los sistemas de cómputo, en calculadoras y ordenadores; por lo tanto, un gran número de aplicaciones quedan englobadas en las que corresponden a la ejecución de diferentes operaciones y serán las que se comiencen exponiendo en esta lección, pero son más importantes y numerosas las demás aplicaciones de los A.O., de las que se ha elegido un grupo representativo para darlo a conocer en la próxima lección.

AMPLIFICADOR DE TENSION INVERSOR

El circuito mostrado en la figura 5-1 tiene por misión amplificar la tensión de entrada, al mismo tiempo que invertirla.

Para deducir la tensión de salida V_S, se supone que se trata de un A.O. ideal y que el punto A es tierra virtual y tiene un potencial de O V. Como no se consume corriente por A, se puede simplificar el esquema de la figura 5-1, quedando reducido al dibujado en la figura 5-2, puesto que según lo indicado $V_A = V_B = OV$.

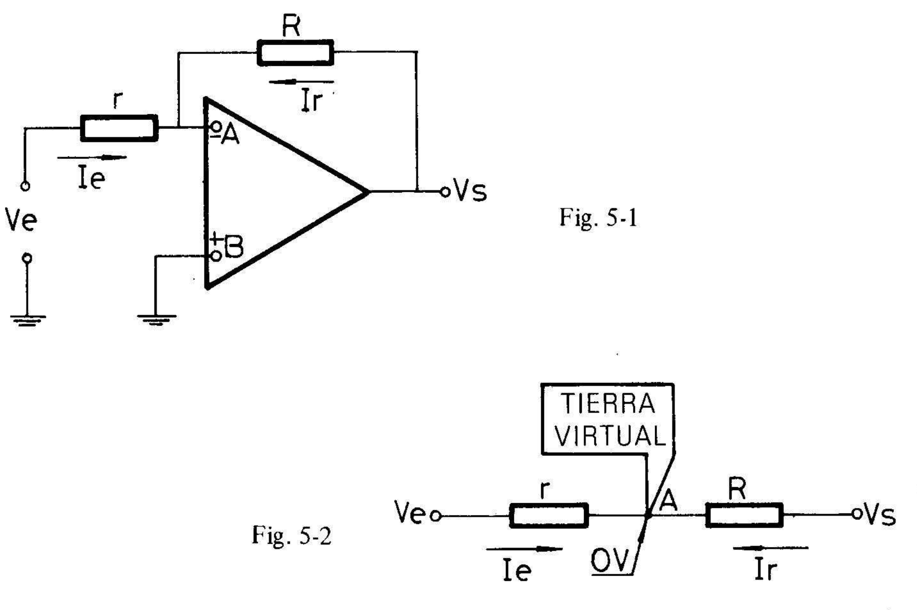


Fig. 5-1

Fig. 5-2

Según la ley de Kirchhoff, las dos corrientes que llegan al punto *A* han de anularse, hallando su valor mediante la ley de Ohm, con lo que se obtiene la siguiente fórmula:

$$I_e = \frac{O - V_e}{r} \qquad\qquad I_r = \frac{V_s - O}{R}$$

Como $I_e = I_r$ resulta:

$$\frac{-V_e}{r} = \frac{V_s}{R}$$

$$\boxed{\frac{V_s}{V_e} = \frac{-R}{r}}$$

La ganancia depende de los valores de la resistencia de entrada y realimentación, pudiendo llegar a ser muy grande, pero existen dos limitaciones que impiden alcanzar cualquier valor para la ganancia:

1) La resistencia de realimentación *R* no puede superar unos pocos megohmios, pues puede ser causa de ruidos y falta de linealidad.

2) La resistencia de entrada r queda limitada inferiormente por su relación con la resistencia de entrada interna y la del generador de señal.

Para obtener mayores ganancias que la permitida por la relación R/r se acude al siguiente montaje de la figura 5-3.

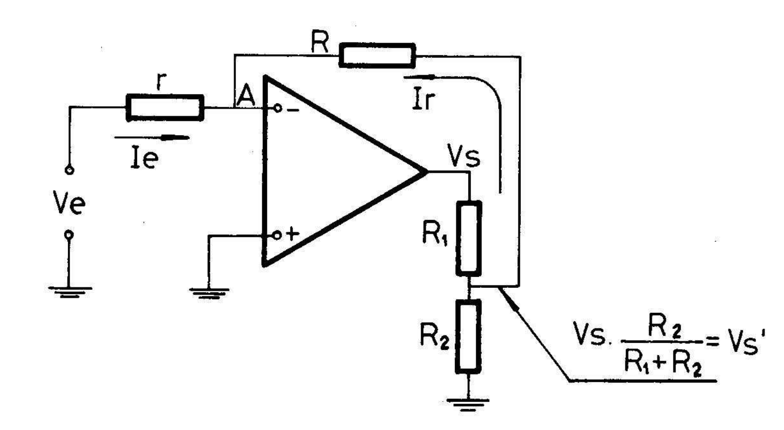


Fig. 5-3

Considerando ideal el A.O. y el punto A como masa virtual, el circuito simplificado es el de la figura 5-4.

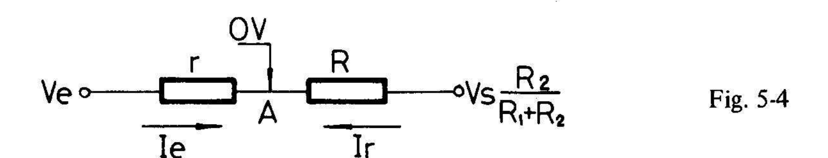


Fig. 5-4

Igualando el valor de las dos corrientes:

$$\frac{V_s \dfrac{R_2}{R_1 + R_2} - 0}{R} = I_r \qquad I_e = \frac{0 - V_e}{r}$$

$$V_s \frac{R_2}{R_1 + R_2} = \frac{-V_e}{r}$$

$$\frac{V_s}{V_e} = -\frac{R}{r} \cdot \frac{R_1 + R_2}{R_2} \qquad (1)$$

Como indica la fórmula (1) la ganancia de tensión es igual al cociente R/r multiplicado por $(R_1 + R_2)/R_2$, lo que eleva este factor de acuerdo con los valores que se den a R_1 y R_2.

Como es lógico, en el circuito de la figura 5-1 si $R = r$, la tensión de salida será igual a la de entrada, pero en oposición, pues $\frac{V_s}{V_e} = \frac{-R}{r} = -1$, considerándose al mismo como un simple inversor de señal.

AMPLIFICADOR NO INVERSOR

El esquema de este circuito es el de la figura 5-5, deduciéndose a continuación su ganancia matemáticamente.

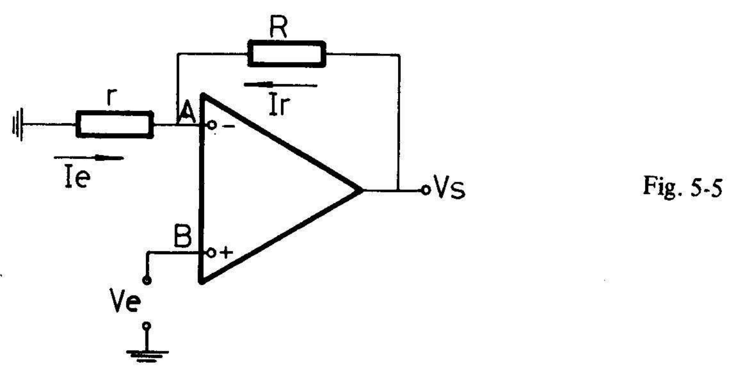


Fig. 5-5

Suponiendo ideal el A.O. y el punto A con igual tensión que el B, o sea, en la figura 5-5 V_e, puesto que por la impedancia que hay entre los dos puntos no circula corriente y por tanto no hay caída de tensión, el esquema simplificado es el siguiente.

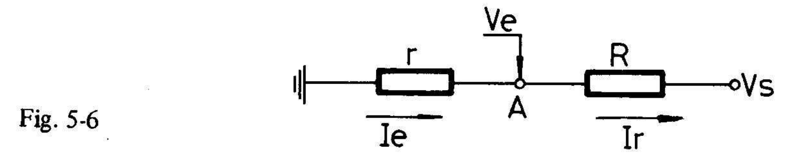


Fig. 5-6

Igualando los valores de las dos corrientes que llegan a A:

$$I_e = \frac{V_e - 0}{r} \qquad I_r = \frac{V_s - V_e}{R}$$

$$\frac{V_e}{r} = \frac{V_s - V_e}{R} \qquad \boxed{\frac{V_s}{V_e} = (1 + \frac{R}{r})} \qquad (2)$$

Según la fórmula (2) ya no hay inversión de señal y la ganancia depende de los valores de R y r, pero de diferente forma que en el circuito inversor. Para aumentar la ganancia se puede usar como en el caso anterior un divisor de resistencias en la salida.

Un caso particular del circuito presente es el que recibe el nombre de seguidor de tensión, que se ha dibujado en la figura 5-7.

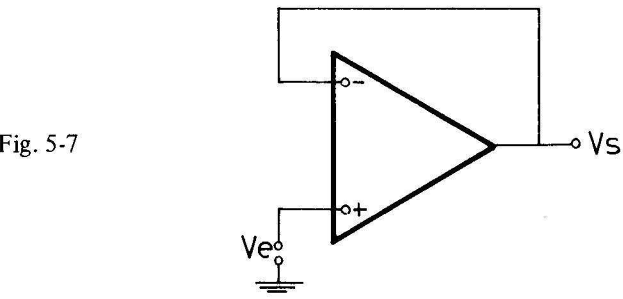


Fig. 5-7

En este esquema $R = 0$ y $r = \infty$ con lo que al aplicar la fórmula (2) se deduce que $V_s = V_e$.

Con este circuito se mantiene constante el nivel de la tensión de entrada, pero con una elevada impedancia de entrada y una muy baja de salida, por lo que se utiliza frecuentemente para la realización de acoplos de impedancias.

SUMADOR INVERSOR

Es una de las aplicaciones habituales del A. O. y el circuito que lo conforma se muestra en la figura 5-8.

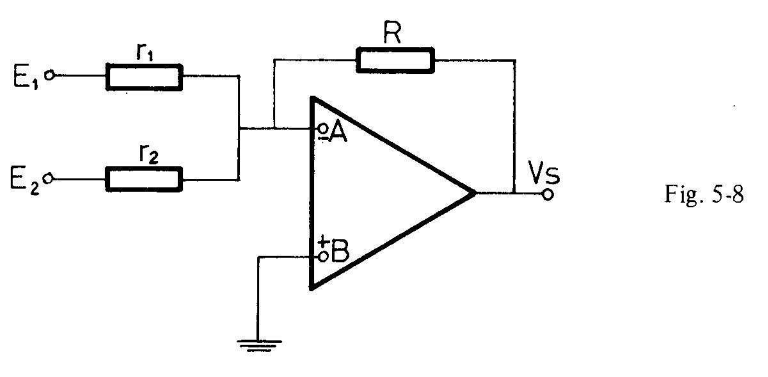


Fig. 5-8

Considerando ideal el A. O. y por tanto el punto A como tierra virtual, el esquema simplificado es el siguiente:

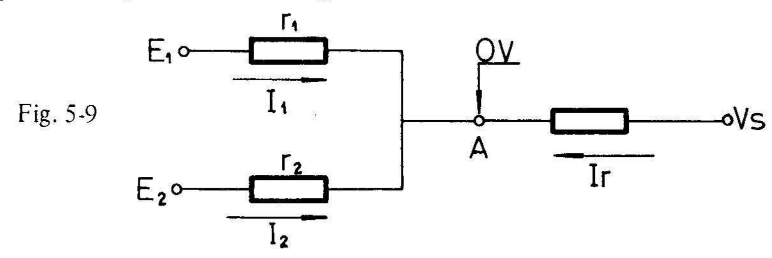


Fig. 5-9

Según la ley de Kirchhoff:

$$I_1 + I_2 = I_r$$

$$I_1 = \frac{0 - E_1}{r_1}$$

$$\frac{V_s}{R} = \frac{-E_1}{r_1} + \frac{-E_2}{r_2}$$

$$I_2 = \frac{0 - E_2}{r_2}$$

$$\frac{V_s}{R} = -\left(\frac{1}{r_1} . E_1 + \frac{E_2}{r_2}\right)$$

$$I_r = \frac{V_s - 0}{R}$$

$$\boxed{V_s = -R\left(\frac{E_1}{r_1} + \frac{E_2}{r_2}\right)} \qquad (3)$$

La fórmula (3) indica que la tensión de salida es proporcional a la

suma de las de entrada, E_1 y E_2. En el caso particular $R = r_1 = r_2$, la fórmula (3) se reduce a:

$$V_s = -(E_1 + E_2)$$

SUMADOR NO INVERSOR

El circuito necesario para obtener la suma no invertida de varias señales es el de la figura 5-10.

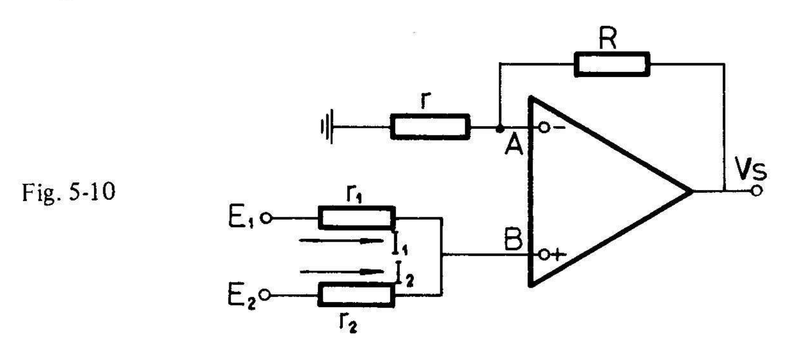


Fig. 5-10

Teniendo en cuenta el consumo nulo del A.O. considerado ideal, se puede deducir la tensión del punto A, de acuerdo con el siguiente circuito.

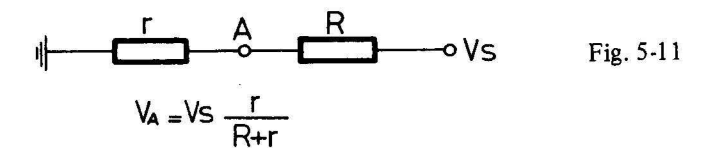


Fig. 5-11

Como no hay caída de tensión entre las entradas del A.O., por no circular corriente por la impedancia que los une, $V_B = V_A$.

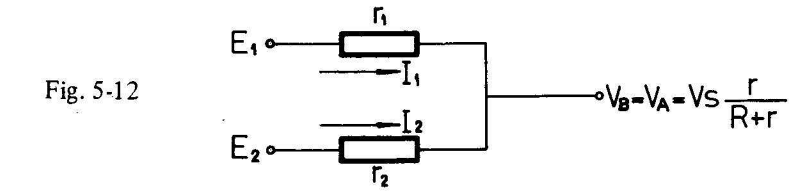


Fig. 5-12

Aplicando la 1.ª ley de Kirchhoff al circuito simplificado de la figura 5-12, se obtiene:

$$I_1 + I_2 = 0$$

$$\frac{V_A - E_1}{r_1} + \frac{V_A - E_2}{r_2} = 0$$

$$\frac{V_s \cdot \frac{r}{R+r} - E_1}{r_1} + \frac{V_s \cdot \frac{r}{R+r} - E_2}{r_2} = 0$$

$$\frac{V_s \cdot r \cdot r_1}{R+r} - E_1 \cdot r_2 + \frac{V_s \cdot r \cdot r_1}{R+r} - E_2 \cdot r_1 = 0$$

$$\boxed{V_s = \frac{R+r}{r} \left(E_1 \frac{r_2}{r_1 + r_2} + E_2 \frac{r_1}{r_1 + r_2} \right)} \qquad (4)$$

La fórmula (4) indica que la tensión de salida es proporcional y del mismo signo que la suma de las tensiones de entrada. En el caso particular que fuesen iguales las resistencias $R = r_1 = r_2 = r$, la fórmula (4) quedaría:

$$V_s = E_1 + E_2$$

CIRCUITO DIFERENCIAL

Sirve para obtener una salida proporcional a la diferencia de las tensiones de entrada. El circuito correspondiente es el de la figura 5-13.

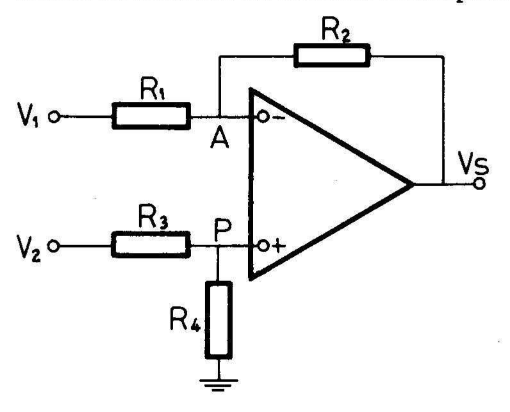


Fig. 5-13

Aplicando la ley de Ohm al circuito de la entrada positiva se obtiene la tensión del punto P.

$$V_P = V_2 \cdot \frac{R_4}{R_3 + R_4}$$

El circuito simplificado considerando ideal el A.O. es el de la figura 5-14.

Fig. 5-14

Igualando los valores de las dos corrientes que llegan al punto A, al que se le supone con la misma tensión que el P al no circular corriente por la impedancia que los une, se obtiene:

$$I_1 = \frac{V_1 - V_P}{R_1}$$

$$I_r = \frac{V_P - V_s}{R_2}\ ; \quad \frac{V_1 - V_2 \cdot \dfrac{R_4}{R_3 + R_4}}{R_1} = \frac{V_2 \cdot \dfrac{R_4}{R_3 + R_4} - V_s}{R_2}$$

Simplificando la fórmula anterior y teniendo en cuenta que $R_1 = R_3$ y $R_2 = R_4$ se llega a la siguiente expresión:

$$\boxed{V_s = \frac{R_2}{R_1}\,(V_2 - V_1)} \qquad (5)$$

En el caso particular que $R_1 = R_2 = R_3 = R_4$, se tiene:

$$V_s = V_2 - V_1$$

CIRCUITO RESTADOR

Constituye una aplicación del circuito diferencial y en la figura 5-15 se muestra un esquema práctico:

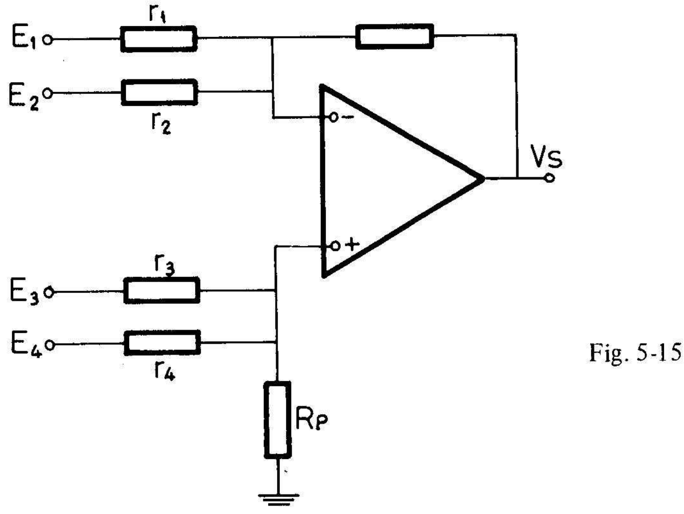


Fig. 5-15

Siguiendo la misma deducción que en el caso dèl circuito diferencial se obtiene el siguiente resultado:

$$V_s = \frac{R_p}{r_3} \cdot E_3 + \frac{R_p}{r_4} \cdot E_4 - \left(\frac{R_p}{r_1} \cdot E_1 + \frac{R_p}{r_2} \cdot E_2 \right)$$

Esta fórmula queda simplificada en el caso particular de ser iguales todas las resistencias, $R_p = R = r_3 = r_4 = r_1 = r_2$.

$$V_s = E_3 + E_4 - (E_1 + E_2)$$

La tensión de salida es proporcional a la suma de las que se aplican al A.O. por el borne B +, menos la suma de las que se aplican por el borne A –.

AMPLIFICADOR LOGARITMICO

Para realizar operaciones tales como multiplicación, división y potenciación se usa la función logaritmo, que también puede ser realizada por el A.O. La multiplicación se realiza por suma de logaritmos, la división por resta, etc...

Aprovechando la característica no lineal de la unión N-P de cualquier diodo semiconductor polarizada directamente, que se aproxima a una

respuesta logarítmica casi perfecta, al igual que la relación tensión/corriente entre dos electrodos de un transistor, se logra una realimentación en el A.O. que le hace seguir la función logarítmica.

En el caso de utilizar un diodo como lazo de realimentación no lineal, el circuito correspondiente es el de la figura 5-16.

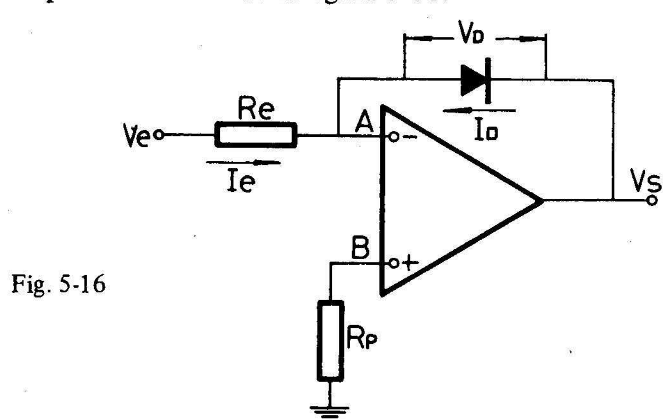


Fig. 5-16

Comoquiera que en un diodo polarizado directamente su caída de tensión V_D es función logarítmica de la corriente que circula por él, se aprovecha dicha relación, que se expresa a continuación y sólo es válida para valores muy pequeños.

$$V_D = 0{,}006 \cdot \log \frac{I_D}{I_o} \qquad (6)$$

Teniendo en cuenta que en el circuito de la figura 5-16 el A.O. es ideal y que $V_A = 0$, se deduce que $V_s = -V_D$ y sustituyendo V_D por el valor de la fórmula (6), queda:

$$V_s = -0{,}06 \log \frac{I_D}{I_o} \qquad \text{Como } I_D = I_e = \frac{V_e}{R_e}$$

$$V_s = -0{,}06 \log \frac{V_e}{R_e \cdot I_o}$$

Realizando operaciones se llega a la fórmula final:

$$\boxed{V_s = -0{,}06 \log V_e + K} \qquad (7)$$

$$\text{Siendo } K = 0{,}06 \log \frac{1}{R_e \cdot I_o} \text{ (constante)}$$

Otro circuito que ejecuta la función logarítmica, pero usando como lazo de realimentación la unión colector-emisor de un transistor en montaje de base común, es el mostrado en la figura 5-17, que aventaja en cuanto a rendimiento y precisión al anterior.

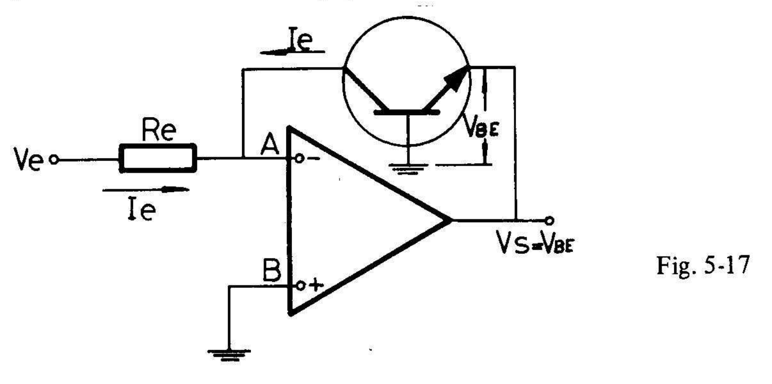


Fig. 5-17

Este circuito responde a la fórmula:

$$V_s = V_{BE} = -0{,}06 \log V_e + K$$

Siendo K una constante.

El circuito inverso al de la figura 5-17, intercambiando entre sí la resistencia y el transistor exterior, efectúa la operación contraria al logaritmo, que es el antilogaritmo, y está dibujado en la figura 5-18.

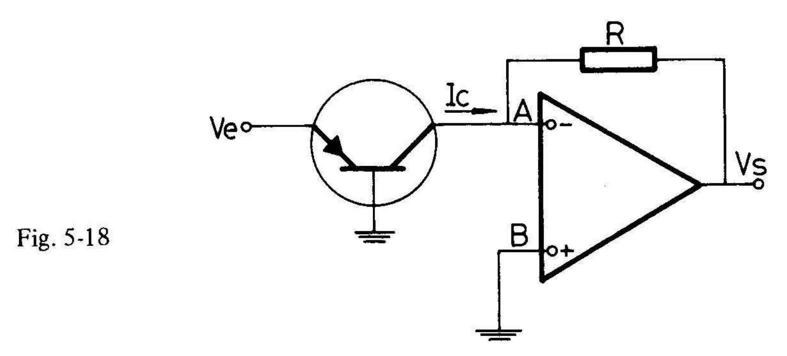


Fig. 5-18

Mediante las funciones logaritmo y antilogaritmo se simplifican extraordinariamente muchas operaciones matemáticas clásicas tales como multiplicaciones, divisiones, funciones exponenciales, convirtiéndolas respectivamente en sumas, restas, multiplicaciones y divisiones.

CIRCUITO INTEGRADOR

Adecuando la realimentación del A.O. puede efectuarse una operación matemática tan importante como lo es la integración.

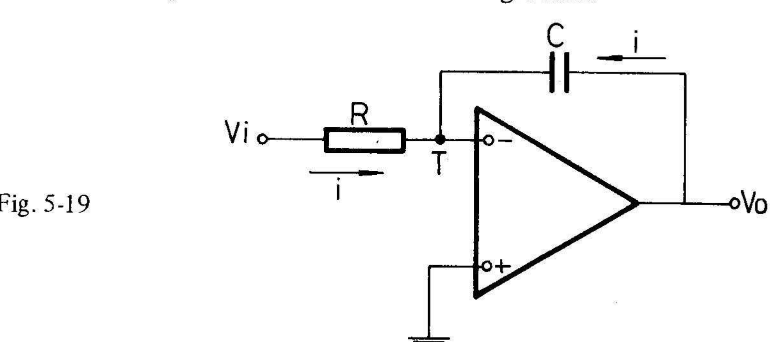


Fig. 5-19

Suponiendo que T sea masa virtual, la corriente que circula por R será igual a la que carga el condensador, cuyo valor instantáneo será:

$$i = \frac{v_i(t)}{R} \qquad (8)$$

Por otro lado, teniendo en cuenta la fórmula que determina la carga del condensador C:

$$v_o = \frac{-1}{C}\int_{-\infty}^{t} i(t) \cdot d_t = v_o(O) + \frac{-1}{C}\int_{0}^{t} i(t) \cdot d_t$$

Finalmente, y según la fórmula (8):

$$v_o = v_o(O) + \frac{-1}{R \cdot C}\int_{0}^{t} v_i(t) \cdot dt \qquad (9)$$

Según la fórmula (9) la tensión de salida es la integral de la de entrada, multiplicada por una constante ($\frac{-1}{R \cdot C}$).

v_o (O) representa la tensión inicial del condensador en el momento que se inicia la integración.

CIRCUITO DIFERENCIADOR

Al colocar en la entrada del A.O. un condensador como se muestra en la figura 5-20, el circuito realiza la diferenciación de la tensión de entrada.

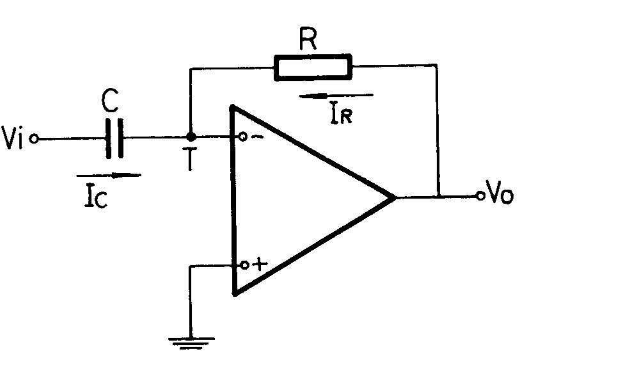


Fig. 5-20

La magnitud de I_c depende de la capacidad de C y de la rapidez de variación de V_i. Suponiendo que T es masa virtual y está a 0 V, al variar V_i y pasar una I_c, deberá circular por R una I_R que la iguale.

$$I_c = C\frac{dV_i}{dt} \qquad I_R = \frac{-V_0}{R}$$

$$I_c = I_R$$

Teniendo el punto T a 0 V, se deduce que:

$$i(t) = C\frac{dv_i(t)}{dt} = \frac{-v_0(t)}{R}$$

$$\boxed{v_0(t) = -RC\frac{dv_i(t)}{dt}} \qquad (10)$$

La tensión de salida $v_0(t)$ es la derivada de la de entrada, multiplicada por la constante $-RC$.

EJERCICIOS DE LA LECCION 5.ª

Poner una cruz en la respuesta correcta.

1.ª PREGUNTA.—La ganancia del amplificador inversor depende:

a) Del valor de la resistencia de realimentación.
b) Del valor de la resistencia de realimentación y de la entrada.
c) Del valor de la tensión de alimentación.

2.ª PREGUNTA.—Un circuito simple para invertir la señal tiene:

a) Una resistencia de realimentación nula.
b) Anulada la resistencia de entrada.
c) La resistencia de entrada igual a la de realimentación.

3.ª PREGUNTA.—Para conseguir una amplificación sin inversión:

a) Se suprime la resistencia de realimentación.
b) Se igualan la resistencia de entrada y la de realimentación.
c) Se introduce la señal de entrada por el borne *B* +.

4.ª PREGUNTA.—Para realizar una multiplicación con un A.O.

a) Se utilizan muchos circuitos sumadores.
b) Se utiliza un circuito integrador.
c) Se utiliza un circuito logarítmico.

5.ª PREGUNTA.—Una función logarítmica la cumple:

a) Un diodo polarizado directamente.
b) Un diodo polarizado inversamente.
c) Un condensador y una resistencia.

6.ª PREGUNTA.—El circuito integrador dispone como elemento de realimentación de:

a) Un transistor.
b) Un diodo.
c) Un condensador.

7.ª PREGUNTA.—Para restar dos señales de entrada:

a) No se coloca realimentación.
b) Se introducen las dos por el borne $A-$.
c) Se introduce cada una de las señales por cada borne de entrada del A.O.

LECCION 6

Aplicaciones diversas de los A. O.

INTRODUCCION

Analizadas en la lección precedente las aplicaciones de los A.O. en el campo de las operaciones matemáticas, se dedica esta lección a contemplar algunos casos que no sean de tipo operacional.

AMPLIFICADOR DE GANANCIA REGULABLE. INVERSOR O NO INVERSOR

La utilización de A.O. según el circuito mostrado en la figura 6-1 permite conseguir que su amplificación varíe entre ciertos límites, a la par que se puedan obtener señales de salida en fase o en oposición. Se trata en realidad de una variante del amplificador diferencial.

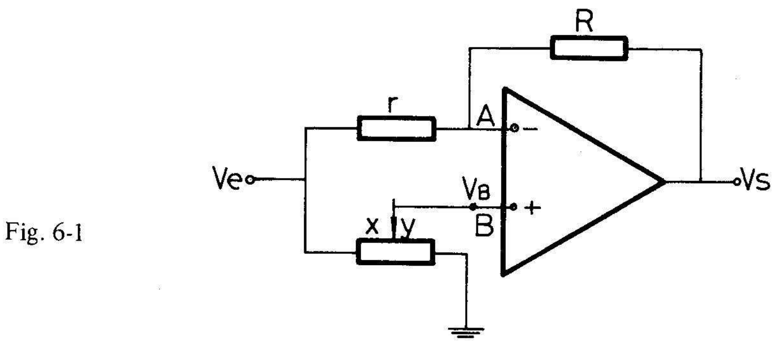


Fig. 6-1

Se halla en principio la tensión V_B aplicando la ley de Ohm al cir-

cuito de entrada por la rama del potenciómetro que responde al esquema de la figura 6-2.

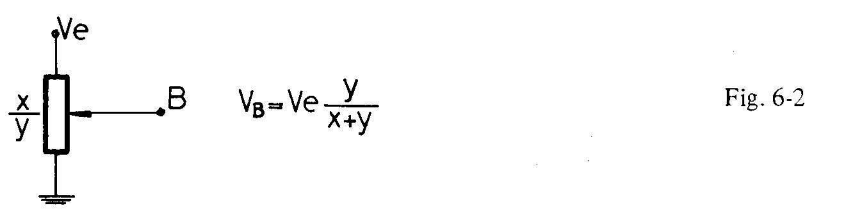


Fig. 6-2

Considerando ideal el A.O. y teniendo en cuenta que $V_A = V_B$, su circuito simplificado es el de la figura 6-3.

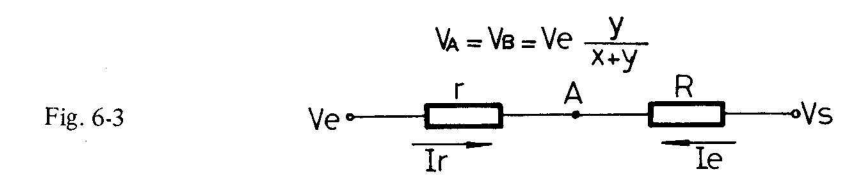


Fig. 6-3

Igualando las corrientes I_r e I_R que concurren en el punto A y sustituyéndolas por su valor, queda:

$$\frac{V_s - V_A}{R} = \frac{V_A - V_e}{r}$$

$$\frac{V_s - V_e \dfrac{y}{x+y}}{R} = \frac{V_e \dfrac{y}{x+y} - V_e}{r}$$

$$V_s \cdot r - V_e \frac{y \cdot r}{x+y} = V_e \frac{y \cdot R}{x+y} - V_e \cdot R$$

$$V_s = -V_e \cdot \frac{R}{r} + \frac{V_e}{r} \left(\frac{y \cdot r}{x+y} + \frac{y \cdot R}{x+y}\right) = -V_e \frac{R}{r} + V_e \frac{y}{x+y} \left(1 + \frac{R}{r}\right)$$

Llamando $K = \dfrac{y}{x + y}$, se obtiene la siguiente fórmula:

$$\boxed{V_s = -V_e \frac{R}{r} + V_e \cdot K \cdot (1 + \frac{R}{r})} \qquad (1)$$

Con K variando de 0 a 1, al mover la posición del cursor del potenciómetro se consigue, cuando $R = r$:

$$V_s = (2K - 1) \cdot V_e \rightarrow -V_e \leqslant V_s \leqslant V_e$$

Es decir, según la posición del potenciómetro la tensión de salida oscila entre $-V_e$ y $+V_e$.

FUENTE DE CORRIENTE CONSTANTE

Se trata de obtener un circuito con un A.O. capaz de generar entre dos puntos una corriente constante, independientemente de la resistencia que se coloque, tal como se muestra en la figura 6-4.

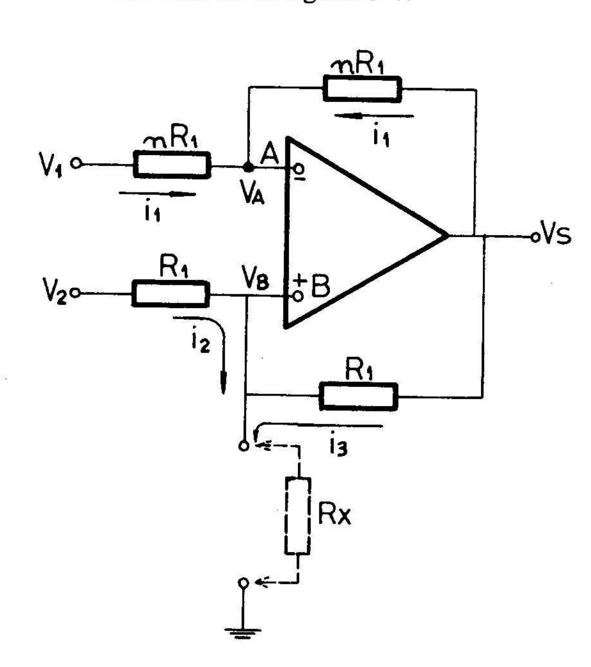


Fig. 6-4

Aplicando la ley de Ohm se obtienen los valores de las tres corrientes i_1, i_2 e i_3 del circuito de la figura 6-4.

$$i_1 = \frac{V_1 - V_A}{nR_1}$$

$$i_2 = \frac{V_2 - V_A}{R_1}$$

$$i_3 = \frac{V_s - V_A}{R_1} = \frac{-i_1 \cdot n \cdot R_1}{R_1} = \frac{-V_1 + V_A}{R_1}$$

De donde la corriente que atraviesa la carga variable R_x valdrá:

$$\boxed{i_2 + i_3 = \frac{V_2 - V_A}{R_1} + \frac{-V_1 + V_A}{R_1} = \frac{V_2 - V_1}{R_1}} \qquad (2)$$

La fórmula (2) indica que la intensidad que circula por R_x no depende del valor de ella, sino de la diferencia entre V_2 y V_1, así como del valor de R_1.

AMPLIFICADOR DE CORRIENTE

Con el circuito dibujado en la figura 6-5 se pretende obtener una corriente de salida K veces mayor que la de entrada del A.O.

Averiguando el valor de las corrientes I_1 e I_2 en principio:

$$I_1 = \frac{V_e - V_A}{R_1}$$

$$V_A - V_s = I_1 \cdot R_2 \qquad -V_s = I_1 \cdot R_2 - V_A \qquad (3)$$

$$I_2 = \frac{V_{out} - V_s}{R_3} = \frac{V_{out} - (3)}{R_3} = \frac{V_{out} - I_1 \cdot R_2 - V_A}{R_3}$$

Como $V_{out} = V_B = V_A$

$$-I_1 \cdot R_2 = I_2 \cdot R_3$$

$$\frac{I_2}{I_1} = -\frac{R_2}{R_3} \qquad \boxed{I_2 = -K \cdot I_1} \qquad (4)$$

Independientemente de la resistencia de carga R_4 que se coloque a la salida del circuito, por ella pasa una corriente proporcional a la de entrada, que depende de los valores de R_2 y R_3.

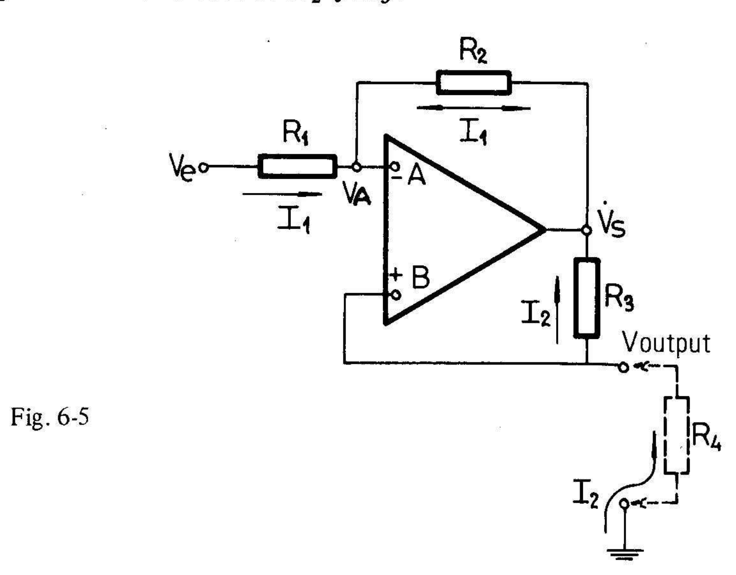


Fig. 6-5

CONVERSOR DE TENSION EN FRECUENCIA (ANALOGICO-DIGITAL)

Consiste en realizar un circuito con A.O. capaz de transformar una variación en la tensión de entrada en otra de la frecuencia de la señal de salida (figura 6-6). Transforma una señal analógica en otra digital.

Funcionamiento básico

La primera etapa del circuito de la figura 6-6 es un integrador que produce una rampa negativa proporcional a la tensión V_{in}. Esta rampa se lleva a la entrada (–) del comparador, cuya entrada (+) está polarizada a –4 V.

En el momento en que la salida del integrador sobrepase los –4 V de la entrada (+), la salida del comparador, cuyo funcionamiento se estu-

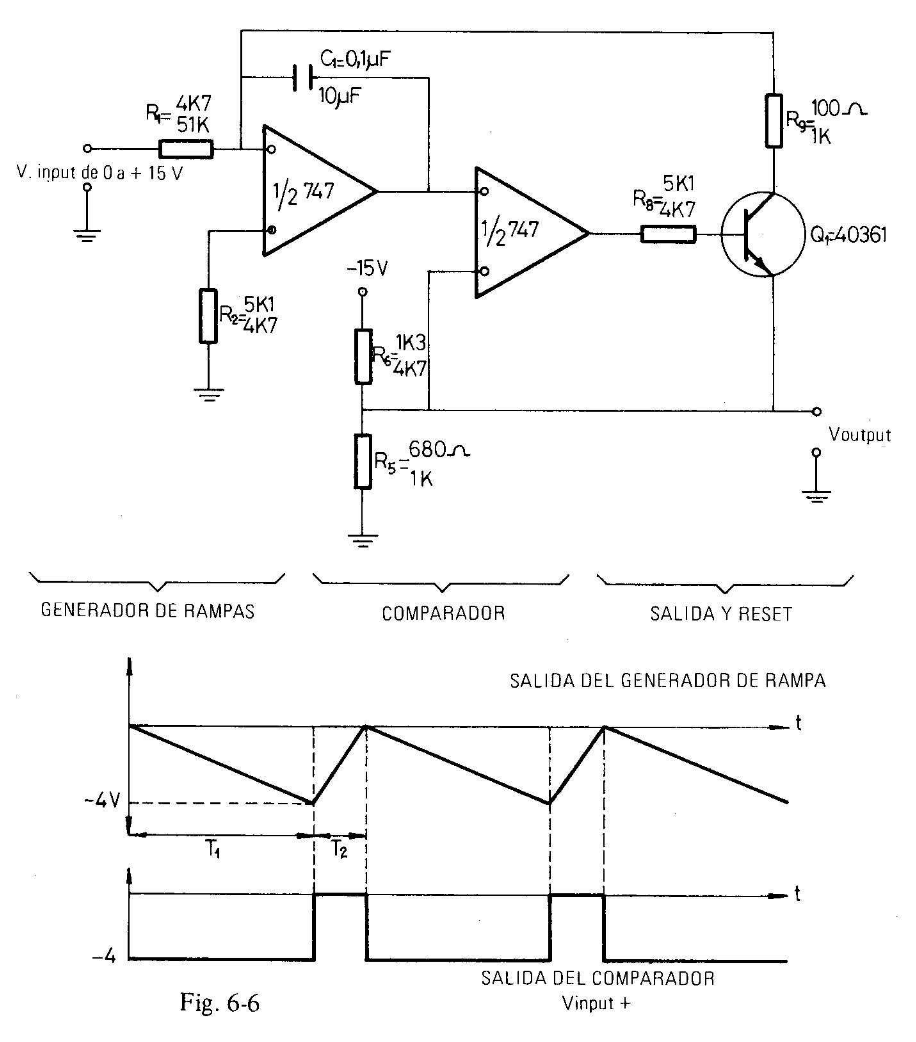


Fig. 6-6

día a continuación, pasa al estado "ON", pasa de 0 a $+V$, con lo cual Q_1 proporciona un impulso para hacer la reposición del condensador del integrador y descargarlo.

Como el tiempo de reposición es muy pequeño comparado con el de integración, la frecuencia de los impulsos de salida depende de la tensión aplicada al integrador.

1.ª Fase: Tiempo de integración T_1.

Salida del integrador: 0 V

Salida del comparador: 0 V

Entrada (+) del comparador a –4 V debido a R_5 y R_6.

La rampa creada por el integrador tiene una pendiente negativa que cumple:

$$\frac{\Delta V_{out}}{\Delta T} = \frac{V_{in}}{R_1 \cdot C_1}$$

$$(1) \quad T_1 = 4 \cdot \frac{R_1 \cdot C_1}{V_{in}} \qquad (\text{Para } V_{out} = -4 \text{ V})$$

2.ª Fase: Tiempo de reposición T_2. En un principio:

Salida del integrador: –4 V.

Salida del comparador y Q_1 en estado "ON" (conducción).

Cuando la salida del comparador pasa a "ON", la corriente de emisor de Q_1 hace que la entrada (+) del comparador vaya de –4 V a 0 V aproximadamente. En el mismo tiempo la corriente de colector hace descargar el condensador por una resistencia equivalente R^*, que representa la suma de todas las resistencias limitadoras de la corriente de descarga del condensador.

$$R^* = R_9 + R_{CE} \text{ de } Q_1 + R_6 = 100\Omega + 25\Omega + 1.300\Omega = 1.425\Omega$$

Para calcular el tiempo de descarga de T_2 se utiliza la misma fórmula (1), pero sustituyendo R^* por R_1 y V_{in} por –15 V.

$$T_2 = \frac{4 \cdot R^* \cdot C}{V_{in}} = \frac{4 \cdot 1.425 \cdot 0{,}1 \cdot 10^{-6}}{15} = 44{,}5\ \mu s$$

Cuando C_1 se ha descargado hasta que el (–) del comparador es cero, éste cambia a la posición "OFF" (bloqueo), con lo cual se bloquea Q_1 y en la pata (+) del comparador vuelven a aparecer los –4 V.

Tiempo total del ciclo:

$$T = T_1 + T_2 = \frac{4 \cdot R_1 \cdot C_1}{V_{in}} + \frac{4 \cdot R^* \cdot C_1}{15} = 4 \cdot C_1 \left(\frac{R_1}{V_{in}} + \frac{R^*}{15} \right)$$

En la mayoría de las situaciones prácticas R^* es tan pequeña que se desprecia, quedando:

$$T = 4 \cdot C_1 \cdot \frac{R_1}{V_{in}} \qquad \frac{1}{T} = f\,(\text{Hz})$$

$$\frac{\text{Hz}}{V_{\text{in}}} = \frac{\frac{1}{T}}{V_{\text{in}}} = \frac{1}{4 \cdot C_1 \cdot R_1}$$

En el ejemplo que se describe:

$$\frac{\text{Hz}}{V_{\text{in}}} = \frac{1}{4 \cdot 50.000 \cdot 0{,}1 \cdot 10^{-6}} = \frac{10^6}{20 \cdot 10^4} = 50 \text{ Hz/V}$$

Lo que significa que por cada voltio que se incremente la tensión de entrada, la frecuencia de salida aumenta 50 Hz.

CONVERSOR DE FRECUENCIA EN TENSION (DIGITAL-ANALOGICO)

Se trata de convertir un número de impulsos de amplitud constante en una tensión creciente y proporcional a la cantidad de aquellos.

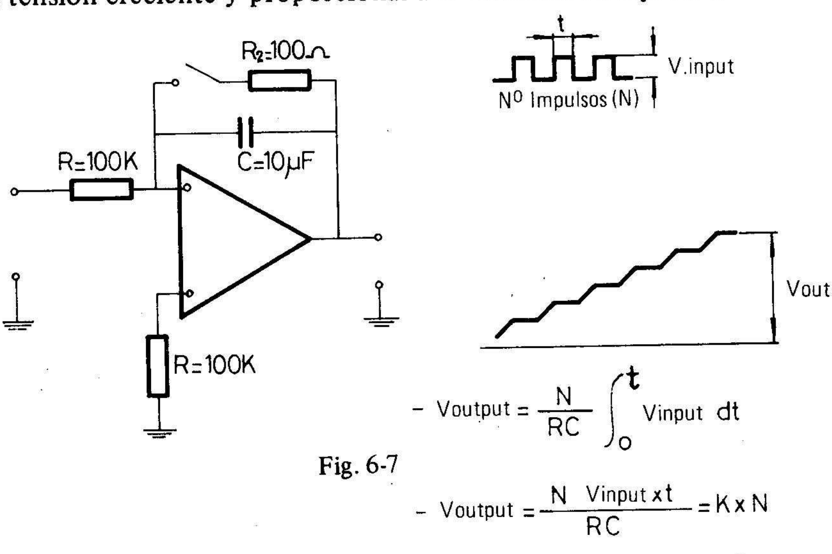


Fig. 6-7

Cada impulso del número digital está representado por una onda cuadrada de amplitud V_{in} y duración t. La tensión del condensador C se incrementa por cada impulso en $\frac{V_{\text{in}} \cdot t}{R \cdot C}$

Para una magnitud digital representada por N impulsos a la entrada del integrador resulta un voltaje analógico en la salida de:

$$-V_{\text{out}} = N \cdot \frac{V_{\text{in}} \cdot t}{R \cdot C}$$

COMPARADORES

Básicamente los comparadores sirven para comparar tensiones variables respecto a una fija de referencia, o para la determinación del paso por cero. Para conseguirlo basta usar un A.O. sin realimentación, como el mostrado en la figura 6-8.

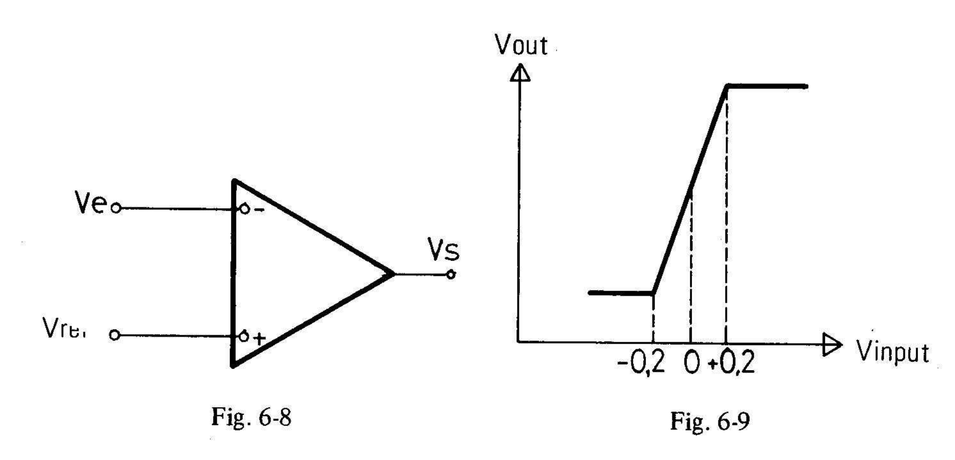


Fig. 6-8

Fig. 6-9

Se obtiene tensión de salida positiva de 15 V cuando la de entrada V_e es menor que la de referencia, y salida negativa de valor −15 V cuando V_e es mayor que la de referencia. Si se invierten las entradas de las dos señales se conseguirá bascular inversamente entre + V y $-V$.

Este comportamiento se justifica con la curva de respuesta de un A.O., que se ha dibujado en la figura 6-9.

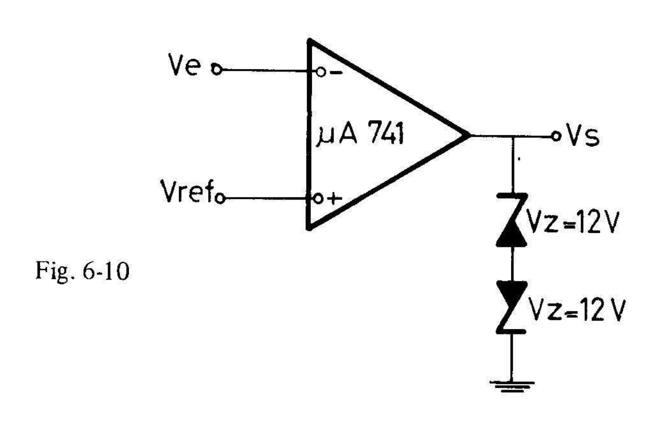


Fig. 6-10

Llegando a +15 y −15 V, tensiones límites, la velocidad de respuesta no es muy rápida, por lo que para mejorarla se limita en 3 V aproximadamente la tensión de salida con un par de diodos de Zener en oposición, colocados en la salida, como lo muestra la figura 6-10.

Para la conversión de magnitudes analógicas en digitales y viceversa es preciso el uso del comparador.

Los comparadores comparan la señal analógica de entrada con una fija de referencia.

El comparador más simple responde a la siguiente pregunta: La señal de entrada, ¿es mayor o menor que cero?

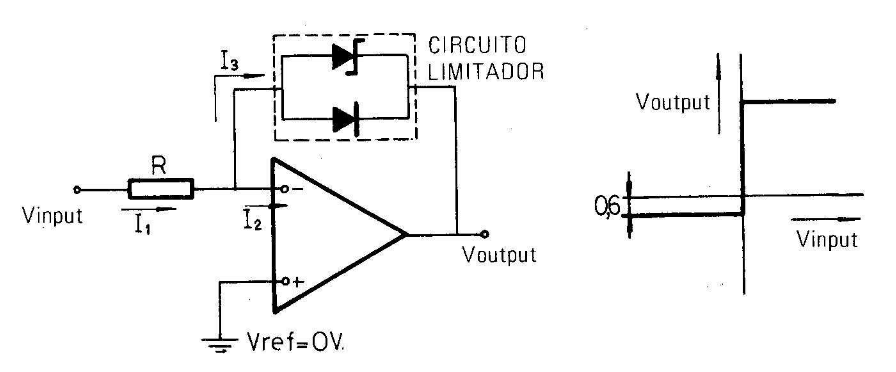


Fig. 6-11

Para I_3 positiva hay nivel de salida.

Para I_3 negativa hay un nivel de salida diferente.

El punto de comparación ocurre cuando $I_3 = 0$

$$I_1 = I_2 + I_3$$

$$\frac{V_{in}}{R} = I_2 + I_3 \quad \text{cuando } I_3 = 0 \quad \frac{V_{in}}{R} = I_1 = I_2$$

(corriente de comparación)

La tensión de comparación será $V_{in} = I_2 \cdot R$.

Las ecuaciones anteriores indican que el punto de comparación aparece cuando la corriente de entrada iguala a I_2 (Input bias current).

Si en el A.O. existiese tensión de compensación V_{os}.

$$I_1 = I_2 + I_3$$

$$\frac{V_{in} - V_{os}}{R} = I_2 + I_3 \text{, que cuando } I_3 = 0$$

$$V_{in} \text{ de comparación} = V_{os} + I_2 \cdot R.$$

El error causado por I_2 se puede eliminar conectando una resistencia de valor R entre la entrada (+) y tierra, haciendo que la corriente de polarización de entrada (+) y la (−) sean iguales. Si no son iguales la diferencia es la llamada corriente de compensación diferencial ("diferential offset current") y las ecuaciones anteriores son válidas cambiando I_2 por I_{dif}.

COMPARADOR CON HISTERESIS

Como se muestra en la figura 6-12, se usa una realimentación a través de R_2 para que, debido a la histéresis que se produce, haga al circuito más insensible al ruido.

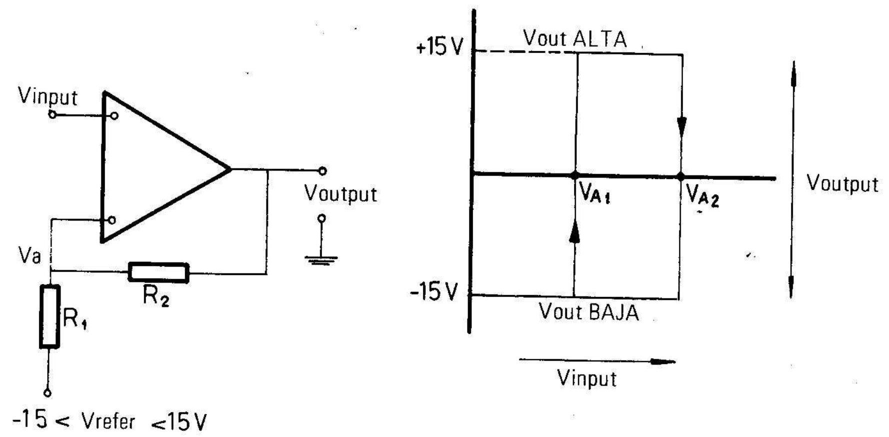


Fig. 6-12

$$V_{A1} = V_{REF} \quad \frac{V_{out}\text{ baja} - V_{REF}}{R_1 + R_2} \cdot R_1$$

Para $V_{in} = V_{A1}$

V_{out} pasa de −15 a + 15 V.

$$V_{A2} = V_{REF} \quad \frac{V_{out}\text{ alta} - V_{REF}}{R_1 + R_2} \cdot R_1$$

Para $V_{in} = V_{A2}$

V_{out} pasa de + 15 a −15 V.

FUNDAMENTOS DE LOS CONVERSORES A-D y D-A.

En los sistemas A-D (analógicos-digitales) o D-A (digitales-analógicos) la información a tratar se presenta habitualmente en forma de una señal analógica (tensión, corriente, etc.) cuya amplitud indica el valor de una magnitud física (por ejemplo, una temperatura o una velocidad, o bien en forma de valores discretos). En digital el valor de la magnitud física se expresa por una palabra, en la cual cada dígito vale UNO o CERO, y para saber si se trata de valores positivos o negativos se añade otro dígito delante del de peso más significativo, de forma, por ejemplo, que si es un UNO se trate de un valor negativo y si es un CERO, de un valor positivo. Una expresión digital sólo tiene valores discretos, sin ninguno intermedio.

Una señal analógica se puede formar componiendo valores discretos, por lo que la representación con números digitales será función de la cantidad de dígitos que formen esa palabra.

Es muy interesante realizar el tratamiento de los datos o la información con elementos digitales, ya que la exactitud se mantiene en todas las operaciones que se ejecutan. En cambio el cálculo en sistema analógico hace perder precisión después de cada operación. Por otro lado, es muy común utilizar como elemento de entrada traductores eléctricos cuya información ha de ser procesada; de aquí la necesidad de los convertidores A-D y D-A.

Una vez estudiados los sistemas electrónicos digitales se destina un capítulo completo a los conversores A/D y D/A, dada su importancia y utilización.

CONCEPTOS FUNDAMENTALES EN LA CONVERSION DIGITAL–ANALOGICA

La siguiente figura muestra un conversor D-A, al que se aplica una palabra de tres dígitos, más uno de signo.

Los elementos fundamentales que constituyen el sistema de la figura 6-13 son los siguientes:

Registro de memoria.

Alimentación de referencia.

Decodificador digital-analógico.

Cuando un dígito de la palabra alcanza el valor 1, en la salida del conversor se obtiene una tensión proporcional al peso o significación de este dígito dentro de la palabra a que pertenece. La conversión D-A no es totalmente exacta; por eso si hay una entrada en BCD 0011, la salida es

3V ± ERROR. El error viene determinado por los elementos que constituyen el conversor.

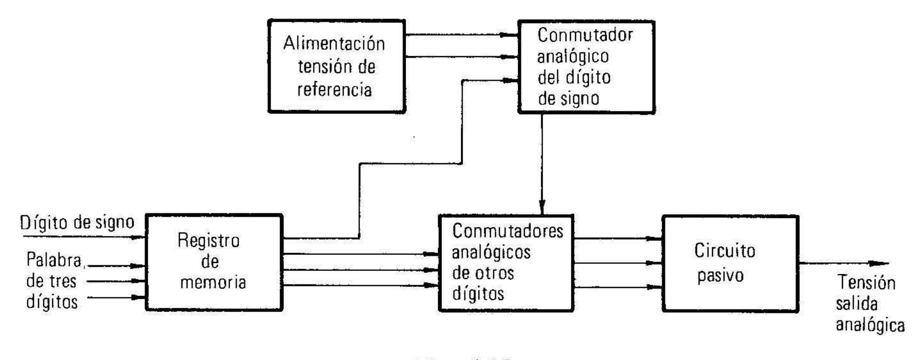


Fig. 6-13

CONVERSOR D-A POR PESOS

Está constituido por un amplificador operacional atacado por diversas series de resistencias, que permiten pasar una corriente proporcional al rango del número binario aplicado a la entrada. En la siguiente figura se presenta un montaje clásico de este tipo de conversor (figura 6-14).

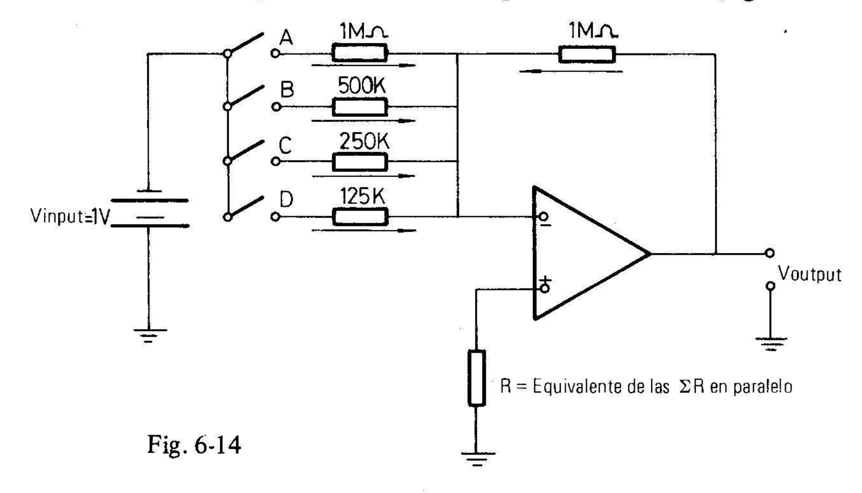


Fig. 6-14

$$I = \frac{V_{out}}{1M\Omega} = V_{in}\left(\frac{A}{1} + \frac{B}{0{,}5} + \frac{C}{0{,}25} + \frac{D}{0{,}125}\right) = V_{in}\,(A + 2B + 4C + 8D)$$

Si el número de entrada es 5 en base 10, será equivalente al 0101 en base 2, o sea, $DCBA \equiv 0101$. Si $V_{in} = 1V$, resulta:

$$V_{out} = 1\,(1 + 1 \times 0 + 4 \times 1 + 8 \times 0) = 5V$$

En resumen, en este tipo de conversores se introduce el número binario a un A.O. con tantas resistencias de entrada como bits hay en el número que se quiere convertir, y el valor de cada resistencia debe ser la mitad del de la anterior.

Si el valor a convertir está en código BCD, de pesos 8, 4, 2 y 1, se tendrán que usar resistencias de entrada que sean proporcionales a la inversa de los pasos respectivos de los números de cada una de las cifras decimales expresadas en binario. Esto quiere decir que la resistencia que ocupa el dígito de peso 8 en la cifra más significativa tendrá un valor de diez veces inferior a la resistencia que ocupa el rango de peso 8 en la cifra siguiente. Por otro lado, la resistencia que ocupa el rango del dígito de peso 8 en el bit más significativo tendrá un peso que será la mitad del de la cifra que ocupa el rango de peso 4; éste, a su vez, la mitad del bit que ocupa el rango de peso 2 y éste la mitad del que ocupa el rango de peso 1.

Variantes

Como es extraordinariamente difícil hallar resistencias cuyos valores sean realmente exactos y que al mismo tiempo sean estables a las variaciones de temperatura, humedad y tiempo, ha sido necesario buscar varios métodos para usar cada uno de ellos en las condiciones más idóneas.

Uno de los métodos es el citado anteriormente y consiste en usar un solo A.O. y una gran variedad de resistencias, cada una para su rango. Tiene el inconveniente de necesitar muchas resistencias.

Otro método consiste en usar sólo cuatro tipos de resistencias y, en cambio, ponderar las tensiones a ellas aplicadas, haciendo que la tensión de la década más significativa sea diez veces superior a la de la siguiente, y la de ésta diez veces superior a la de su inmediata inferior. En la figura 6-15 se da una aplicación de este método de resistencias ponderadas.

$$\frac{V_{out}}{R_F} = V_{in}\,(\Sigma \frac{1}{R_i})$$

$$V_{out} = R_F \cdot V_{in}\,(\frac{1}{0{,}02} + \frac{1}{0{,}08} + \frac{1}{0{,}4} + \frac{1}{0{,}8} + \frac{1}{8})$$

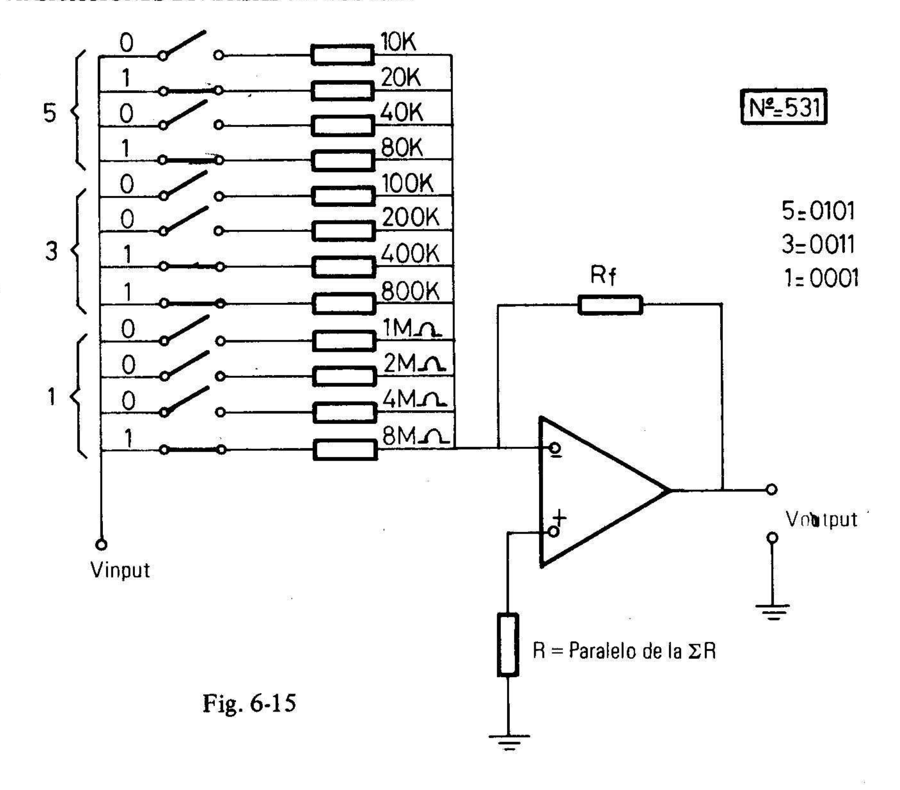


Fig. 6-15

OTRAS APLICACIONES DE LOS A.O.

Además de todas las utilizaciones del A.O. expuestas en las lecciones 5.ª y 6.ª, existen muchísimas más, cuyo límite generalmente viene dado sólo por la capacidad e ingenio del diseñador que los emplea. No obstante, destacan entre las aplicaciones más usuales las siguientes:

1) Rectificación de c.a.
2) Detección de crestas, media y doble onda.
3) Adaptador y transformador de impedancias.
4) Oscilador: senoidal, RC, de cristal, etc.
5) Detector de fase.
6) Multivibradores. Generadores de onda cuadrada y disparadores de Schmitt.
7) Conformadores de señales.
8) Estabilizadores de c.c.
9) Filtros activos.
10) Moduladores y demoduladores.

EJERCICIOS DE LA LECCION 6.ª

Poner una cruz en la respuesta correcta

1.ª PREGUNTA.—En el amplificador de la figura 6-1, la señal de salida:

a) Es variable y está desfasada 180° con la de entrada.
b) Es variable y está en fase con la de entrada.
c) Es variable y puede estar desfasada o no, según la posición del potenciómetro.

2.ª PREGUNTA.—El circuito del A.O. como fuente de corriente constante:

a) Permite el consumo de corriente de entrada siempre fijo.
b) Permite el consumo de corriente de salida siempre fijo.
c) La corriente que se obtiene depende de la carga colocada.

3.ª PREGUNTA.—Un conversor analógico-digital:

a) Convierte una tensión variable en un número de impulsos proporcional.
b) Convierte un número de impulsos en una tensión regulable.
c) Transforma la tensión variable de entrada en una onda cuadrada de período variable.

4.ª PREGUNTA.—El circuito básico del funcionamiento de un comparador es:

a) El de un amplificador diferencial con realimentación positiva.
b) El de un amplificador diferencial con realimentación negativa.
c) El de un amplificador diferencial sin realimentacion.

5.ª PREGUNTA.—Los comparadores con histéresis:

a) Son de respuesta más lenta.
b) Poseen realimentación positiva para hacerse más insensible al ruido.
c) Poseen realimentación negativa para hacerse más insensibles al ruido.

6.ª PREGUNTA.– El conversor D-A por pesos da una salida que depende

a) Del número de interruptores de entrada que estén cerrados.
b) Del valor de la resistencia de realimentación.
c) Del valor de la resistencia de carga.

7.ª PREGUNTA.– El amplificador de corriente:

a) Produce una corriente de salida que no depende de la carga.
b) Produce una corriente de salida que no depende de la realimentación.
c) Produce una corriente de salida que no depende más que de las características del A.O.

LECCION 7

Montajes prácticos con A. O.

NORMAS GENERALES PARA LA REALIZACION DE LOS MONTAJES PRACTICOS

Esta lección se dedica a la exposición de una serie de montajes de tipo práctico y experimental, que permiten al lector aplicar los conocimientos teóricos de lecciones anteriores y comprobar los resultados establecidos por las fórmulas.

Para la realización efectiva de estas prácticas se requiere un material muy escaso y de bajo precio, cuya relación se expone posteriormente. Sin embargo, lo que más importancia tiene son los instrumentos necesaros para introducir señales al circuito y medir sus magnitudes en cualquier punto. En este aspecto es muy recomendable disponer de un generador de funciones capaz de proporcionar, aparte de una tensión continua de valor ajustable, ondas senoidales, triangulares y cuadradas, cuya amplitud y frecuencia puedan controlarse entre ciertos límites. Este aparato servirá para aplicar las señales con las que se desee que trabaje el A.O. Es imprescindible analizar con exactitud las magnitudes que tanto a la entrada como a la salida hay en el montaje, por lo que trabajando con c.a. y c.c. servirá un voltímetro electrónico, o, al menos, un buen polímetro profesional; pero para ondas cuadradas, triangulares, en diente de sierra, etc., es de gran eficacia y rapidez de resolución un osciloscopio de doble trazo que alcance una frecuencia de 10 MHz. Desde luego, el osciloscopio será el instrumento ideal para comprobar con exactitud las señales existentes en todos los puntos.

Para reducir la cantidad de material necesario y el coste del mismo, se utiliza en todas las prácticas el A.O. μA 741, cuyas características se detallan a continuación.

CARACTERISTICAS DEL A.O. μA 741

Se trata de un A.O. fabricado en un c.i. monolítico por un proceso epitaxial sobre un solo chip, estando compensado en frecuencia internamente. Se caracteriza por una alta ganancia, bajo consumo de potencia y amplios márgenes de tensión de alimentación, que lo hacen idóneos para la mayoría de las aplicaciones de los A.O.

En la figura 7-1 se muestra el esquema interno del μA 741.

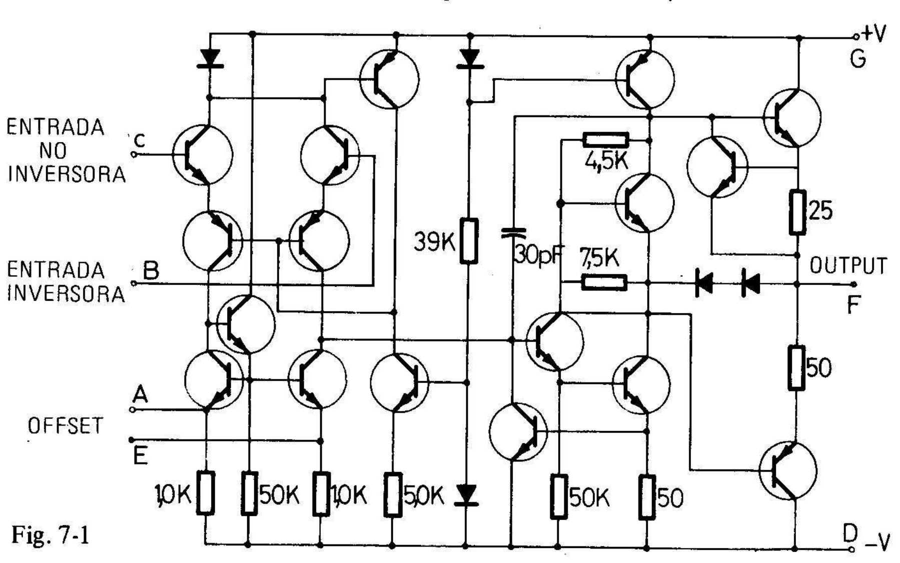


Fig. 7-1

El conexionado exterior de los dos tipos de cápsulas que normalmente existen, la TO-5, de metal, con 8 patitas, y la "Dual in line", de 14 patitas, se muestran en la figura 7-2.

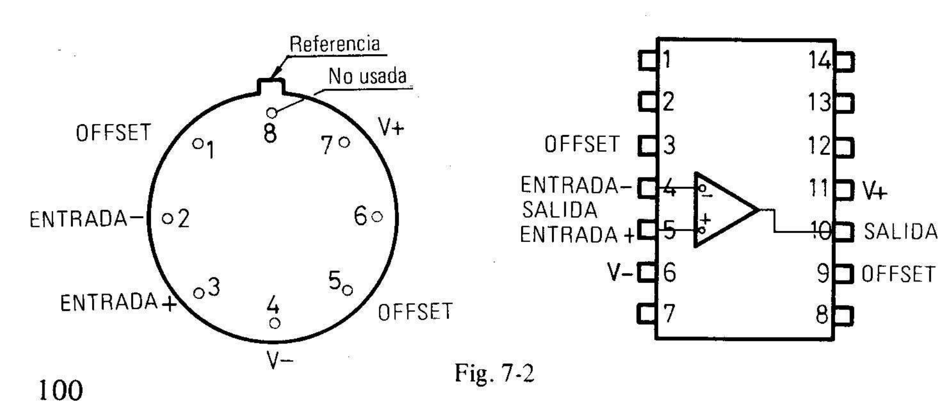


Fig. 7-2

La disipación interna es de 500 mW si la cápsula es de metal TO-5; 670 mW en cápsula cerámica DIP; 340 mW en cápsula de silicona DIP; 310 mW en mini DIP y 570 mW en flat-pack. Otras características importantes de este modelo de A.O. son:

Alimentación de tensión (militar) . . . . ±22V
Alimentación de tensión (comercial) . . . . ±18V
Entrada de voltaje diferencial . . . . ±30V
Voltaje de entrada . . . . ±15V
Temperatura de trabajo (militar) . . . . De –55 a 125° C
Temperatura de trabajo (comercial) . . . . 0 a 70° C
Temperatura de soldadura (60 segundos) . . . . 260 a 300° C

RELACION DE MATERIALES PARA REALIZAR LAS PRACTICAS

a) *Instrumentos:* Osciloscopio de doble trazo, generador de funciones de amplitud y frecuencia variables y voltímetro electrónico o polímetro profesional.

b) Una placa universal para montajes, en la que se coloca el A.O. μA 741 dispuesto para realizar el conexionado de sus patitas con los

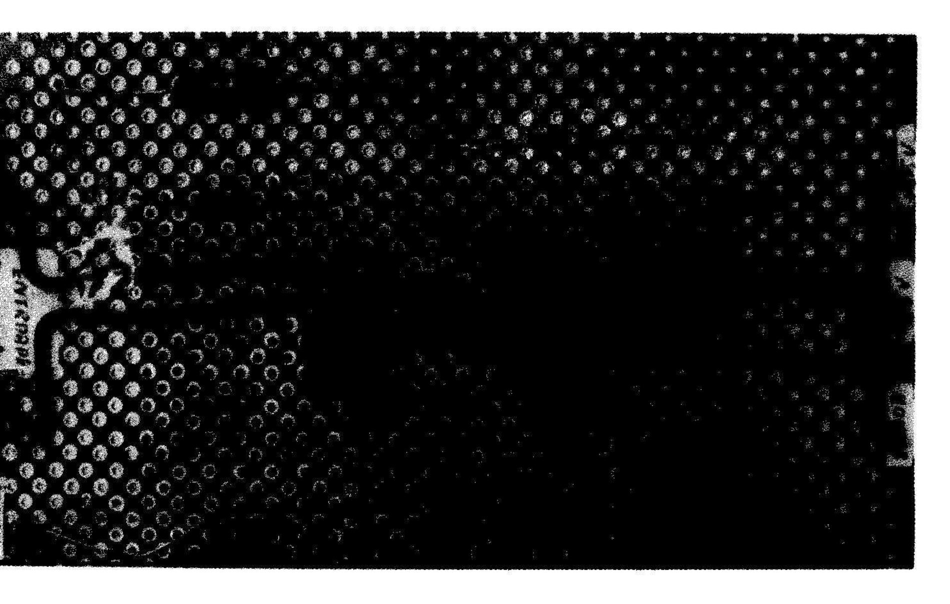


Fig. 7-3

La disipación interna es de 500 mW si la cápsula es de metal TO-5; 670 mW en cápsula cerámica DIP; 340 mW en cápsula de silicona DIP; 310 mW en mini DIP y 570 mW en flat-pack. Otras características importantes de este modelo de A.O. son:

Alimentación de tensión (militar)	±22V
Alimentación de tensión (comercial)	±18V
Entrada de voltaje diferencial	±30V
Voltaje de entrada	±15V
Temperatura de trabajo (militar)	De −55 a 125° C
Temperatura de trabajo (comercial)	0 a 70° C
Temperatura de soldadura (60 segundos)	260 a 300° C

RELACION DE MATERIALES PARA REALIZAR LAS PRACTICAS

a) *Instrumentos:* Osciloscopio de doble trazo, generador de funciones de amplitud y frecuencia variables y voltímetro electrónico o polímetro profesional.

b) Una placa universal para montajes, en la que se coloca el A.O. μA 741 dispuesto para realizar el conexionado de sus patitas con los

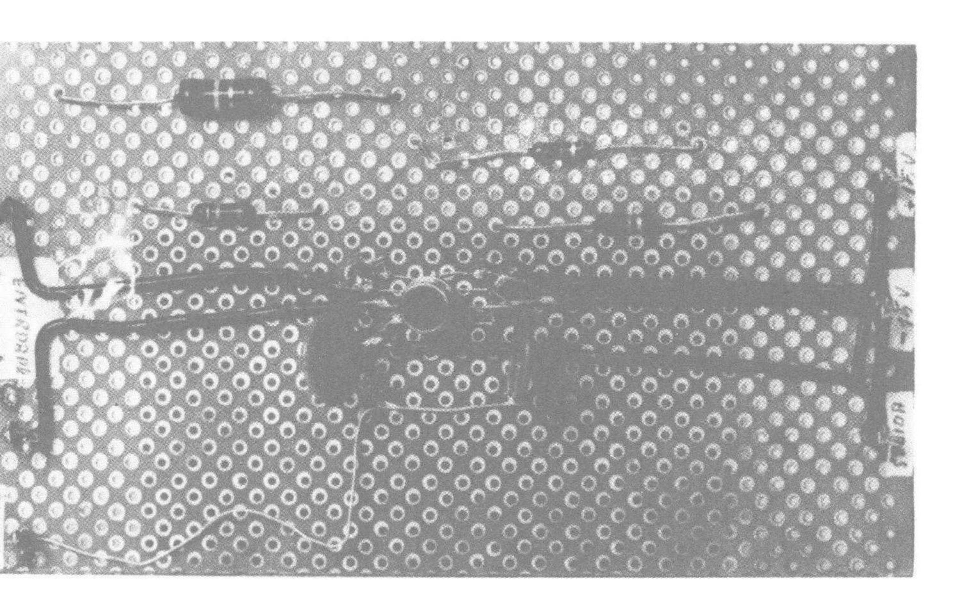


Fig. 7-3

elementos exteriores. Se recomienda colocar el c.i. en un zócalo para facilitar su sustitución. La figura 7-3 muestra una disposición sencilla de un montaje.

c) *Resistencias:* 4 de 10 kΩ; 2 de 100 kΩ; 1 de 1kΩ; 2 de 200kΩ; 2 de 1mΩ; 1 de 3,3kΩ; 1 de 47kΩ; 1 de 100 Ω. Todas ellas de 1/2 watio.

d) *Condensadores:* 1 electrolítico de 1μF, 25V; 1 de poliéster, de 100 nF, y otro de 1 nF, y finalmente, 1 electrolítico de 10μF, 25V.

c) *Varios:* Fuente de alimentación (o pilas) que proporcionen ±15V, 1 A. O.μA 741 o equivalente, 1 potenciómetro lineal de 10 kΩ.

PRACTICA 1.ª: MONTAJE PARA LA COMPENSACION DE LA TENSION DE ENTRADA

Aunque en la mayoría de las experiencias que se proponen, dado su objetivo didáctico y la no exigencia de una exactitud extrema, no es necesario realizar esta corrección, se presenta inicialmente para que el lector la pueda incluir en la que pueda interesarle. Debido a la falta de la total perfección del circuito, sin diferencia de voltaje entre las dos entradas, tal como se ha representado en la figura 7-4, conectando ambas a masa, aparece una tensión en la salida, que teóricamente no debía existir. Para anular esta tensión de salida se le aplican al A.O. por sus dos entradas de compensación unas tensiones adecuadas, que en el caso del circuito de la figura 7-4 se consiguen variando el potenciómetro que las polariza.

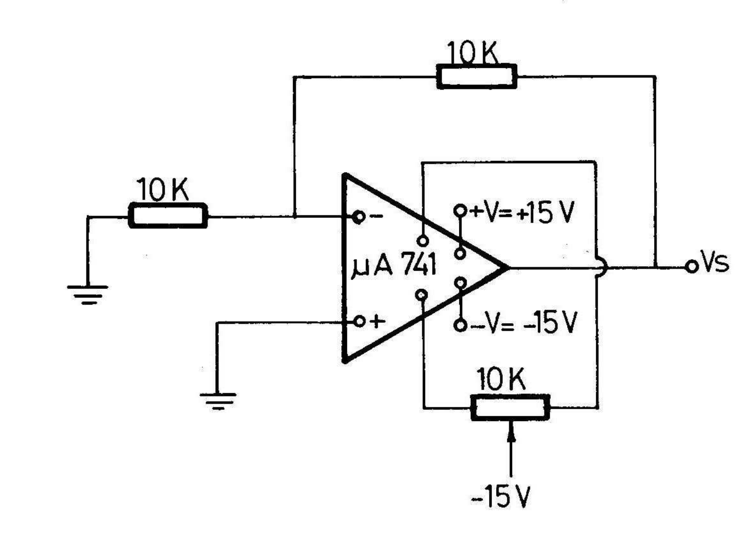


Fig. 7-4

Objetivo de la práctica

Ha de tratar de conseguir una tensión de salida nula, $V_s = 0$, conectando a este borne un voltímetro, en el montaje de la figura 7-4, variando la posición del cursor del potenciómetro que polariza los dos terminales de compensación ("offset").

PRACTICA 2.ª: MONTAJE PARA LA COMPENSACION DE LA CORRIENTE DE ENTRADA

Con el mismo propósito que la práctica anterior, de compensar la desviación que precisa la entrada del A.O. para producir salida nula cuando no hay diferencia de señales en las entradas, se puede realizar un circuito muy simple, que consiste en colocar una resistencia R' en el borne de entrada del A.O. que no se utiliza, cuyo valor sea igual a la resistencia equivalente de la de realimentación y la de entrada en paralelo, con objeto de crear entre extremos de R' una caída de tensión igual a la tensión de compensación, al ser atravesada por la corriente de desplazamiento. El circuito simplificado se presenta en la figura 7-5.

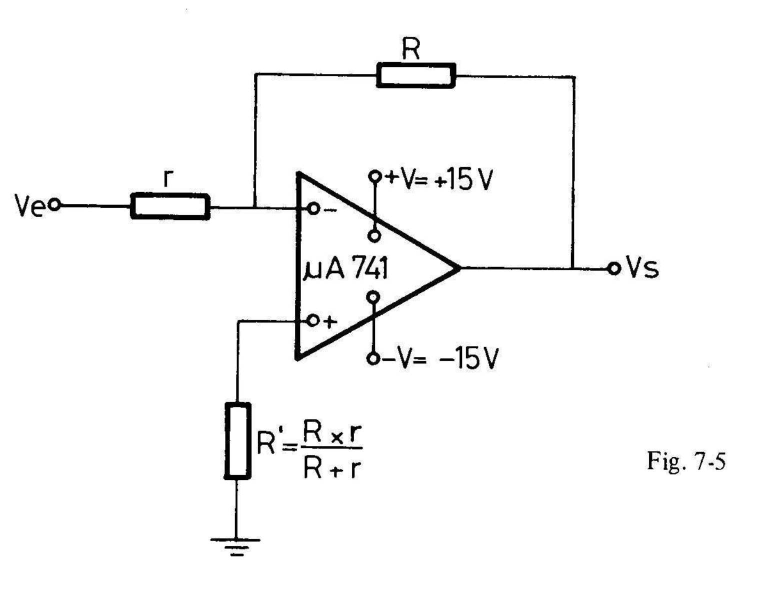


Fig. 7-5

PRACTICA 3.ª: AMPLIFICADOR OPERACIONAL ACTUANDO COMO INVERSOR

Objetivo: Se trata de hacer trabajar al A.O. como un simple inversor de la tensión de entrada. Con el voltímetro se puede comprobar la in-

versión entre la polaridad de entrada y salida, en el caso de utilizar c.c. dado que $V_s = -V_e$. Cuando se utilizan señales senoidales, cuadradas, triangulares, etc., es recomendable efectuar las mediciones de las tensiones de entrada y salida mediante un osciloscopio de doble trazo, para verificar al mismo tiempo ambas señales y constatar su inversión.

Para la experimentación de esta prueba se propone el circuito de la figura 7-6.

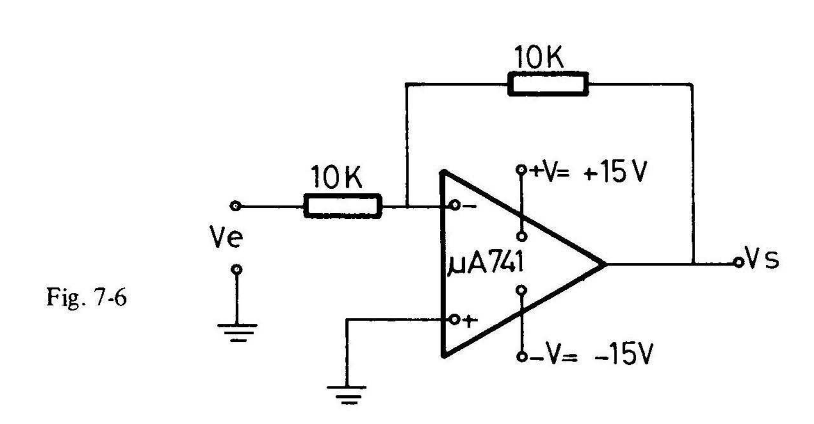


Fig. 7-6

Nota: Desde esta práctica en adelante no se dibujan en los esquemas las alimentaciones positivas y negativas del A.O. (±15V) que se emplean en todos ellos; tampoco es necesario, según el propósito de las prácticas y con el fin de simplificar todos los montajes, el realizar compensaciones de tensión y corriente, explicadas en las dos primeras prácticas.

Por otra parte, y dada la dificultad que para algunos lectores autodidactas pueda representar la utilización de una fuente de alimentación estabilizada que dé los ±15V, se recomienda sustituirla por dos pilas de dicha tensión para alimentar el A.O.

PRACTICA 4.ª: AMPLIFICADOR DE GANANCIA 10 CON INVERSION DE SEÑAL

Se trata de probar que la ganancia de un A.O. con realimentación negativa responde a la fórmula $V_s/V_e = -R/r$. Para conseguir una ganancia de 10 veces, $R = 10\ r$. De esta forma resulta el circuito de la figura 7-7.

Prueba en c.c.

a) Introducir como V_e una tensión continua de 1V.
b) Con dos voltímetros, comprobar que se cumple $V_s = -10V_e$.

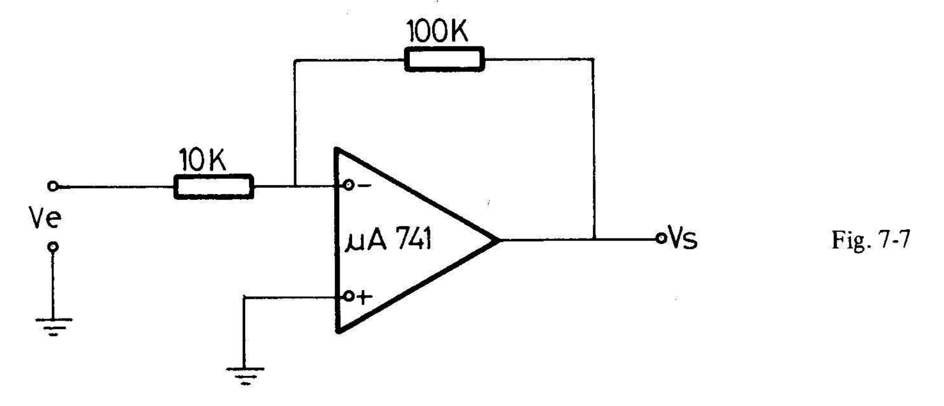


Fig. 7-7

Prueba con diferentes formas de onda

Aplicando como V_e diferentes formas de onda, observar la relación entre V_s *y* V_e con un osciloscopio de doble trazo.

PRACTICA 5.ª: EL A.O. COMO AMPLIFICADOR DE GRANDES GANANCIAS

Debido a las limitaciones del valor de la resistencia de realimentación y la de entrada del A.O., para obtener grandes ganancias se coloca un divisor de tensión a la salida del A.O., como se estudió en la lección 5.ª. Para constatar el planteamiento teórico y comprobar la veracidad de la fórmula que se obtuvo se propone el esquema de la figura 7-8.

Al aplicar la fórmula teórica al montaje práctico de la figura 7-8, se deduce una ganancia de:

$$\frac{V_s}{V_e} = -\frac{R}{r} \cdot \frac{R_1 + R_2}{R_2} = \frac{-100}{10} \cdot \frac{10 + 1}{1} = -110$$

Se trata de comprobar con el voltímetro en c.c. y c.a. y con el osciloscopio de dos haces si se cumple esta relación en el montaje práctico. Dado que la tensión de salida será siempre inferior a la de alimentación de ±15V, como tensión de entrada V_e habrán de emplearse magnitudes muy reducidas.

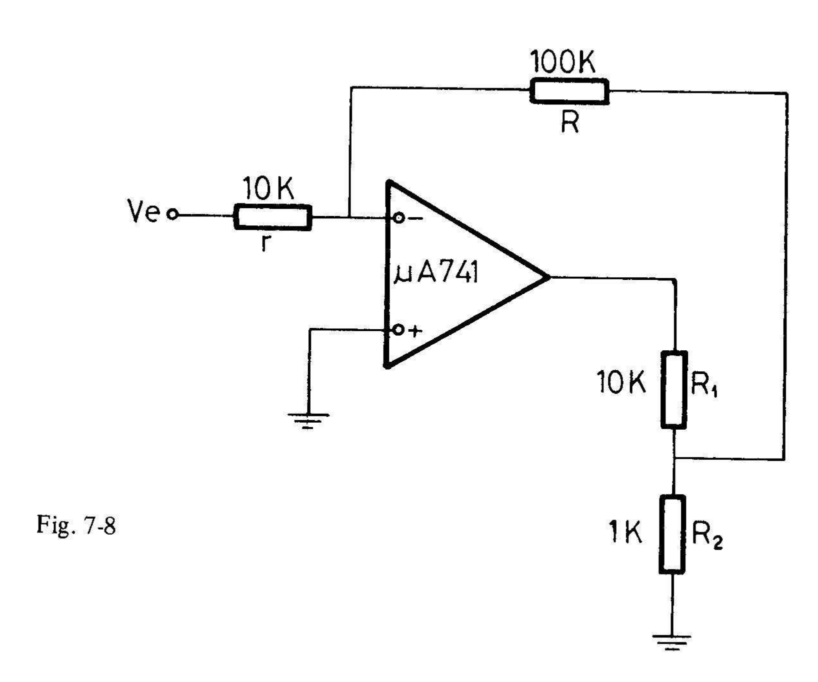


Fig. 7-8

PRACTICA 6.ª: AMPLIFICADOR NO INVERSOR

Se trata de comprobar que el circuito de la figura 7-9 responde a la fórmula $V_s / V_e = (1 + R/r)$.

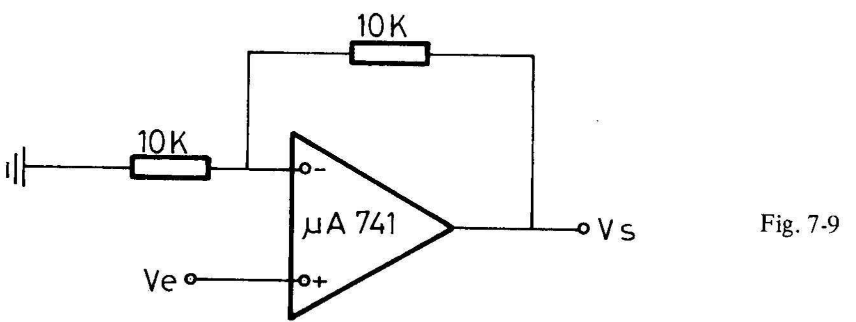


Fig. 7-9

Al aplicar c.c. como V_e, o cualquier otra señal como entrada del A.O. de la figura 7-9, debe constatarse que la salida tiene el doble de valor y está en fase con la de entrada, puesto que:

$$\frac{V_s}{V_e} = \left(1 + \frac{R}{r}\right) = \left(1 + \frac{10\ K\Omega}{10\ K\Omega}\right) = 2$$

PRACTICA 7.ª: CIRCUITO SUMADOR INVERSOR

Se intenta comprobar en el circuito de la figura 7-10, que la tensión de salida V_s es igual a la suma de las entradas E_1 y E_2, con signo cambiado.

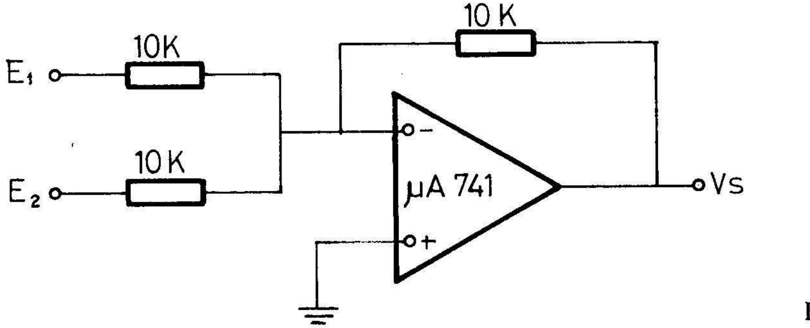


Fig. 7-10

Según la fórmula teórica $V_s = -(E_1 + E_2)$, que se puede verificar introduciendo como entradas al A.O. diferentes tensiones continuas o de distintas formas de onda.

PRACTICA 8.ª: CIRCUITO SUMADOR NO INVERSOR

Similar al circuito de la práctica anterior, sólo que ahora se pretende conseguir que la tensión de salida sea suma de las de entrada, sin que haya inversión. El montaje que se propone para este fin es el de la figura 7-11.

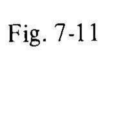
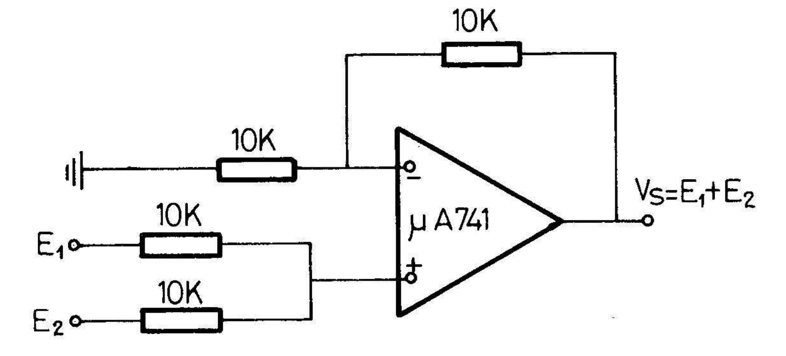


Fig. 7-11



PRACTICA 9.ª: CIRCUITO DIFERENCIAL

El montaje expuesto en la figura 7-12 proporciona una tensión de salida que en este caso es igual a la diferencia de las que hay entre las dos entradas del A.O., y que en general es proporcional a dicha diferencia.

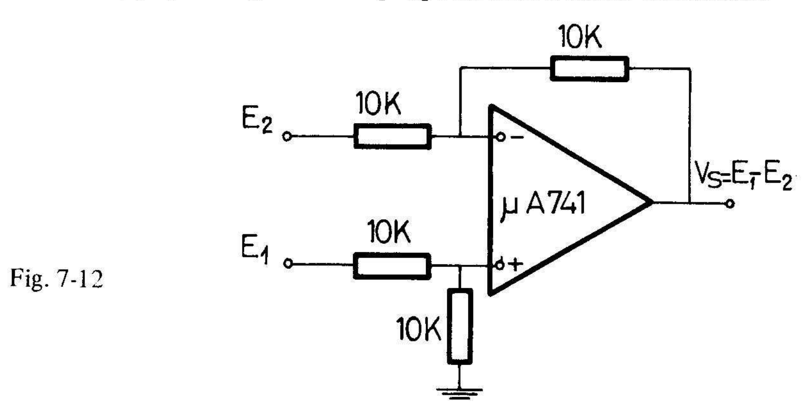


Fig. 7-12

En el caso particular de disponer de cuatro resistencias iguales en el circuito, la tensión de salida es igual a la diferencia de las dos entradas E_1 y E_2. Introduciendo como E_1 y E_2 distintas magnitudes y señales, comprobar la exactitud del resultado teórico.

PRACTICA 10.ª: INTEGRACION DE UNA TENSION CONSTANTE

Por razones de compensación todo circuito integrador, como el propuesto en la figura 7-13, ha de incluir una resistencia en la realimentación en paralelo, con el típico condensador.

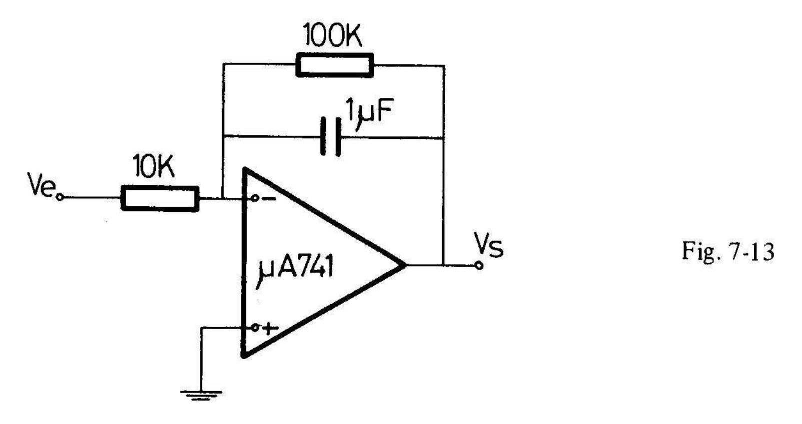


Fig. 7-13

Aplicando la fórmula del integrador queda, teniendo en cuenta que $V_s(0) = 0$, puesto que se parte de suponer que el condensador comienza el proceso sin tensión:

$$v_s(t) = \frac{-1}{R \cdot C} \int_0^t v_e(t) \cdot dt = \frac{-1}{10^4 \cdot 10^{-7}} \int_0^t v_e(t) \cdot dt$$

$$v_s(t) = -1.000 \int v_e(t) \cdot dt$$

Si se introduce como señal de entrada una tensión continua de 1 V, queda:

$$(1)\ v_s(t) = -1.000 \cdot 1 \cdot t = -1.000 \cdot t \text{ voltios/segundo.}$$

La fórmula (1) indica que la tensión de salida tiene signo contrario, que la de entrada y varía proporcionalmente al tiempo, obteniendo una forma de onda creciente negativamente, como se representa en la figura 7-14, en la que al proceder a la descarga del condensador cada cierto tiempo se anula la tensión de salida, formándose una onda en diente de sierra.

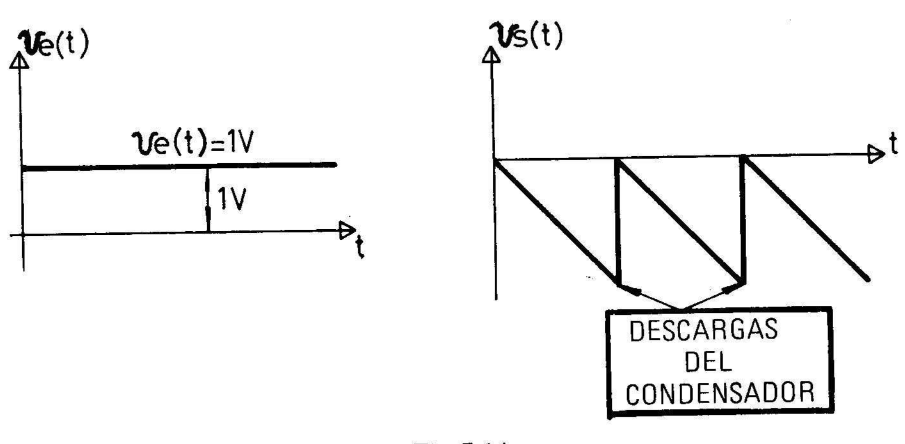


Fig. 7-14

Para seguir mejor el proceso se recomienda colocar un condensador de 1.000 μF en el circuito de la figura 7-13, con lo que la tensión de salida alcanzará un valor de:

$$v_s(t) = \frac{-1}{R \cdot C} \int_0^t v_e(t) \cdot dt = \frac{-1}{10^4 \cdot 10^{-3}} \int_0^t 1 \cdot dt = -10^{-1} \cdot t \text{ V/s}$$

Lo que significa que partiendo del condensador descargado, para lo que se puede cortocircuitar sus terminales, la tensión de salida v_s crecerá a razón de 1/10 de voltio cada segundo, con lo que al cabo de 10 segundos en la salida existirá una tensión de -1 V y al cabo de 100 segundos -10 V, cuando se aplica a la entrada del circuito integrador una $V_e(t) = 1$ V.

PRACTICA 11.ª: INTEGRACION DE DIFERENTES FORMAS DE ONDAS

A) ONDA CUADRADA: Al aplicar al circuito de la práctica anterior una onda cuadrada se obtiene en la salida una onda triangular, tal como se representa en la figura 7-15.

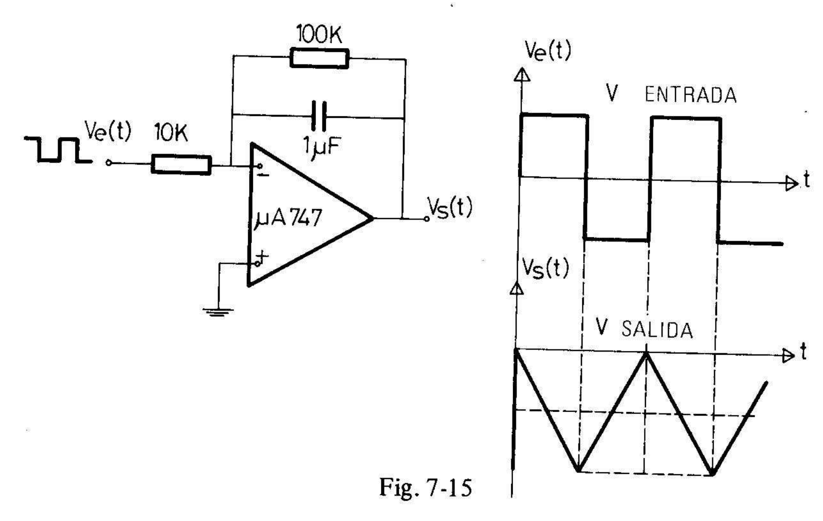


Fig. 7-15

Aplicando a la entrada del circuito mencionado una onda cuadrada de amplitud del orden de 1 V y frecuencia de trabajo de 1 KHz, compruébese la salida con un osciloscopio. Como se trata de integrar una tensión constante durante medio período y después otra tensión constante de signo opuesto durante el otro medio período, resultará una onda triangular, por cambiar de pendiente la tensión de salida en cada semiperíodo. La amplitud máxima de la onda triangular se obtendrá aplicando la fórmula de la integración.

B) ONDA SENOIDAL: Aplicando al circuito de la figura 7-15 una onda senoidal se obtiene en la salida la misma forma de onda, pero desfasada 90°, como se indica en la figura 7-16.

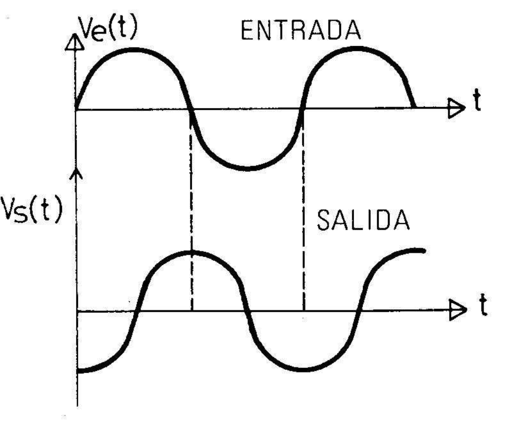


Fig. 7-16

Este resultado se deduce de la resolución de la fórmula a aplicar:

$$v_e\ (t) = V_e \cdot \text{sen}\omega t$$

$$v_s\ (t) = \frac{-1}{R \cdot C} \quad \int_0^t v_e\ (t) \cdot dt$$

$$v_s\ (t) = \frac{-1}{R \cdot C} \cdot \int_0^t v_e\ \text{sen}\omega t = \frac{-V_e}{R \cdot C}\ 2\pi f \cos\omega t$$

$$v_s\ (t) = \frac{-V_e}{R \cdot C}\ 2\pi f\ \text{sen}\ (\omega t - \pi/2)$$

Téngase en cuenta la equivalencia entre las funciones $\cos\omega t$ y sen $(\omega t - \pi/2)$, que es la que indica el desfase mencionado de $\pi/2$ entre las señales de salida y entrada.

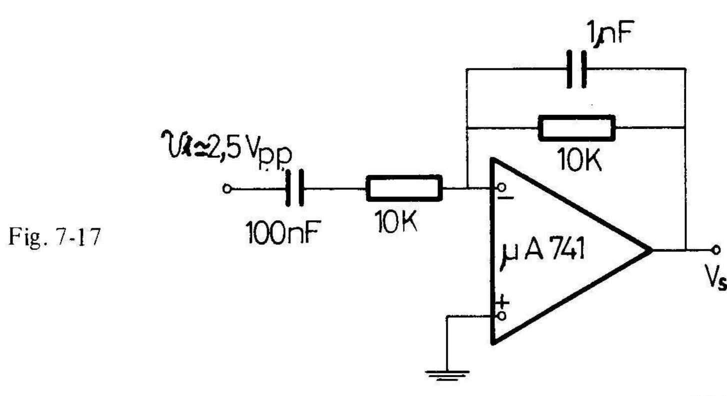


Fig. 7-17

PRACTICA 12.ª: TRABAJO DEL CIRCUITO DIFERENCIADOR CON DISTINTAS ONDAS

Se introducirán sucesivamente al A.O. del circuito diferenciador mostrado en la figura 7-17, diferentes formas de ondas.

A) DIFERENCIACION DE UNA TENSION EN RAMPA LINEAL

Si la tensión de entrada v_e (t) varía linealmente (caso de la parte creciente de una onda triangular o de dientes de sierra) responde a la fórmula v_s $(t) = -R \cdot C \cdot K$, que al ser independiente del tiempo es una tensión constante, como se muestra en la figura 7-18.

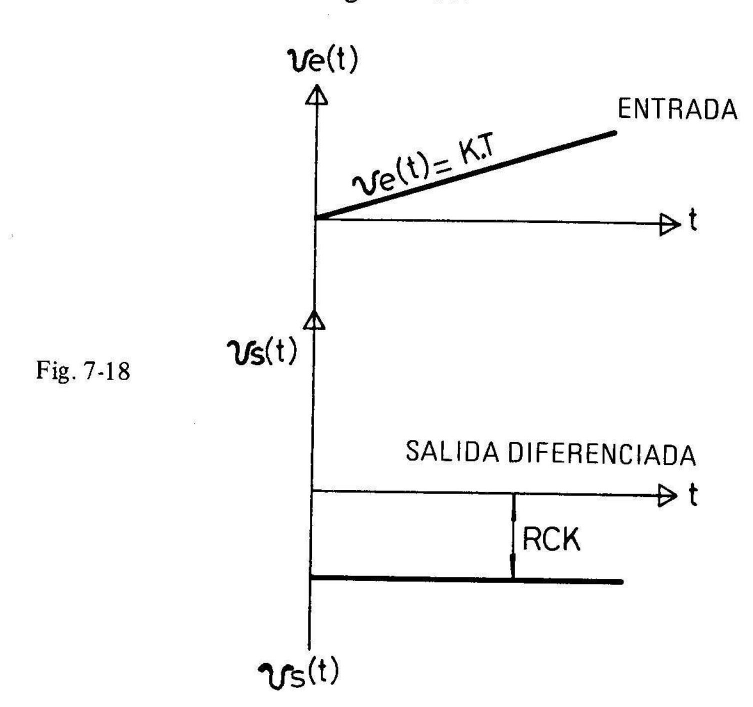


Fig. 7-18

B) DIFERENCIACION DE UNA ONDA TRIANGULAR

La onda triangular se puede considerar que se trata de una tensión en rampa que invierte el signo de la pendiente cada medio período. Al diferenciarla, y según lo deducido del apartado anterior, se obtendrá una onda cuadrada como la presentada en la figura 7-19.

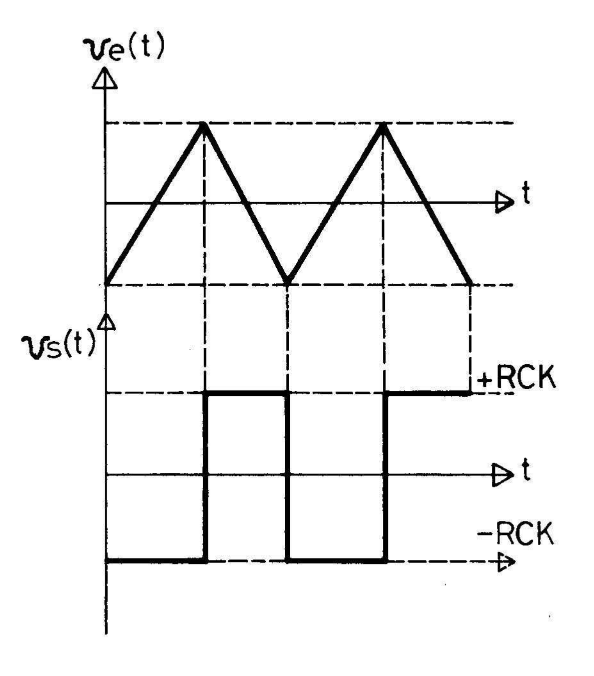


Fig. 7-19

C) DIFERENCIACION DE UNA ONDA SENOIDAL

La diferenciación de una señal de entrada $v_e\ (t) = V_e \cdot \mathrm{sen}\omega t$ produce una salida diferenciada de $v_s\ (t) = 2\pi \cdot f \cdot R \cdot C \cdot V_e \cdot \mathrm{sen}\ (\omega t - \pi/2)$ lo que representa que ambas señales están desfasadas 90°.

PRACTICA 13.ª: FUENTE DE CORRIENTE CONSTANTE

Se pretende comprobar cómo se mantiene constante la corriente que atraviesa la resistencia de carga R_x desde 100Ω hasta 15 KΩ, en el circuito ya estudiado teóricamente, en la figura 7-20, de la página siguiente.

La corriente que circula por R_x se mantiene constante aunque varíe su valor:

$$I = \frac{V_2 - V_1}{200\ \mathrm{K}\Omega}$$

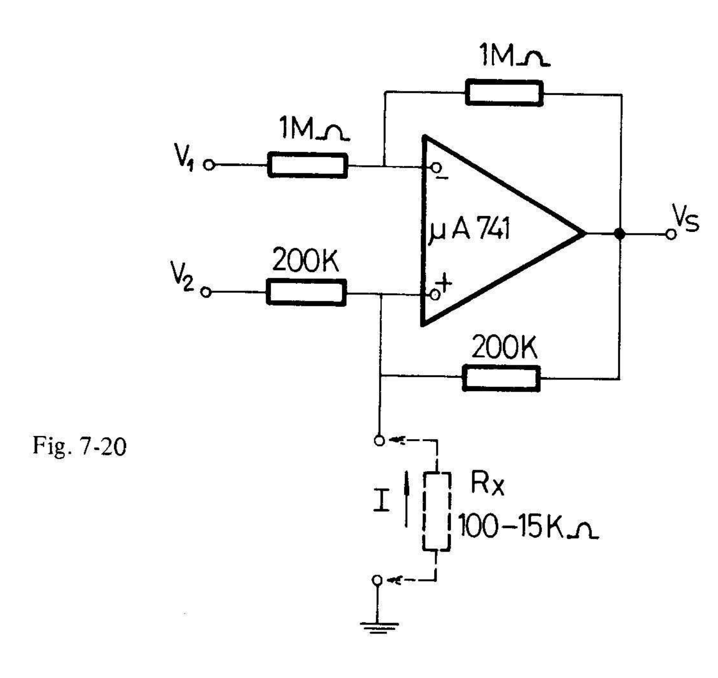


Fig. 7-20

PRACTICA 14.ª: AMPLIFICADOR DE CORRIENTE

Aunque similar a la práctica anterior, se propone un montaje que hará circular por la carga R_4 una corriente K veces superior que la corriente de entrada. El circuito práctico es el de la figura 7-21.

$$K = \frac{R_2}{R_3} = \frac{10}{47} = 0{,}212 \qquad V_e = 2 \text{ V}$$

$$I_1 = \frac{V_e - V_1}{R_1} = \frac{2 + 0{,}040}{3{,}3 \text{ K}\Omega} \; \overset{V_1 = -0{,}040 \text{ V}}{=} \; 0{,}618 \text{ mA.}$$

$$-V_2 = I_1 \cdot R_2 - V_1 = 0{,}618 \cdot 10 + 0{,}040 = 6{,}22 \text{ V}$$

$$I_2 = \frac{V_{out} - V_2}{R_3} = \frac{6{,}22 - 0{,}040}{47 \text{ K}\Omega} = 0{,}133 \text{ mA.}$$

De donde resulta que si se comprueba la relación entre I_2 e I_1, coincide con el valor de K obtenido en un principio, es decir:

$$I_2 = -K \cdot I_1$$

$$0{,}133 = -0{,}212 \cdot 0{,}618 \;\rightarrow\; K = 0{,}212$$

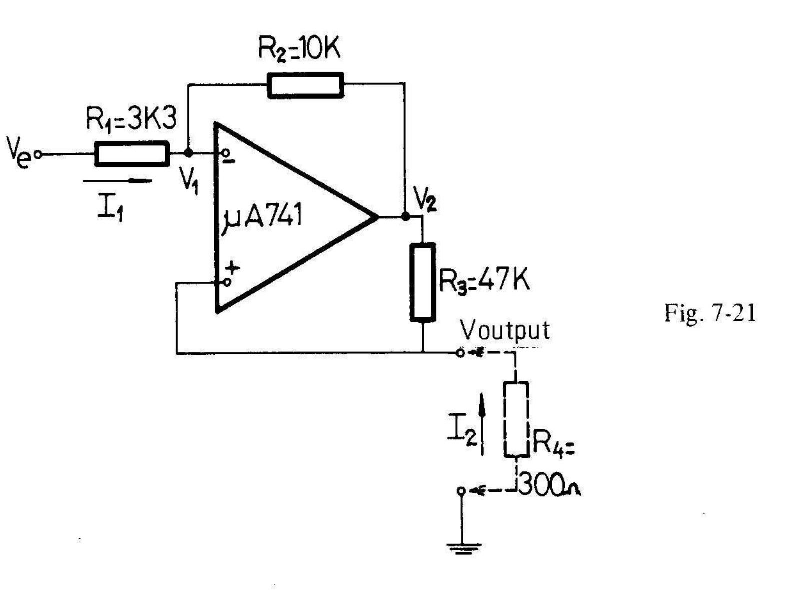


Fig. 7-21

PRACTICA 15.ª: CONVERSOR DE FRECUENCIA EN TENSION

Al aplicar un número de impulsos de amplitud constante se transforman a la salida del circuito de la figura 7-22 en una tensión creciente y proporcional a la cantidad de dichos impulsos.

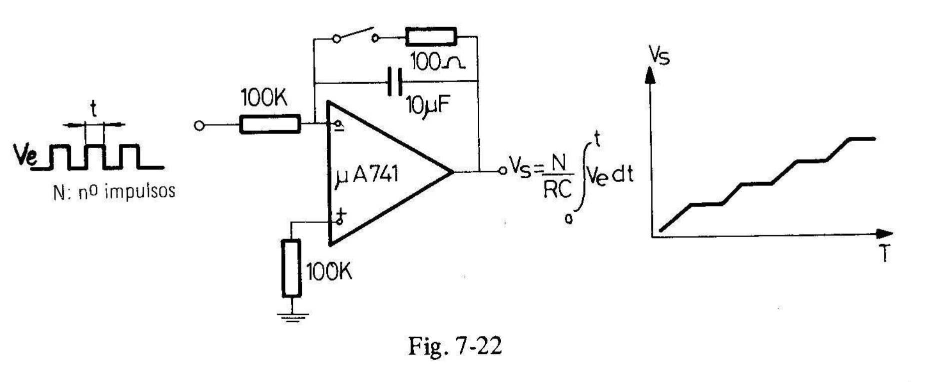


Fig. 7-22

Por cada impulso de entrada el voltaje de salida se incrementa en una tensión $\frac{V_e \cdot t}{R \cdot C}$.

Para una magnitud digital representada por N impulsos a la entrada del integrador, resulta en la salida un voltaje analógico cuyo valor es:

$$V_s = N \cdot \frac{v_e \cdot t}{R \cdot C}$$

En el ejemplo práctico de la figura 7-22:

$$v_e = 1\ \text{V}; t = 10^{-3}\ \text{seg}; R = 100\ \text{K}\Omega \text{ y } C = 10\ \mu\text{F}$$

$$N = 3.672 \text{ impulsos}$$

$$V_s = 3.672 \frac{1 \cdot 10^{-3}}{10^{-5} \cdot 10^{-5}} = 3{,}672\ \text{V}.$$

La reposición del montaje se consigue descargando C mediante el interruptor y a través de R_2, de unos 100Ω.

LECCION 8

Lógica. Algebra de Boole

INTRODUCCION

A mediados del pasado siglo el filósofo y matemático George Boole desarrolló una teoría matemática completamente distinta a la que se conocía entonces, cuya expansión ha sido tan importante, que en la actualidad se utiliza para la resolución y análisis de la mayoría de las operaciones industriales complejas. Tanto los procesos de fabricación como los equipos se han ido complicando a causa del progreso general y la constante evolución, hasta el punto de necesitar automatizar el control de la mayor parte de sus fases.

El álgebra de Boole establece una serie de postulados y operaciones tendentes a resolver los automatismos o procesos a ejecutar, obteniendo un conjunto de ecuaciones que deberán ser traducidas y cumplidas por elementos mecánicos, hidráulicos, neumáticos, eléctricos o electrónicos.

La teoría de Boole considera a todos los elementos que trata biestables, es decir, que sólo tienen dos estados válidos posibles que, por otra parte, son opuestos entre sí. Así, por ejemplo, el tratamiento que el álgebra de Boole permite a una lámpara es considerándola en dos estados únicos posibles: encendida o apagada; un interruptor sólo podrá estar conectado o desconectado; un transistor, conduciendo o bloqueado; un relé, activado o relajado, y así sucesivamente. No se admiten estados intermedios.

El hecho de que sólo existan dos estados válidos para cada elemento que se considera en esta estructura matemática ha llevado a llamarla álgebra binaria y también álgebra lógica, pues los razonamientos que en ella se emplean son de carácter intuitivo y lógico.

La obtención de las ecuaciones lógicas que resuelven los procesos se deducen utilizando varias operaciones, cuya comprensión requiere el estudio de la "teoría de conjuntos".

TEORIA DE CONJUNTOS. CONJUNTO Y CONJUNTO UNIVERSAL

Se llama conjunto a una reunión de elementos que se caracterizan todos ellos por poseer una propiedad común. Así, dentro de los diodos semiconductores, forma un conjunto el de los diodos varicap o de capacidad variable; otro conjunto lo pueden formar los de Zener. Tanto un conjunto como otro tienen la propiedad de afectarles una característica común a todos sus elementos: en el primer ejemplo se trata de diodos semiconductores que se emplean como condensadores variables y en el segundo disponen de una tensión de referencia llamada de Zener.

Siguiendo con los ejemplos anteriores, se demonia "conjunto universal" o "unidad" el que comprende la totalidad de los diodos semiconductores. Todo lo expuesto se puede exponer gráficamente tal como aparece en la figura 8-1, en la que se ha representado el conjunto universal de diodos semiconductores "S" como el conjunto de todos los puntos existentes en el interior de una superficie rectangular denominada "S" o "1" y en su interior dos círculos, el *C* y el *Z*, cuyos puntos representan los diodos varicap y de Zener respectivamente.

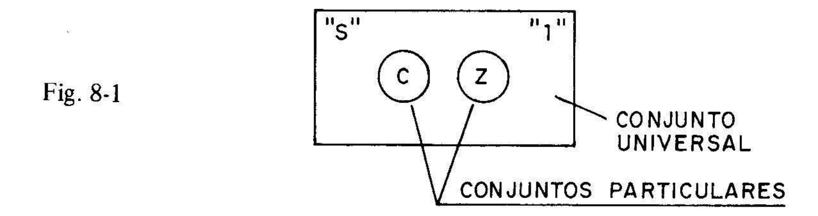


Fig. 8-1

En las representaciones gráficas cada conjunto se asimila a todos los puntos contenidos en el interior de una figura cualquiera, que normalmente suele ser circular o rectangular.

Otro ejemplo de análisis de conjuntos universales y particulares es el de los empleados de una empresa cuya totalidad conforma el conjunto universal, mientras que las diferentes profesiones, grados o trabajos permitirán establecer diversos conjuntos particulares.

Eléctricamente un conjunto particular cualquiera queda definido por un interruptor normalmente abierto, como se muestra en la figura 8-2.

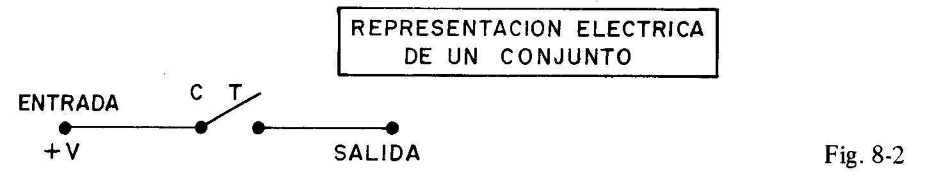


Fig. 8-2

La posición del interruptor de la figura 8-2 simboliza la pertenencia o no al conjunto *C* del elemento que se esté considrando. Si *C* representa el conjunto de diodos varicap y el diodo elegido no es de dicho tipo, el interruptor adoptará la posición de abierto, con lo que la tensión *V* que hay en su entrada no puede aparecer en la salida; por el contrario, si el elemento analizado es un varicap el interruptor estará cerrado y aparecerá tensión a la salida.

La representación eléctrica de un conjunto universal, mostrada en la figura 8-3, es la de un interruptor siempre cerrado, ya que al escoger cualquier elemento siempre pertenecerá al conjunto universal, puesto que por definición éste abarca a todos ellos.

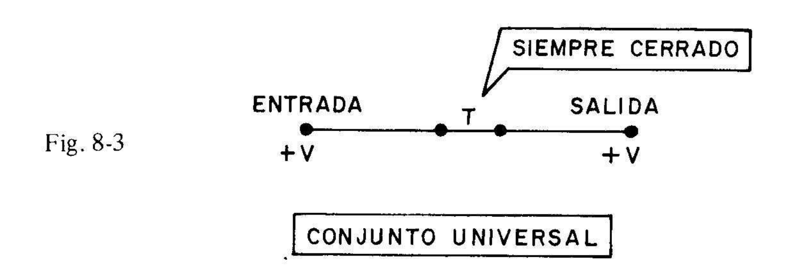


Fig. 8-3

OTROS TIPOS DE CONJUNTOS

Además de los conjuntos universal y particular hay otros dos tipos: el vacío y el complementario.

Conjunto vacío es el que no posee ningún elemento. Por ejemplo, en el caso de analizar a los diodos semiconductores, formarán un conjunto vacío los diodos que posean un solo electrodo, puesto que no hay ninguno que cumpla este requisito. Al conjunto vacío se el denomina y se le representa "O"

Eléctricamente al conjunto vacío se le compara con un contacto siempre abierto (figura 8-4), ya que la tensión o información en la entrada nunca podrá aparecer en la salida, pues, por definición, al elegir cualquier elemento del conjunto universal, nunca pertenecerá al vacío.

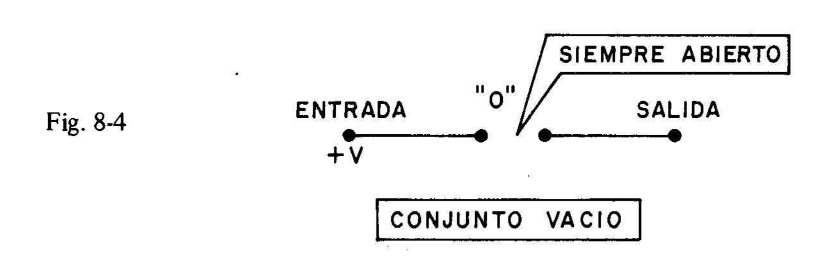


Fig. 8-4

Recibe el nombre de "conjunto complementario" de otro el que comprende todos los elementos del conjunto universal que no pertenecen a él. En el caso de referirnos a una empresa, si se considera el conjunto universal formado por todos los empleados que trabajan en ella, existirá un conjunto particular que será el que contiene a los ingenieros; pues bien, el conjunto complementario al conjunto de ingenieros, está constituido por el resto del personal que no es ingeniero, de forma que el conjunto universal queda dividido en dos conjuntos: el de los ingenieros y el complementario o de los *no ingenieros,* que se representa como el primero, pero con una rayita por encima que expresa la negación, tal como se muestra en la figura 8-5.

CONJUNTO UNIVERSAL

"1"

$\bar{I}$ I

CONJUNTO DE INGENIEROS

CONJUNTO COMPLEMENTARIO DE I

Fig. 8-5

Eléctricamente un conjunto complementario se simboliza por un contacto normalmente cerrado, ligado al normalmente abierto del conjunto al que complementa, según la figura 8-6.

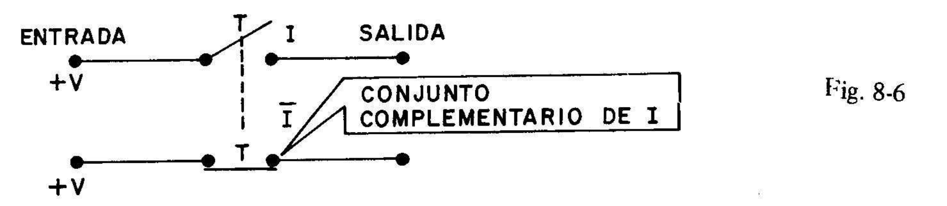


Fig. 8-6

Al analizar un elemento del conjunto universal, si es ingeniero pertenece al conjunto I, cerrándose el interruptor I que lo representa, lo que conlleva la apertura del conjunto $\bar{I}$. En el caso de que el elemento considerado no perteneciese al conjutno de los ingenieros, el cantacto I permanecería abierto y el $\bar{I}$ cerrado, por lo que la tensión positiva representada en la figura anterior, y que informa de la pertenencia o no a los conjuntos del elemento que se trate, pasaría por la rama de abajo. Cualquier elemento podrá ser ingeniero o no serlo, pero es imposible que ocurran las dos cosas a la vez, por lo que la información sólo aparecerá en una de las dos salidas de la figura 8-6.

OPERACIONES CON CONJUNTOS

Existen tres operaciones fundamentales en la teoría de conjuntos:

Operación reunión o suma.
Operación intersección o producto.
Operación inversión o negación.

De estas operaciones se deducen otras auxiliares, también muy importantes y útiles.

A) Operación suma o reunión de conjuntos

Un conjunto es la suma de varios cuando está formado por todos los elementos de ellos. En el ejemplo de la empresa se habló en un principio del conjunto de los ingenieros I; si ahora también se considera el conjunto de los empleados que están casados, C, la operación suma o reunión de estos dos conjuntos, el C más el I, da lugar a otro conjunto compuesto por los elementos de ambos, como se ha representado en la figura 8-7.

En las ecuaciones lógicas esta operación se representa con el signo + de la suma: $I + C = S$ (suma de conjuntos).

La fórmula anterior en la práctica se lee: "el conjunto S es la suma del conjunto C más el conjunto I". Sin embargo, en sentido estricto en

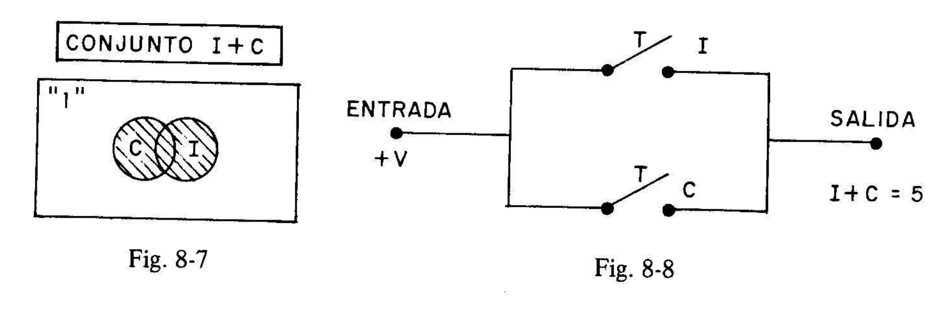


Fig. 8-7

Fig. 8-8

lugar de leerse más ha de leerse "o", es decir el conjunto S es igual al I o C. La letra "o" indica que el conjunto S está formado por los ingenieros o por los casados, luego un ingeniero pertenece al conjunto S, un casado también y un ingeniero que esté casado igualmente (intersección de los dos círculos). Para pertenecer al conjunto suma basta que se cumpla una de las condiciones y no todas.

Eléctricamente se representa la suma de conjuntos colocando los interruptores representativos de los sumandos en paralelo, puesto que con cerrarse uno de ellos es suficiente para que se produzca el paso de la información (figura 8-8).

La "tabla de verdad" es la representación gráfica simplificada de una ecuación lógica, con todas las combinaciones posibles de sus variables binarias (sólo pueden adoptar los valores 1 y 0) y el resultado de la operación final. En el caso de la ecuación $I + C = S$, la tabla de verdad correspondiente se representa en la figura 8-9.

Fig. 8-9

I	C	S = I + C
0	0	0
0	1	1
1	0	1
1	1	1

TABLA DE VERDAD

De las cuatro combinaciones posibles y diferentes que pueden adoptar las variables de entrada I y C, la salida S valdrá 0 cuando $I = 0$ y $C = 0$, es decir, cuando el elemento que se analiza no pertenezca ni al conjunto de los ingenieros ni al de casados. En todos los demás casos, al cumplirse al menos uno de los dos conjuntos o variables de entrada, también vale 1 la salida S, tal como ha quedado definida la operación suma.

En los esquemas lógicos, independientemente que se utilicen elementos eléctricos, electrónicos, neumáticos, etc., el símbolo que representa la realización de una operación suma de conjuntos es el de la figura 8-10.



Fig. 8-10

Ejemplo: Realización de la suma de los conjuntos A, B y C.

1) Ecuación lógica: $S = A + B + C$.
2) Representación eléctrica. Ver figura 8-11.

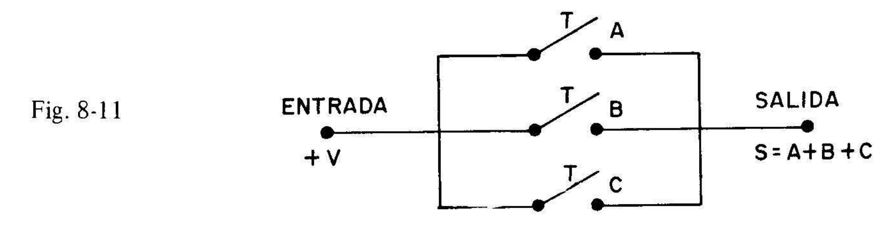


Fig. 8-11

3) Representación gráfica, mostrada en la figura 8-12, área rayada.

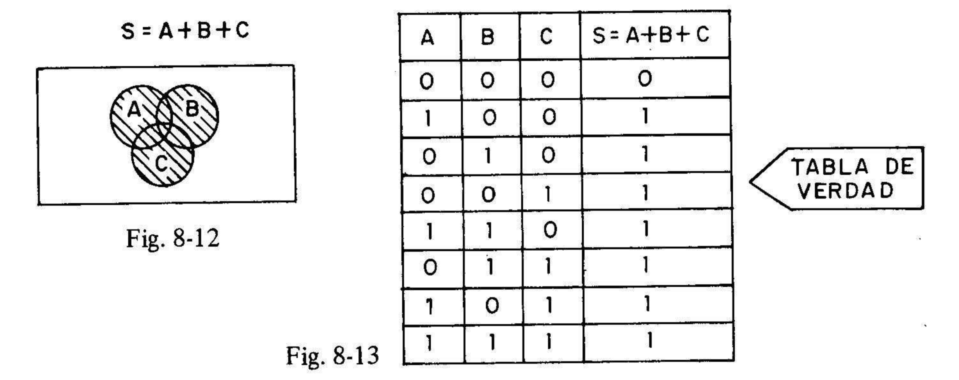


Fig. 8-12

A	B	C	S = A+B+C
0	0	0	0
1	0	0	1
0	1	0	1
0	0	1	1
1	1	0	1
0	1	1	1
1	0	1	1
1	1	1	1

Fig. 8-13

4) Tabla de verdad, resuelta en la figura 8-13 y en la que se debe tener en cuenta que el número de combinaciones posibles con n variables binarias es 2^n, luego como en este ejemplo $n = 3$, la tabla de verdad está compuesta por 8 combinaciones.

5) Diagrama lógico de la operación, figura 8-14.

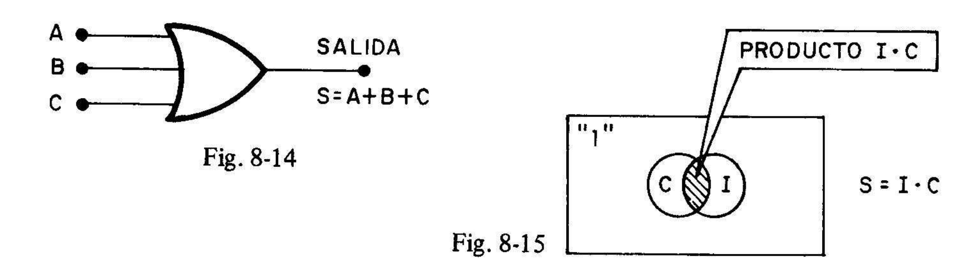


Fig. 8-14

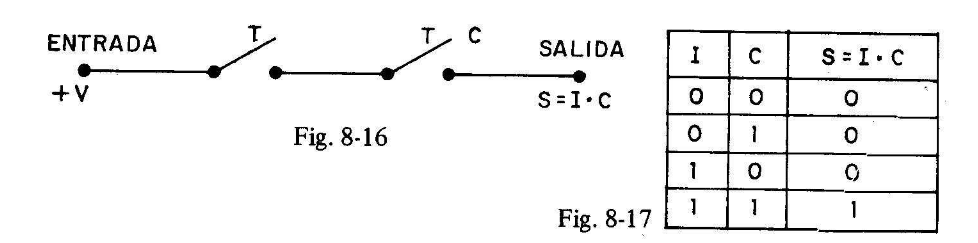
Fig. 8-15

B) Operación producto o intersección de conjuntos

El producto de varios conjuntos es otro conjunto formado por los elementos comunes a ellos. En las ecuaciones esta operación se representa por el signo del producto y se lee "por" y también "y".

Siguiendo con el ejemplo utilizado para la explicación de la operación suma, considerando el conjunto de los ingenieros y el de los casados existente en una empresa, la representación gráfica del producto de ambos conjuntos es el área rayada de la figura 8-15.

La representación eléctrica del producto de conjuntos supone colocar en serie los interruptores que lo representan, tal como aparece en la figura siguiente.



I	C	S = I · C
0	0	0
0	1	0
1	0	0
1	1	1

Fig. 8-16

Fig. 8-17

De la figura 8-16 se deduce que la salida sólo dispondrá del nivel + V de tensión cuando los dos interrutpores estén cerrados, o sea, el elemento considerado ha de pertenecer a la vez a los dos conjuntos.

La tabla de verdad del producto de dos conjuntos se expone en la figura 8-17.

El símbolo que representa la realización de una operación producto de conjuntos en los esquemas lógicos es el de la figura 8-18.

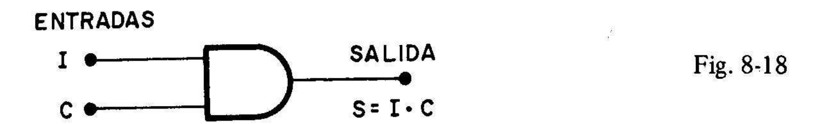


Fig. 8-18

Ejemplo: Realización del producto de los conjuntos A, B y C.

1) Ecuación lógica: $P = A \,.\, B \,.\, C$
2) Representación eléctrica, figura 8-19.

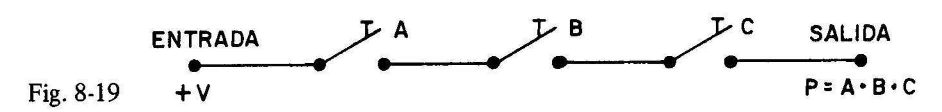


Fig. 8-19

3) Representación gráfica, figura 8-20, área rayada.

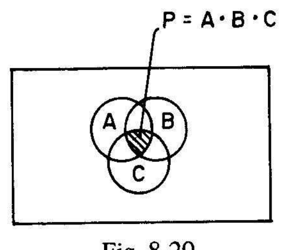


Fig. 8-20

A	B	C	P = A · B · C
0	0	0	0
1	0	0	0
0	1	0	0
0	0	1	0
1	1	0	0
0	1	1	0
1	0	1	0
1	1	1	1

Fig. 8-21

4) Tabla de verdad, figura 8-21.
5) Esquema lógico de la operación, figura 8-22.

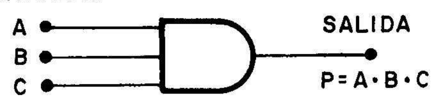


Fig. 8-22

C) Operación inversión o conjunto complementario de otro

Un conjunto es inverso o complementario de otro cuando está formado por los elementos del conjunto universal no contenidos en el mencionado conjunto, lo que gráficamente se representa en la figura 8-23.

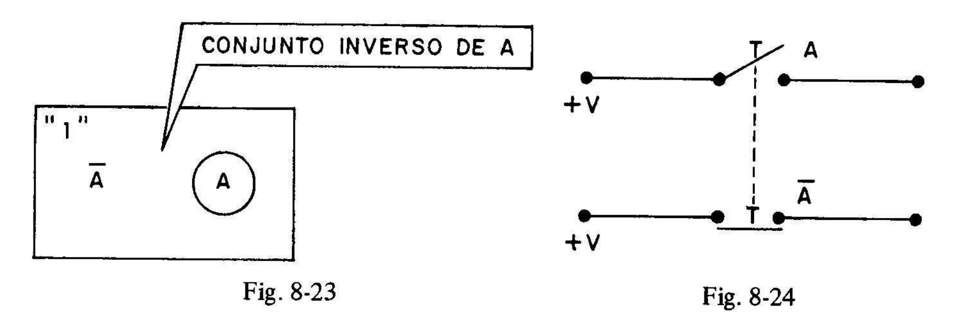


Fig. 8-23

Fig. 8-24

Como se dijo anteriormente, la representación eléctrica de un conjunto inverso es la de un contacto normalmente cerrado ligado solidariamente al contacto normalmente abierto que indica el conjunto de referencia, tal como se representan los conjuntos A y $\bar{A}$ en la figura 8-24.

La tabla de verdad correspondiente a los posibles estados que puede poseer un conjunto y los que corresponden a su inverso se muestra en la figura 8-25.



A	$\bar{A}$
1	0
0	1

Fig. 8-25

Fig. 8-26

Generalmente en los esquemas lógicos la inversión de un conjunto se representa mediante un pequeño círculo, tal como se aprecia en la figura 8-26.

La operación suma recibe el nombre de operación "o", mientras que la operación producto se llama "y". Finalmente, la operación inversión suele denominarse operación NO.

AXIOMAS PRACTICOS PARA LA RESOLUCION DE ECUACIONES LOGICAS

Partiendo de los conocimientos adquiridos sobre conjuntos y sus operaciones, se estudian a continuación varios axiomas que ayudarán posteriormente a resolver las ecuaciones algebraicas.

1.er axioma: El producto de "1" por un conjunto es igual a dicho conjunto. En la figura 8-27 se presenta la ecuación lógica seguida del esquema eléctrico y el lógico.

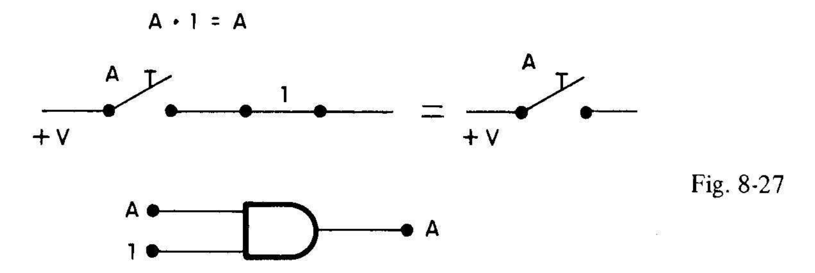


Fig. 8-27

2.º axioma: Un conjunto más el conjunto unidad equivalen siempre al conjunto unidad (figura 8-28).

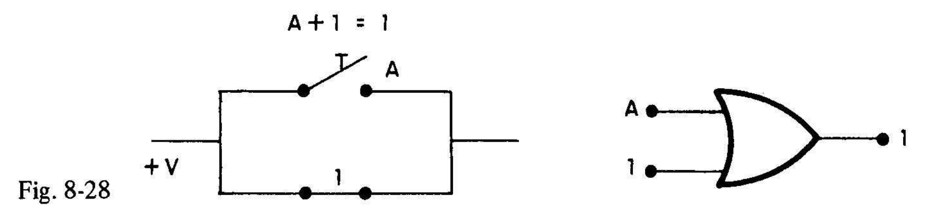


Fig. 8-28

3.º axioma: Un contacto siempre abierto (conjunto vacío) en serie con otros conjuntos hace que el circuito siempre quede abierto y equivalga a un conjunto vacío (figura 8-29).

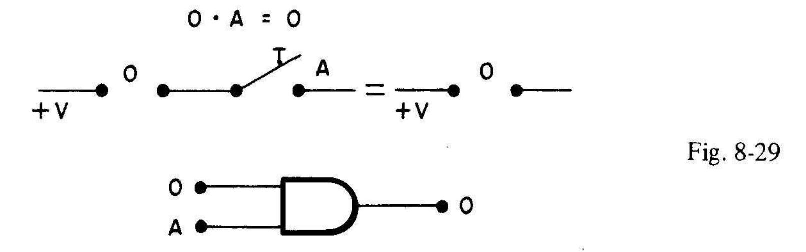


Fig. 8-29

4.º axioma: Un conjunto vacío en paralelo con otro no tiene ninguna influencia en el resultado (figura 8-30).

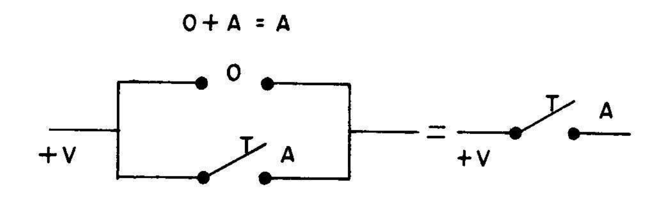
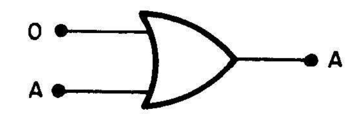


Fig. 8-30



5.º axioma: El producto de un conjunto con su complementario equivale a un conjunto vacío (figura 8-31).

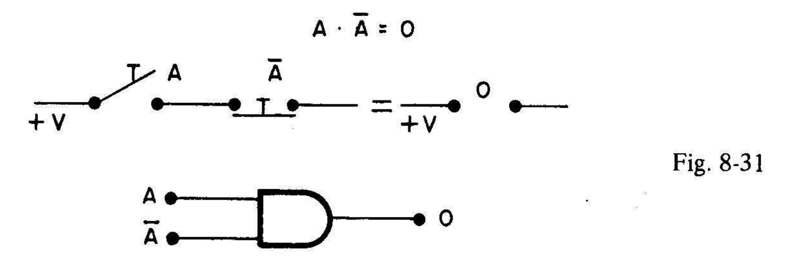


Fig. 8-31

6.º axioma: La suma de un conjunto con su complementario equivale al conjunto unidad (figura 8-32).

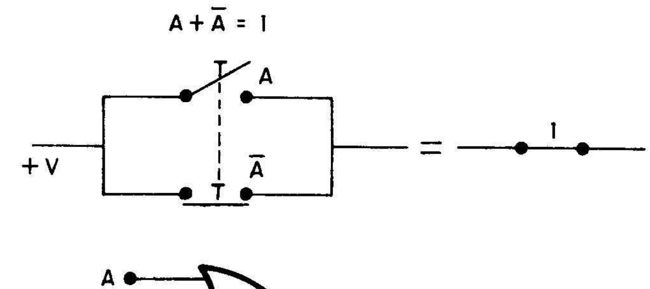


Fig. 8-32

AXIOMA	REPRESENTACION ELECTRICA	REPRESENTACION ESQUEMATICA
$a \cdot 1 = a$		
$a + 1 = 1$		
$0 \cdot A = 0$		
$0 + a = a$		
$a \cdot a = a$		
$a + a = a$		
$a \cdot b = b \cdot a$		
$a + b = b + a$		
$A+B+C=(A+B)+C=$ $A+(B+C)=(A+C)+B$		
$A \cdot B \cdot C=(A \cdot B)C=$ $A(B \cdot C)=(A \cdot C)B$		
$a\,(b+c)=a \cdot b+a \cdot c$		
$a+b \cdot c =$ $(a+b) \cdot (a+c)$		
$a + \bar{a} = 1$		
$a \cdot \bar{a} = 0$		
$\bar{\bar{a}} = a$		
$a = b \quad \bar{a} = \bar{b}$		
$1 \cdot 1 = 1$		
$1 \cdot 0 = 0$		
$0 \cdot 0 = 0$		
$0 + 0 = 0$		
$1 + 1 = 1$		
$\bar{0} = 1$		
$\bar{1} = 0$		

Fig. 8-33

En la figura 8-33 se resumen las principales simplificaciones y axiomas.

OTRAS OPERACIONES LOGICAS

Además de la suma, el producto y la negación existen otras operaciones derivadas de estas tres, de enorme aplicación práctica, como son la operación *Nor*, la *Nand* y la *0 exclusiva*.

Operación Nor: Produce el resultado inverso de la suma o reunión de varios conjuntos. La operación *Nor* (derivada del inglés de la contracción de las palabras No y Or) de los conjuntos A, B y C, produce como resultado: $\overline{A + B + C}$ (suma negada).

La tabla de la verdad correspondiente a la operación *Nor* de los conjuntos A, B y C se muestra en la figura 8-34.

A	B	C	$\overline{A+B+C}$
0	0	0	1
1	0	0	0
0	1	0	0
0	0	1	0
1	1	0	0
0	1	1	0
1	0	1	0
1	1	1	0

Fig. 8-34

TABLA DE VERDAD
OPERACION NOR

El símbolo lógico utilizado en los esquemas es la contracción del símbolo de la operación suma, seguido del de la negación para representar la operación *Nor*, tal como se muestra en la figura 8-35.

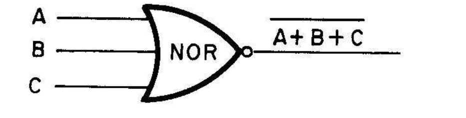


Fig. 8-35

Operación Nand: Produce el resultado inverso del producto o intersección de varios conjuntos. El nombre se deriva del inglés al contraer las palabras No y And. Si se realiza esta operación con los conjuntos A, B y C se obtiene: $\overline{A \, . \, B \, . \, C}$ (producto negado).

La tabla de la verdad de la operación *Nand* de A, B y C es la de la figura 8-35 bis.

A	B	C	$\overline{A \cdot B \cdot C}$
0	0	0	1
1	0	0	1
0	1	0	1
0	0	1	1
1	1	0	1
0	1	1	1
1	0	1	1
1	1	1	0

TABLA DE VERDAD OPERACION NAND

Fig. 8-35 bis

El símbolo lógico del operador *Nand* se consigue al unir el de la operación producto seguido del de la negación (figura 8-36).

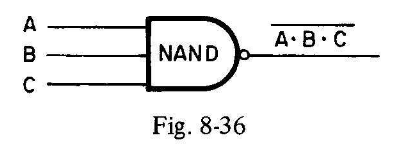


Fig. 8-36

A	B	O exclusiva $A \oplus B$
0	0	0
1	0	1
0	1	1
1	1	0

Fig. 8-37

Operación o exclusiva: Se trata de una operación derivada de la operación reunión, pero que sólo da salida 1 cuando existen un número impar de entradas que valgan 1.

La tabla de verdad de una operación *O Exclusiva* para dos variables A y B será la mostrada en la figura 8-37.

El símbolo lógico de esta operación se muestra en la figura 8-38 y es parecido al de la operación suma.

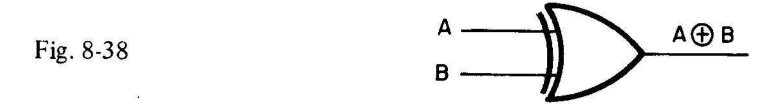


Fig. 8-38

Con los conocimientos adquiridos en esta lección se pueden acometer variados problemas en los que se tratará de automatizar diferentes procesos de tipo industrial y que se analizarán en la próxima lección.

EJERCICIOS DE LA LECCION 8.ª

Poner una cruz en la respuesta correcta

1.ª PREGUNTA.– ¿Cuántos estados posibles existen en los elementos que trata el álgebra lógica o de Boole?

a) Uno
b) Dos
c) Varios

2.ª PREGUNTA.–Un conjuntos unidad está formado por:

a) El producto de los conjuntos particulares.
b) La reunión de los conjuntos vacíos.
c) Un conjunto particular y su complementario.

3.ª PREGUNTA.–En el conjunto suma de A y B están contenidos:

a) Todos los elementos de $\overline{A}$.
b) Todos los elementos de A.
c) Todos los elementos de $\overline{B}$.

4.ª PREGUNTA.–En el conjunto producto de A y B están contenidos:

a) Todos los de elementos de A.
b) Todos los elementos de B.
c) Todos los elementos que sean a la vez de A y B.

5.ª PREGUNTA.–La tabla de verdad:

a) Sirve para saber el estado de los conjuntos.
b) Proporciona todas las combinaciones de las variables y sus resultados.
c) Combina las variables para obtener resultado positivo.

6.ª PREGUNTA.–La operación *NOR* consiste:

a) En la suma de conjuntos.
b) En la suma negada de varios conjuntos.
c) En el producto negado de varios conjuntos.

LECCION 9

Resolución lógica de problemas de automatización

PLANTEAMIENTO Y FASES OPERATIVAS

Es muy recomendable, a la hora de realizar problemas utilizando el álgebra de Boole, seguir un procedimiento determinado, dividido en 5 fases, que se explican a continuación. Pero una fase inicial que no entra dentro de la mecánica general de resolución es la buena comprensión del enunciado del ejercicio, de forma que es preciso dedicar todo el tiempo necesario para entender claramente los objetivos del problema y apreciar las variables de entrada con que se cuenta, para lo cual conviene simular el problema como si se tratase de una caja negra cuyas únicas entradas sean las variables y las salidas los resultados a obtener, según la figura 9-1.

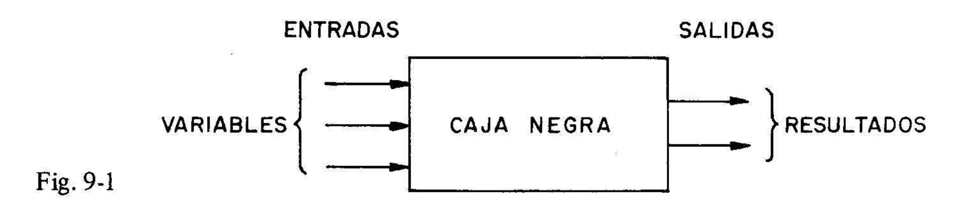


Fig. 9-1

Una vez comprendido el problema y determinadas las entradas y salidas se recomienda pasar a las siguientes fases de ejecución:

1.ª FASE: Establecimiento de la tabla de la verdad. Como todos los elementos, tanto de entrada como de salida, son binarios, hay que confeccionar todas las combinaciones posibles y diferentes con las entradas, y en cada una de ellas definir el estado que ha de tener la salida o salidas, lo que se deduce del análisis del problema.

2.ª *FASE:* Obtención de ecuaciones lógicas. A partir de la tabla de verdad se deducen las diferentes situaciones de las variables para obtener los resultados buscados. Por ejemplo, si en el automatismo de un motor M gobernado por tres variables A, B y C, se deduce de la tabla de verdad que estará activado o en marcha en dos situaciones:

1.ª) Cuando $A = 1$, $B = 0$ y $C = 1$ $(A \cdot \overline{B} \cdot C)$

2.ª Cuando $A = 0$, $B = 1$ y $C = 1$ $(\overline{A} \cdot B \cdot C)$

La ecuación que activa el motor será:

$$M = A \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot C \qquad (1)$$

3.ª *FASE:* La simplificación de las ecuaciones lógicas o eliminación de variables dentro de una ecuación, lo que se logra simplificándola adecudamente, supone un ahorro económico derivado de la reducción de componentes y mano de obra de montaje. Así, en la ecuación (1) se puede sacar factor común la variable C, que se repite en los dos miembros, con lo que la ecuación pasa a tener sólo 5 elementos.

$$M = C\,(A \cdot \overline{B} + \overline{A} \cdot B) \qquad (2)$$

Además de intervenir menos órganos de acción en la ecuación (2), su montaje práctico será más simple.

Aunque el sacar factor común a todos los elementos que se repiten en una ecuación es una forma de simplificarla, también hay que tener muy en cuenta los axiomas analizados en la lección precedente.

Para no extender demasiado esta obra, cuya pretensión es la de exponer sólo los fundamentos de la Electrónica, no se explican algunos procedimientos de tipo gráfico como los derivados de los diagramas de Karnaugh, que simplifican de una manera mecánica la ecuación.

4.ª *FASE:* Representación eléctrica de las ecuaciones simplificadas. Aunque esta fase apenas tiene interés práctico, se recomienda hacerla para tener una visión más intuitiva del funcionamiento del automatismo. Mediante interruptores eléctricos la comprensión del automatismo es mucho más simple que con un diagrama lógico, para cuya correcta interpretación se necesita bastante experiencia.

5.ª *FASE:* Finalmente se pasan las ecuaciones simplificadas a un esquema lógico, que se tratará de ejecutar mediante elementos electrónicos de estado sólido.

Se presentan a continuación varios ejemplos, siguiendo el procedi-

miento establecido. Estos ejemplos son de carácter combinacional, es decir, en ellos el resultado final depende exclusivamente del estado de las variables. Hay otro tipo de casos, que reciben el nombre de "secuenciales", caracterizados porque el estado de las salidas no sólo depende del de las entradas, sino también del orden temporal en el que se hayan producido.

1.er PROBLEMA

Se desea gobernar una lámpara desde dos interruptores A y B, de forma que cada vez que varíe el estado de uno de ellos, la lámpara también cambie de estado; es decir, que si en un estado de los interruptores la lámpara está encendida, al cambiar A o B, la lámpara se apaga, y si estaba apagada se ilumina.

En un principio, si están abiertos o desactivados los dos interruptores A y B, la lámpara está apagada.

1.ª *FASE:* Se establece la tabla de verdad, teniendo en cuenta que hay dos variables de entrada binarias, A y B, una salida, que es la lámpara L, y un estado definido por el enunciado, en el que si $A = 0$ y $B = 0, L = 0$.

A partir de aquí el cambio de una variable provoca la variación del estado de la lámpara (figura 9-2).

Fig. 9-2

A	B	L	
0	0	0	ESTADO INICIAL
1	0	1	SI CAMBIA A
0	1	1	SI CAMBIA B
1	1	0	SI CAMBIAN A y B

Según la tabla de verdad, la lámpara se ilumina en dos casos:

1.º) $A = 1$ y $B = 0$ $(A \cdot \overline{B})$
2.º) $A = 0$ y $B = 1$ $(\overline{A} \cdot B)$

2.ª *FASE:* Obtención de las ecuaciones lógicas. De la fase anterior se puede deducir que la lámpara se encenderá cuando suceda $A \cdot \overline{B}$ o cuando la situación sea $\overline{A} \cdot B$, de donde se desprende la ecuación que

resuelve el encendido de L y que equivaldrá a la suma o reunión de estas dos posibilidades:

$$L = A \cdot \overline{B} + \overline{A} \cdot B$$

3.ª *FASE:* Simplificación de la ecuación. Dado que en este caso a simple vista no se encuentra en la ecuación ningún elemento que se pueda simplificar ni sacar factor común, se pasa a la fase siguiente. Hay que tener presnte que la no simplificación de una ecuación no supone ninguna equivocación o error en el resultado final, sino sólo la elevación del coste económico de su realización.

4.ª *FASE:* Representación eléctrica de la ecuación (figura 9-3).

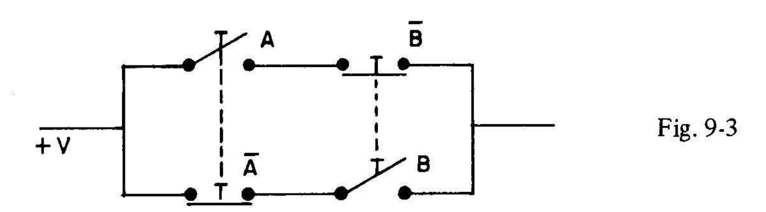


Fig. 9-3

5.ª *FASE:* Representación lógica de la ecuación (figura 9-4).

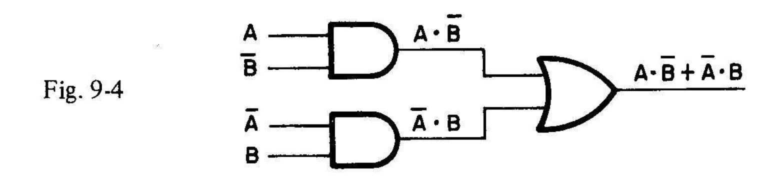


Fig. 9-4

El esquema lógico que finalmente se ha obtenido resolverá el automatismo requerido y podrá ser montado mediante elementos eléctricos como en la figura 9-3, o también electrónicos, neumáticos, etc., capaces de poder efectuar las operaciones booleanas que se indican.

2.º PROBLEMA

Se desea controlar dos motores M_1 y M_2 por medio de los contactos de tres interruptores A, B y C, de forma que se cumplan las siguientes condiciones:

1.ª) Si A está pulsado y los otros dos no, se activa M_1.
2.ª) Si C está pulsado o cerrado y los otros dos no, se activa M_2.

3.ª) Si los tres interruptores están cerrados se activan M_1 y M_2. En las demás condiciones no mencionadas los dos motores están parados.

1.ª *FASE:* Tabla de verdad. Representa todas las posibilidades del problema y el resultado correspondiente (figura 9-5).

A	B	C	M_1	M_2
0	0	0	0	0
1	0	0	1	0
0	0	1	0	1
0	1	0	0	0
1	1	0	0	0
0	1	1	0	0
1	0	1	0	0
1	1	1	1	1

Fig. 9-5

En este problema se podía haber prescindido de la tabla de verdad, pues en su enunciado se establecían con claridad las condiciones de activación de ambos motores.

2.ª *FASE:* Obtención de las ecuaciones lógicas. Bien de la tabla de la verdad o directamente del enunciado del problema, se deducen las condiciones necesarias para la puesta en marcha de los motores. M_1 se activa cuando A está cerrado y B y C abiertos $(A \cdot \overline{B} \cdot \overline{C})$ o bien si A, B y C están cerrados $(A \cdot B \cdot C)$, luego:

$$M_1 = A \cdot \overline{B} \cdot \overline{C} + A \cdot B \cdot C \quad (1)$$

M_2 funcionará cuando C esté cerrado y los otros dos no $(\overline{A} \cdot \overline{B} \cdot C)$ o bien si los tres interruptores están cerrados $(A \cdot B \cdot C)$, luego:

$$M_2 = \overline{A} \cdot \overline{B} \cdot C + A \cdot B \cdot C \quad (2)$$

3.ª *FASE:* Simplificación de las ecuaciones. En ambas ecuaciones se observa en principio una clara simplificación, que en la (1) consiste en sacar factor común A y en (2) C, quedando entonces dichas ecuaciones de la siguiente forma:

$$M_1 = A \cdot \overline{B} \cdot \overline{C} + A \cdot B \cdot C = A(\overline{B} \cdot \overline{C} + B \cdot C)$$
$$M_2 = \overline{A} \cdot \overline{B} \cdot C + A \cdot B \cdot C = C(\overline{A} \cdot \overline{B} + A \cdot B)$$

4.ª *FASE:* Representación eléctrica de las ecuaciones (figura 9-6).

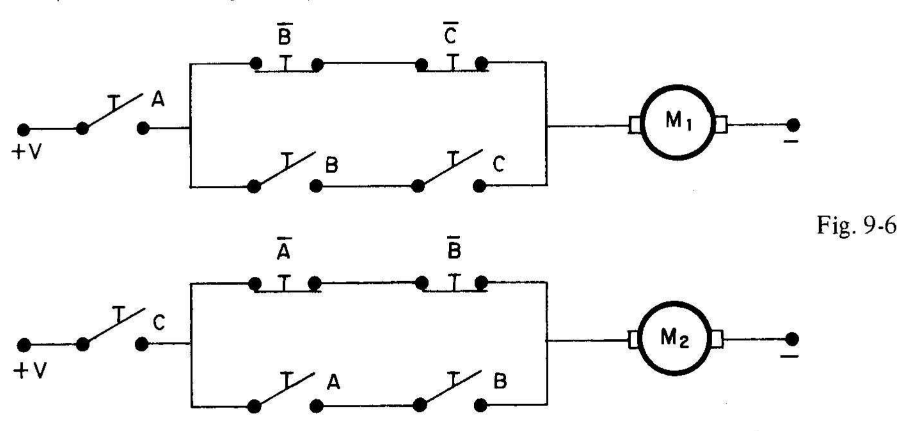


Fig. 9-6

5.ª *FASE:* Representación lógica de las ecuaciones (figura 9-7).

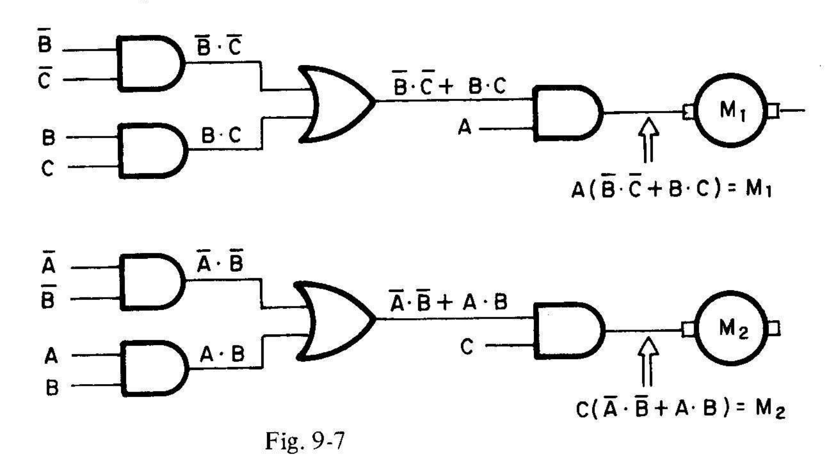


Fig. 9-7

3.er PROBLEMA

La operación de prensado la realiza un pisón, que gobernado por un motor baja hasta la posición *B* e inmediatamente sube hasta la posición de reposo, determinada por el detector de posición *A* de la figura 9-8. Al cerrar brevemente el interruptor *D* se ejecuta una operación de prensado, bajando y subiendo el pisón, deteniéndose en la posición *A* de partida. Obsérvese que cada vez que se pulsa *D* el pisón efectúa un ciclo completo.

El esquema gráfico de este automatismo, así como la caja negra en la que representan sus entradas y salidas, se muestra en la figura 9-8.

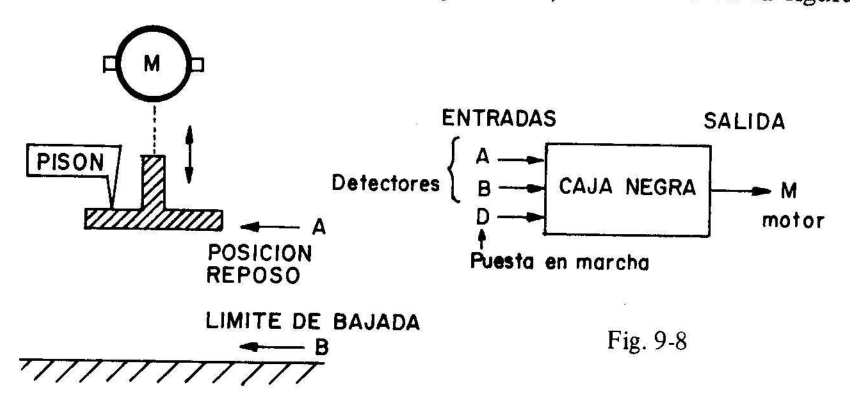
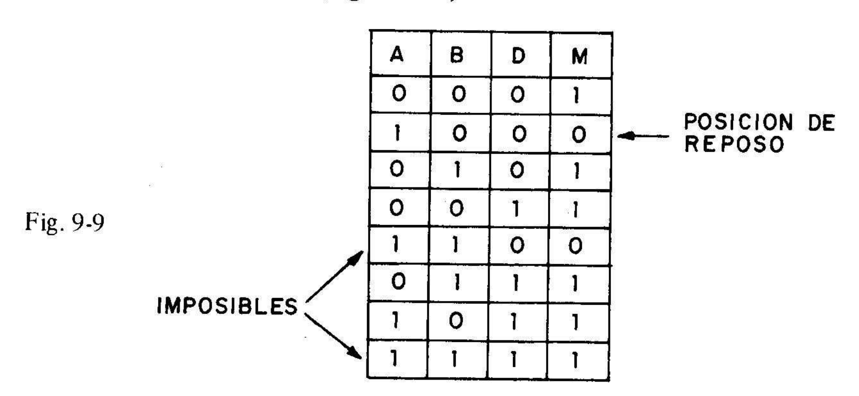


Fig. 9-8

1.ª *FASE:* Tabla de verdad (figura 9-9).



A	B	D	M
0	0	0	1
1	0	0	0
0	1	0	1
0	0	1	1
1	1	0	0
0	1	1	1
1	0	1	1
1	1	1	1

Fig. 9-9

De las 8 combinaciones posibles de las tres variables A, B y D, existen 6 que mantienen activado el motor, pero no han de considerarse la 5.ª y la 8.ª, por ser imposible que sucedan, ya que es imposible que estén activados a la vez A y B.

2.ª *FASE:* Deducción de la ecuación que resuelve el problema. La ecuación final es igual a la suma de las combinaciones de las variables que hacen en tabla de la verdad que la carga y que en este problema es el motor, esté activado.

$$M = \overline{A} \cdot \overline{B} \cdot \overline{D} + \overline{A} \cdot B \cdot \overline{D} + \overline{A} \cdot \overline{B} \cdot D + A \cdot \overline{B} \cdot D + A \cdot \overline{B} \cdot D$$

3.ª *FASE:* Simplificación de la ecuación.

a) Se saca en 4 términos factor común $\overline{A}$:

$$M = \overline{A}(\overline{B} \cdot \overline{D} + B \cdot \overline{D} + \overline{B} \cdot D + B \cdot D) + A \cdot \overline{B} \cdot D$$

b) Dentro del paréntesis de la ecuación anterior se sacan factor común D y $\overline{D}$:

$$M = \overline{A}[\overline{D}(\overline{B} + B) + D(\overline{B} + B)] + A \cdot \overline{B} \cdot D$$

c) Como $B + \overline{B} = 1$ y un conjunto multiplicado por 1 equivale a dicho conjunto, se obtiene:

$$M = \overline{A}(\overline{D} \cdot 1 + D \cdot 1) + A \cdot \overline{B} \cdot D$$

d) Como $D + \overline{D} = 1$:

$$M = \overline{A} + A \cdot \overline{B} \cdot D \qquad (1)$$

e) Finalmente se puede eliminar la variable A, puesto que en la ecuación (1) no interviene en el resultado. Se trata de un caso particular de simplificación. La ecuación reducida y simplificada al máximo es la siguiente:

$$\boxed{M = \overline{A} + \overline{B} \cdot D}$$

4.ª *FASE:* Esquema eléctrico de la ecuación final (figura 9-10).

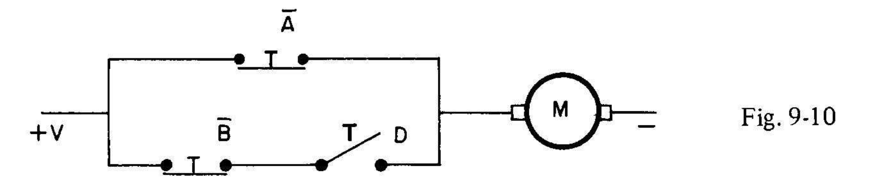
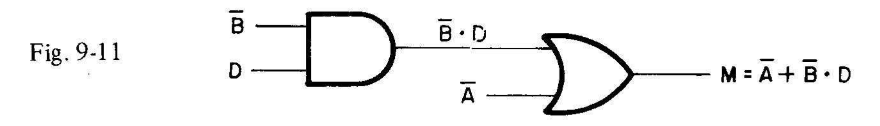


Fig. 9-10

5.ª *FASE:* Esquema lógico de la solución. Se trata de una suma de dos sumandos, uno de los cuales es a su vez un producto, y se representa en la figura 9-11.

Fig. 9-11



IMPORTANCIA DE LAS OPERACIONES NAND Y NOR

Las ecuaciones lógicas que resuelven los automatismos contienen sumas, productos, negaciones, etc. y si para cada operación se emplea un módulo específico que la ejecute serán precisos bastantes tipos. Mediante una correcta aplicación de los teoremas de Morgan se puede realizar cualquier ecuación y por lo tanto resolver cualquier automatismo, usando exclusivamente un solo tipo de operador: el NAND o el NOR. Esto supone una gran simplificación en los montajes, menores posibilidades de error y una mayor compenetración del técnico en el funcionamiento del módulo que se utilice.

TEOREMAS DE MORGAN

Sirven para transformar sumas en productos o viceversa y tienen una gran importancia en las aplicaciones prácticas, pues permiten realizar todas las operaciones lógicas con una única función.

1.er *Teorema*

"La inversa de una suma lógica de dos o más variables equivale al producto lógico de los inversos de dichas variables."

$$\overline{A+B}=\overline{A}\cdot\overline{B}$$

La veracidad de este teorema se comprueba gráficamente en la figura 9-12.

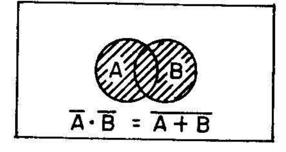


Fig. 9-12

A	B	$\overline{A}$	$\overline{B}$	A+B	$\overline{A+B}$	$\overline{A}\cdot\overline{B}$
0	0	1	1	0	1	1
1	0	0	1	1	0	0
0	1	1	0	1	0	0
1	1	0	0	1	0	0

Fig. 9-13

Se observa en la figura 9-12 que el área rayada es el conjunto $A + B$, luego lo que queda fuera de ella será lo inverso: $\overline{A + B}$ y coincide con $\overline{A} \cdot \overline{B}$.

También se puede comprobar el primer teorema mediante la utilización de la tabla de verdad, tal como aparece en la figura 9-13, en la que se aprecia la coincidencia de las dos últimas columnas.

En general este teorema se puede aplicar al caso de varias variables de la siguiente forma:

$$\overline{A+B+C+D+E}=\overline{A}\cdot\overline{B}\cdot\overline{C}\cdot\overline{D}\cdot\overline{E}$$

2.° *Teorema*

"La inversa de un producto lógico de varias variables equivale a la suma lógica de las inversas de dichas variables."

$$\overline{A\cdot B}=\overline{A}+\overline{B}$$

Gráficamente se comprueba este teorema en la figura 9-14

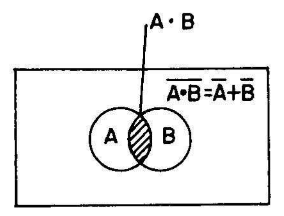


Fig. 9-14

A	B	$\overline{A}$	$\overline{B}$	A·B	$\overline{A\cdot B}$	$\overline{A}+\overline{B}$
0	0	1	1	0	1	1
1	0	0	1	0	1	1
0	1	1	0	0	1	1
1	1	0	0	1	0	0

Fig. 9-15

La intersección de A y B forman el conjunto $A\cdot B$, luego el área no rayada constituye $\overline{A\cdot B}$, que coincide con $\overline{A}+\overline{B}$.

La veracidad del 2.° teorema se comprueba mediante la tabla de verdad de la figura 9-15, en la que se aprecia la coincidencia de las dos últimas columnas

En general la aplicación del 2.° teorema a varias variables se presenta de la siguiente forma:

$$\overline{A\cdot B\cdot C\cdot D}=\overline{A}+\overline{B}+\overline{C}+\overline{D}$$

RESOLUCION DE UNA ECUACION CON OPERADORES NOR

Se contempla a continuación la forma de realizar operaciones fundamentales con operadores *NOR*.

Realización de una negación o inversión con operadores NOR

Para que un operador o puerta NOR realice la negación de un conjunto, se aplica éste a sus entradas cortocircuitadas. Figura 9-16.



Fig. 9-16

Fig. 9-17

A	Ā
0	1
1	0

La figura 9-16 y 9-17 presenta un operador *NOR* realizando una inversión y la tabla de verdad a que responde.

La suma negada (*NOR*) de una sola entrada da como resultado esa entrada negada.

Realización de una suma negada con NOR

El operador *NOR* realiza directamente la suma negada, tal como se indica en la figura 9-18

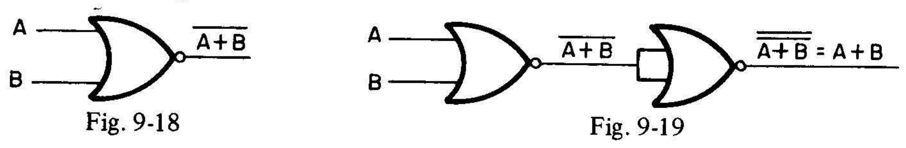


Fig. 9-18 Fig. 9-19

Realización de una suma con NOR

Cuando se desea obtener una suma sin negar de varias variables, si se introducen a un primer *NOR* sale de él la suma negada. Dicha salida, al introducirla como única entrada a un segundo operador *NOR*, se consigue la suma de las variables negadas doblemente, o lo que es lo mismo, la suma sin negar, que era lo que se perseguía, según figura 9-19.

En resumen para obtener una suma sin negar se introducen las variables a un primer *NOR* y la salida de éste a otro.

Realización de un producto con NOR

Recuérdese que uno de los teoremas de Morgan se expresaba:

$$\overline{A+B} = \overline{A} \cdot \overline{B}$$

De esta igualdad se deprende que la suma negada es igual al producto de las variables negadas, cada una en particular (figura 9-20).



Fig. 9-20 Fig. 9-21

Otra forma de aplicar el teorema de Morgan se presenta en la figura 9-21.

Diagrama Lógico	Función	Operación	Ecuación	Diagrama Eléctrico
A, $\overline{A}$, Q	NEGACION	LA SEÑAL DE SALIDA SIEMPRE ES INVERSA A LA DE ENTRADA	$Q = \overline{A}$	$\overline{A}$
A, B, Q	NOR	CUANDO NINGUNA ENTRADA VALE 1, LA SALIDA Q ≠ 1	$Q = \overline{A+B}$	$\overline{A}$, $\overline{B}$
A, B, Q	O	SI ALGUNA ENTRADA VALE 1 LA SALIDA Q = 1	$Q = A + B$	A, B
A, B, Q	y	SI TODAS LAS ENTRADAS, EN ESTE CASO A y B, VALEN 1, LA SALIDA Q = 1	$Q = A \cdot B$	A, B
A, $\overline{B}$, C, Q	y	LA SALIDA DE UN NOR ES EL PRODUCTO DE LAS ENTRADAS, NEGADAS	$Q = \overline{A} \cdot B \cdot \overline{C}$	$\overline{A}$, B, $\overline{C}$

Fig. 9-22

Como regla se puede decir que para obtener el producto de dos variables se introducen negadas al operador *NOR*.

El cuadro de la figura 9-22 es el resumen de la resolución de operaciones lógicas a base de operadores *NOR*.

RESOLUCION DE UNA ECUACION CON OPERADORES NAND

Al igual que se ha expuesto la posibilidad de efectuar todas las operaciones de la teoría de conjuntos por medio de operadores *NOR*, se estudia a continuación la forma de realizarlas con *NAND*.

Realización de una inversión con NAND

Cuando sólo se usa una entrada del operador *NAND* la salida es la negación de dicha entrada (figura 9-23).



Fig. 9-23 Fig. 9-24

Realización de un producto con NAND

El operador *NAND* realiza directamente el producto negado, como aparece en la figura 9-24.

Con un solo operador *NAND* se consigue un producto negado; si este resultado actúa como única entrada en un segundo *NAND*, se obtendrá el producto sin negar (figura 9-25).

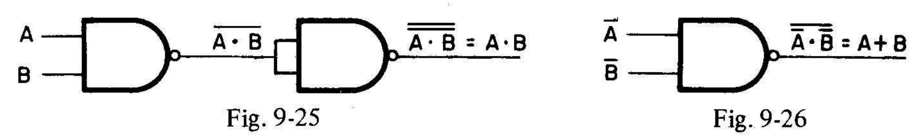


Fig. 9-25 Fig. 9-26

Realización de una suma con NAND

Para hacer sumas con *NAND* se utiliza el teorema de Morgan:

$$\overline{A \cdot B} = \bar{A} + \bar{B}$$

Una operación *NAND* equivale a la suma de sus entradas negadas, tal como aparece en la figura 9-26.

Diagrama Lógico	Función	Operación	Ecuacion	Diagrama Eléctrico
A, Q	NEGACION	LA SEÑAL DE SALIDA SIEMPRE ES INVERSA A LA DE ENTRADA	$Q = \bar{A}$	$\bar{A}$
A, B, Q	NO-Y NAND	LA SALIDA VALE 0 SOLO CUANDO LAS ENTRADAS VALEN 1	$Q = \bar{A} \cdot \bar{B}$	$\bar{A}$, $\bar{B}$
A, B, Q	y	LA SALIDA VALE 1 CUANDO LAS ENTRADAS VALEN 1	$Q = A \cdot B$	A, B
A, B, Q	O	LA SALIDA VALE 0 SOLO CUANDO TODAS LAS ENTRADAS VALEN 0	$Q = A + B$	A, B
A, $\bar{B}$, C, Q	O	LA SALIDA DE UNA PUERTA NAND ES LA SUMA DE LAS ENTRADAS NEGADAS	$Q = \bar{A} + B + \bar{C}$	$\bar{A}$, B, $\bar{C}$

Fig. 9-27

Para obtener la suma de dos conjuntos mediante un operador *NAND*, se introducen a sus entradas negadas.

La figura 9-27 es un cuadro que resume las principales formas de resolución de operaciones lógicas con operadores *NAND*.

EJEMPLOS DE TRANSFORMACION DE ECUACIONES UTILIZANDO OPERADORES NOR Y NAND

1.er *ejemplo.* Resolver exclusivamente con operadores *NOR* la siguiente ecuación:

$$S = A \cdot B + A\,(\bar{D} + C)$$

La ecuación se puede considerar en principio como suma de dos términos: el $A \cdot B$ y el $A(\bar{D} + C)$, los cuales, considerados por separado, se pueden tomar como productos, que en el caso del segundo está formado por un término A y otro $\bar{D} + C$.

a) Obtención con módulos *NOR* del producto $A \cdot B$ (figura 9-28).



Fig. 9-28

Fig. 9-29

b) Obtención de la operación $\overline{\bar{D} + C}$ (figura 9-29).

c) Obtención del término $A(\bar{D} + C)$. Igual que en *a*), como se muestra en la figura 9-30.

Fig. 9-30

d) Obtención del resultado final de la ecuación (figura 9-31).

Fig. 9-31

e) Expresión o diagrama completo con todos los operadores *NOR* utilizados (figura 9-32).

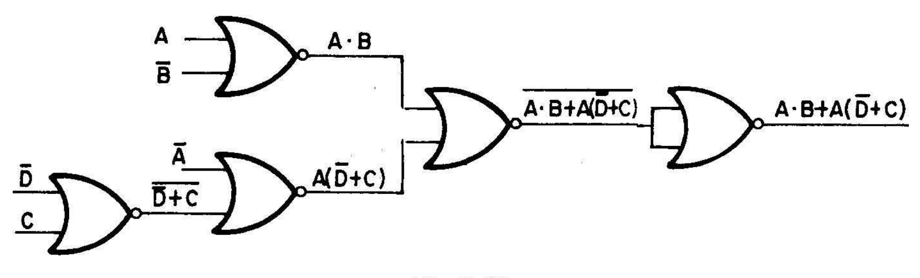


Fig. 9-32

2.° *ejemplo.* Resolver el mismo ejercicio anterior pero usando sólo operadores *NAND*.

$$S = A \cdot B + A(\bar{D} + C)$$

Se irán aplicando ahora las reglas estudiadas con los *NAND*.

a) Obtención de la ecuación $\overline{A \cdot B}$. Es una operación *NAND* directa, como se refleja en la figura 9-33.



Fig. 9-33

Fig. 9-34

b) Obtención de la entrada $\overline{A(\bar{D} + C)}$ (figura 9-34).

c) Obtención de $\bar{D} + C$ (figura 9-35).

Fig. 9-35

d) Actuación del último operador *NAND* (figura 9-36).

Fig. 9-36

e) Diagrama completo con todos los operadores *NAND* utilizados (figura 9-37).

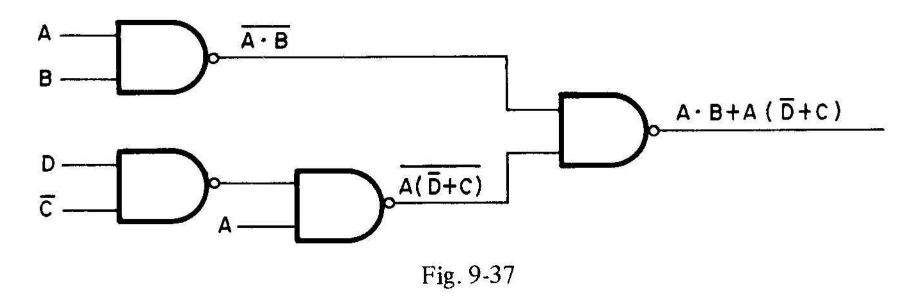


Fig. 9-37

Nota.– Ha de tenerse muy en cuenta no dejar al aire, sin conectar, patillas de entrada de las puertas lógicas, porque según la tecnología con que se hayan construido, pueden introducir un nivel lógico alto o bajo.

EJERCICIOS DE LA LECCION 9.ª

Poner una cruz en la respuesta correcta

1.ª PREGUNTA.—¿Cuántas combinaciones diferentes tienen 4 variables binarias?

a) 8
b) 16
c) 6

2.ª PREGUNTA.—Las ecuaciones lógicas de un problema se obtienen:

a) De la tabla de verdad.
b) Del diagrama eléctrico.
c) Del diagrama lógico.

3.ª PREGUNTA.—La ventaja de utilizar operadores *NOR* y *NAND* estriba:

a) En que son económicos y sencillos.
b) En que pueden realizar todas las operaciones lógicas.
c) En que utilizándolos se reduce el número de componentes.

4.ª PREGUNTA.—La ventaja de la simplificación de ecuaciones lógicas es:

a) Reduce el costo económico y la mano de obra.
b) Funciona mejor el automatismo.
c) Se localizan más fácilmente los errores y averías.

5.ª PREGUNTA.—Los teoremas de Morgan:

a) Transforman y simplifican las operaciones lógicas.
b) Transforman sumas en productos y viceversa.
c) Comprueban los resultados de la tabla de verdad.

6.ª PREGUNTA.—Una suma sin negar de 3 variables se puede realizar con:

a) 1 operador *NOR*.
b) 2 operadores *NOR*.
c) 3 operadores *NOR*

LECCION 10

Circuitos integrados lógicos. Familias lógicas

INTRODUCCION

A lo largo del presente tema se describen las distintas familias de circuitos lógicos que la actual tecnología pone al alcance del usuario. Las diferencias existentes entre ellas son del tipo estructural interno y también, a veces, derivadas de los distintos niveles de las señales de entrada y salida. En cuanto a las funciones implementadas por las diversas familias, aunque todas son similares hay algunas que tienen una gama de funciones más amplia que otras.

La existencia de las diferentes familias no es caprichosa, sino que se debe principalmente a dos causas: a) Los espectaculares avances de la tecnología de la fabricación de circuitos integrados sobre silicio y b) Los especiales requerimientos en determinadas aplicaciones, de alguno de los parámetros involucrados en el funcionamiento del circuito.

No existe ninguna familia lógica, en la cual todos sus parámetros (retardo de la propagación de la señal, potencia disipada, densidad de integración, ruido generado, margen de temperatura, fanout, impedancias de entrada y salida, coste por función, tensión de alimentación, etcétera) sean óptimos. Si alguna familia tuviese todos los parámetros que la caracterizaran óptimos, sería un lujo la existencia de otras familias, que tenderían a desaparecer. De hecho las familias que poseen las mejores prestaciones en conjunto son las más usadas. Este es el caso de la familia TTL.

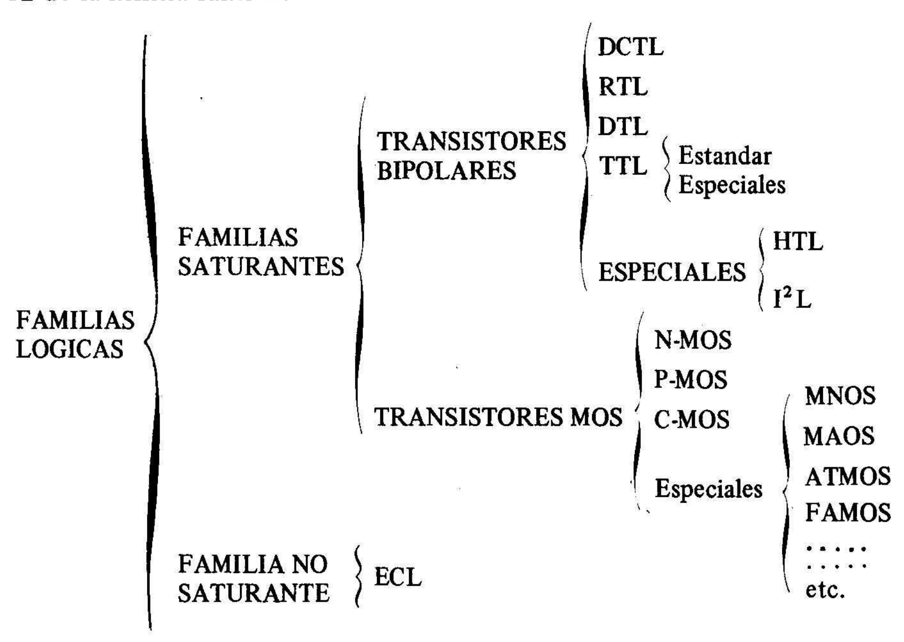
Los principales parámetros que caracterizan las familias lógicas son:

a) *Velocidad de respuesta:* Llamada también "retraso de propagación", hace referencia al tiempo que transcurre desde que se aplica un nivel lógico a la entrada de una puerta y aparece la correspondiente respuesta de salida. Este parámetro se mide en nanosegundos (ns).

b) *Potencia disipada:* Es la cantidad de potencia o de calor generado por una puerta, siendo corriente medirla en miliwatios (mW).

c) *Inmunidad al ruido:* Es la cantidad de señal de ruido que puede superponerse a un nivel lógico sin que provoque una situación incorrecta de salida o respuesta. Se suele medir en milivoltios (mV).

d) *"Fanout"*: Es la cantidad de carga o, mejor, de entradas de otras etapas que se pueden conectar a la salida de una puerta. El fanout será 12, si en la salida de una puerta se pueden conectar las entradas de otras 12 de la misma familia.



FAMILIA DCTL

La familia DCTL o lógica de transistor directamente acoplado (Direct Coupled Transistor Logic) pertenece al grupo de familias saturantes, es decir, aquéllas en las que sus transistores funcionan en conmutación, o sea, en corte o saturación.

La estructura interna del circuito básico de esta familia es muy sencilla como lo muestra la figura 10-1. Consta de un solo transistor para cada una de las entradas y una sola resistencia común para todos los transistores en su colector o salida (R_L).

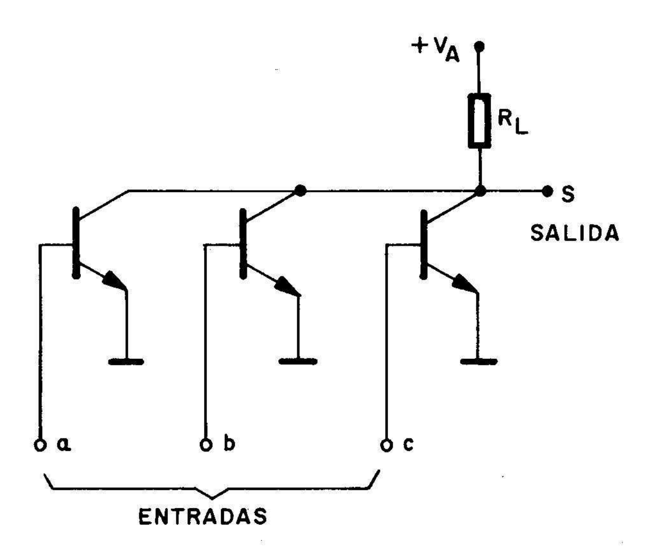


Fig. 10-1

A continuación y para comprobar que tipo de función lógica o puerta implementa el circuito de la figura 10-1, se deduce su tabla de verdad. Para ello debe tenerse en cuenta que siempre que en una de sus entradas exista una tensión positiva superior a 0,7-0,8 V (nivel alto) el transistor correspondiente se satura proporcionando en la salida S una tensión igual a la $V_{CE\ SAT}$, de aproximadamente 0,2-0,3 V (nivel lógico bajo). Por lo tanto, la tabla de la verdad con lógica positiva es la que se indica a continuación y que corresponde con una función NOR

a	b	c	S
0	0	0	1
0	0	1	0
0	1	0	0
–	–	–	0
–	–	–	0
1	1	1	0

Evidentemente, utilizando lógica negativa, la función que implementará el circuito corresponderá a una puerta NAND.

FAMILIA RTL

Lógica de resistencia y transistor (Resistor-Transistor Logic). Esta familia surge para solucionar el problema que plantea la familia DCTL y que consiste en que cuando una de sus puertas es cargada por otras, como se representa en la figura 10-2, al poder pertenecer dichas puertas a diferentes chips o pastillas, sus transistores pueden ser ligeramente diferentes, lo que puede dar lugar a que para una misma tensión en la base uno de ellos derive más corriente que otros, con lo que puede dejarles sin saturar. Es decir, y con referencia a la figura 10-2, puede suceder que, por ejemplo, $I_1 \gg I_2$, e I_2 sea insuficiente para saturar a T_3.

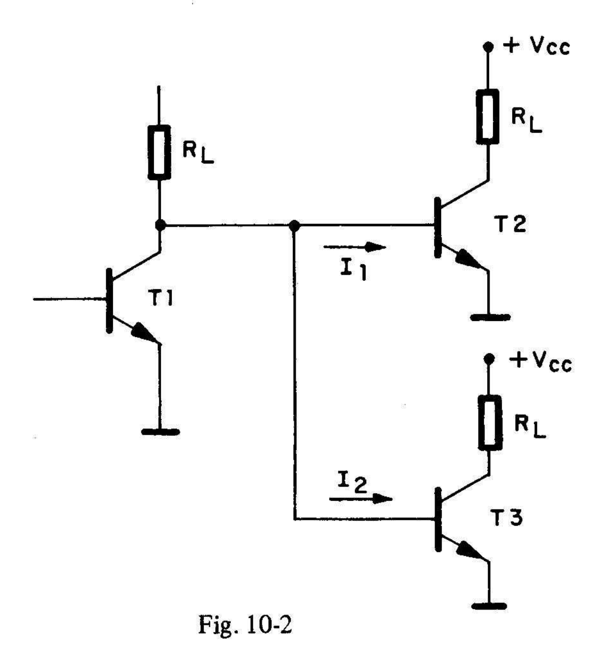


Fig. 10-2

El problema planteado por la no saturación de algún transistor, se soluciona añadiendo resistencias en serie con la base. En el caso comentado, si I_1 tiende a ser mayor que I_2, en R_{B1} existirá más caída de tensión que en T_{B2} y por tanto la V_{BE} de T_1 será menor que la de T_2. Como resultado se tenderá al equilibrio entre I_{B2}. La figura 10-3 mues-

tra la configuración típica de una puerta de la familia RTL. Los valores típicos de R_B y R_C son 450 Ω y 640 Ω respectivamente.

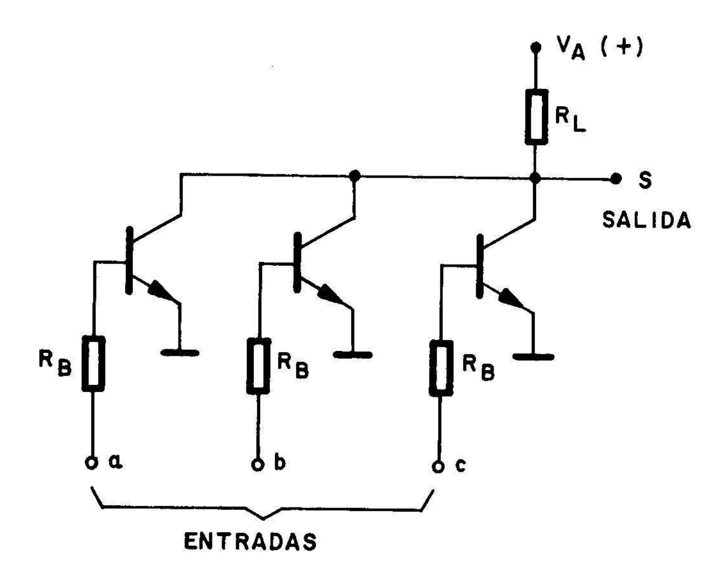


Fig. 10-3

Como fácilmente se puede comprobar, la tabla de la verdad para el circuito RTL es el mismo que para el de la familia DCTL, por lo tanto, en lógica positiva también implementa la función NOR.

Una propiedad interesante de este tipo de puertas consiste en el aumento del fan-in cuando se conectan entre sí sus salidas, puesto que el nuevo circuito se sigue comportando como una puerta NOR pero con mayor número de entradas.

Por otra parte el fan-out de esta familia no suele superar a 5, limitación que se debe a que cuando la salida de una puerta está a nivel alto y se conecta a la entrada de otras, la corriente que suministran a las bases de los transistores de entrada, hacen que la tensión en el punto de salida de la primera disminuya y por tanto descienda el salto lógico, haciéndola más vulnerable al ruido. Por este motivo el fan-out y el margen de ruido de esta familia son pequeños.

A consecuencia de trabajar esta familia en modo de saturación, la velocidad de conmutación es bastante baja.

Como ventajas de la familia RTL se pueden citar su alta densidad de empaquetamiento, debido a la pequeña superficie necesaria para su integración, el bajo consumo y el reducido coste.

FAMILIA DTL

Lógica de diodo y transistor (Diode-Transistor Logic). También pertenece al grupo de familias saturantes y la figura 10-4 presenta la configuración típica de una puerta básica de esta familia.

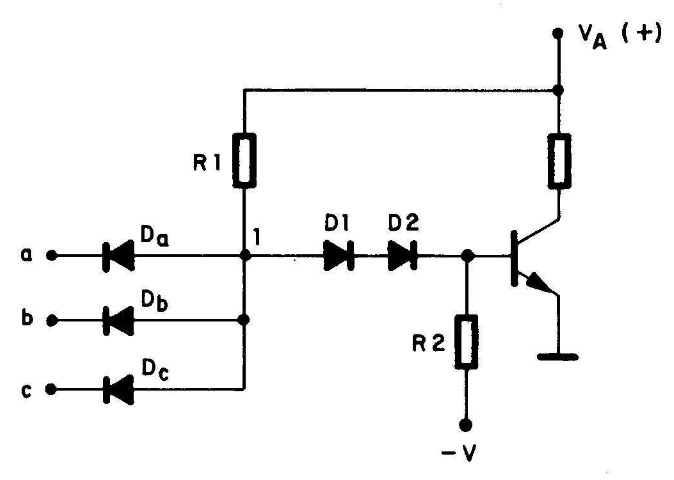


Fig. 10-4

Para separar las entradas de una puerta con su antecedente se usan en esta familia diodos. De esta forma se consiguen dos ventajas: 1ª) se eliminan las posibles desigualdades de las corrientes de entrada (típicas de la familia DCTL) puesto que los diodos actúan como separadores entre las entradas y el transistor, evitando la corriente desde la entrada al transistor en saturación y 2ª) la integración de un diodo es más sencilla y generalmente requiere menos espacio que una resistencia.

Si una cualquiera de las entradas de la figura 10-4, a, b, ó c, se conecta a un nivel lógico bajo, el diodo correspondiente D_a, D_b ó D_c conduce corriente en sentido directo ya que la tensión en el punto 1 es superior a la de las entradas a, b ó c. En este caso, la tensión del punto 1 quedará fijada a un valor igual a $V_D + V_{nivel\ bajo}$. En el caso de que esté conectada a la salida de una puerta similar, $V_{nivel\ bajo} = V_{CE\ SAT} = 0{,}3$ V. Como la tensión del punto 1 es inferior a la caída producida por D_1 ,

D_2, y V_{BE} del transistor, T_1 quedará en estado de corte y su tensión de colector, o de salida de la puerta será de nivel alto.

En el caso de que alguna de las entradas de la puerta esté a nivel alto, siempre que exista alguna entrada a nivel bajo, lo único que sucede es que el diodo correspondiente no conduce ya que entonces su cátodo estará a mayor tensión que su ánodo.

Si todas las entradas pasan a nivel alto, entonces el transistor quedará bien polarizado y pasará al estado de saturación obteniendo en su colector, que es la salida del circuito un nivel bajo cercano a los 0,3 V.

De las consideraciones establecidas se formula a continuación la tabla de la verdad del circuito de la figura 10-4, que como puede deducirse responde a la función AND.

a	b	c	S
0	0	0	1
0	0	1	1
–	–	–	1
–	–	–	1
1	1	1	0

La resistencia R_2 conectada entre la base del transistor de la figura 10-4 y una tensión negativa, tiene por misión acelerar el paso desde la saturación al corte, puesto que ayuda a las recombinación de la carga almacenada en la base durante el tiempo que el transistor se mantuvo en saturación.

Una versión mejorada de la puerta descrita, responde al esquema de la figura 10-5, con la que se logra: a) emplear una sola fuente de alimentación, b) que la corriente de base de T_2, en este caso igual a la corriente de emisor de T_1, sea muy superior a la conseguida en el circuito de la figura 10-4. En consecuencia con este nuevo circuito se permite una mayor corriente de colector, en saturación, lo que supone disminuir corriente en ambos circuitos.

En la figura 10-6 se presenta la curva de transferencia de la puerta comentada.

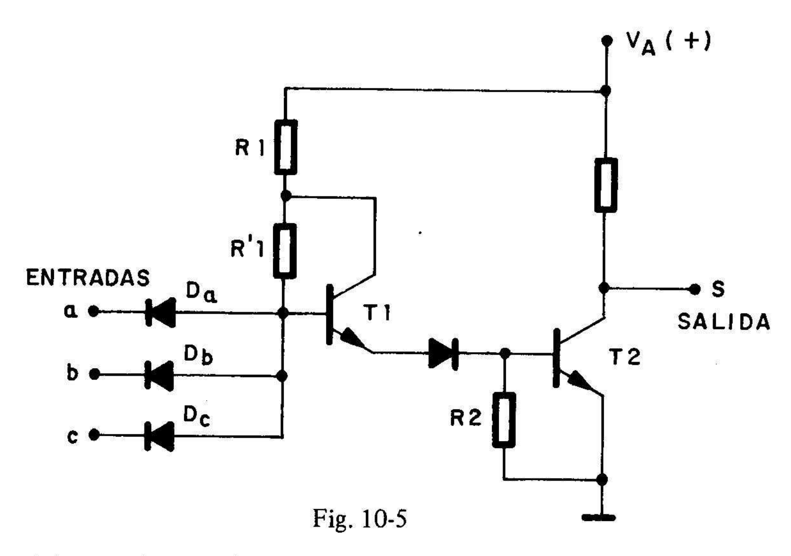


Fig. 10-5

Apréciese sobre la figura 10-6, que el voltaje umbral de transición equivale a dos caídas directas de un diodo.

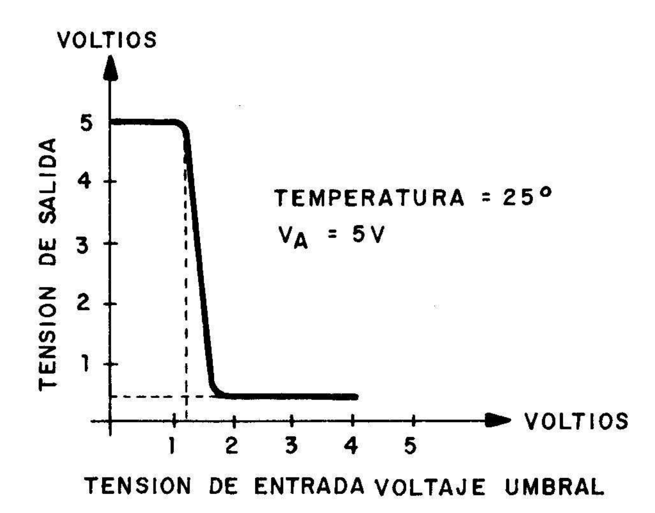


Fig. 10-6

La puerta DTL, al igual que la RTL, tiene la posibilidad de cableado lógico, puesto que ambas disponen del mismo circuito de salida. De esta forma si conectamos dos salidas de dos puertas DTL, tal como se repre-

senta en la figura 10-7, se obtiene una nueva función lógica que se deduce a continuación.

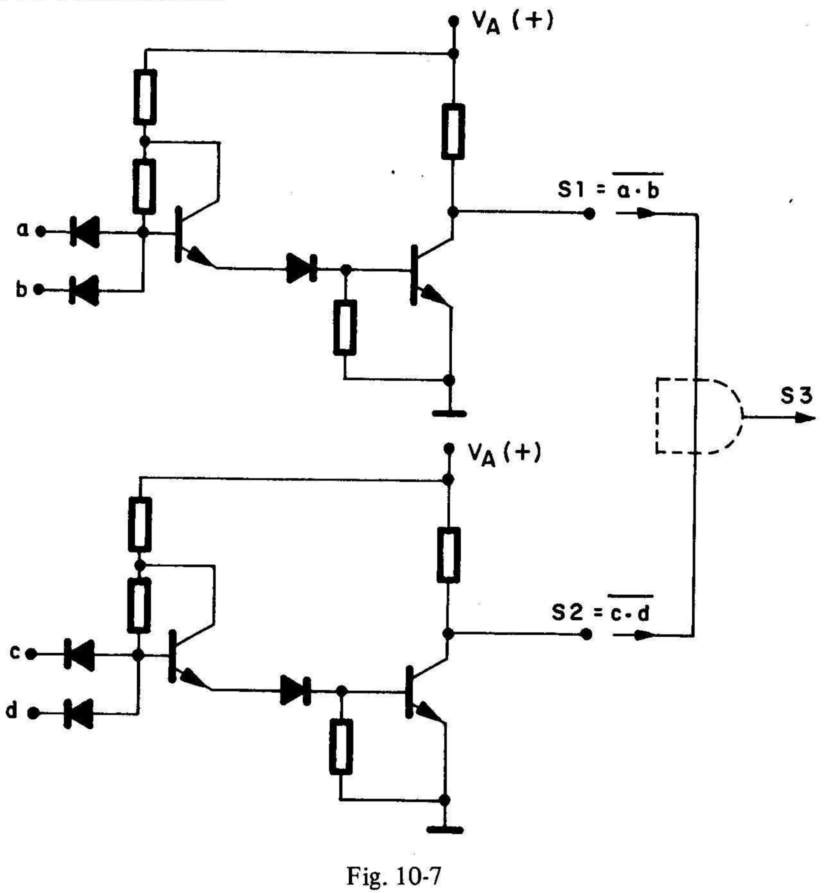


Fig. 10-7

En el caso de la figura 10-7, la tabla de la verdad correspondiente al conexionado de las salidas, será:

S_1	S_2	S_3
0	0	0
0	1	0
1	0	0
1	1	1

$$S_3 = S_1 \cdot S_2 = \overline{a\,b} \cdot \overline{c\,d} = \overline{a\,b + c\,d}$$

La familia DTL tiene una velocidad de respuesta por puerta del orden de 30 ns, la potencia que disipa es relativamente baja, el fan-out es algo mayor que la familia RTL y su precio es de tipo medio.

FAMILIA TTL

Es la lógica de transistor-transistor (Transistor-transistor Logic). Pertenece a las familias saturantes y en la actualidad es la más empleada debido al conjunto de buenas características que posee.

La aparición de esta familia fué consecuencia del afán por mejorar los parámetros específicos de la familia DTL. Uno de los aspectos más interesantes de una familia es su velocidad de respuesta y con la familia TTL se intentó eliminar las limitaciones que imponía el circuito DTL. Las capacidades parásitas que presentan los diodos integrados con el substrato, constituyen una causa de la baja velocidad de la familia DTL, por el tiempo que consumen en almacenar y vaciar cargas en ellas. Por otro lado también se intentó reducir al máximo el tiempo de conmutación del transistor presente en el circuito DTL.

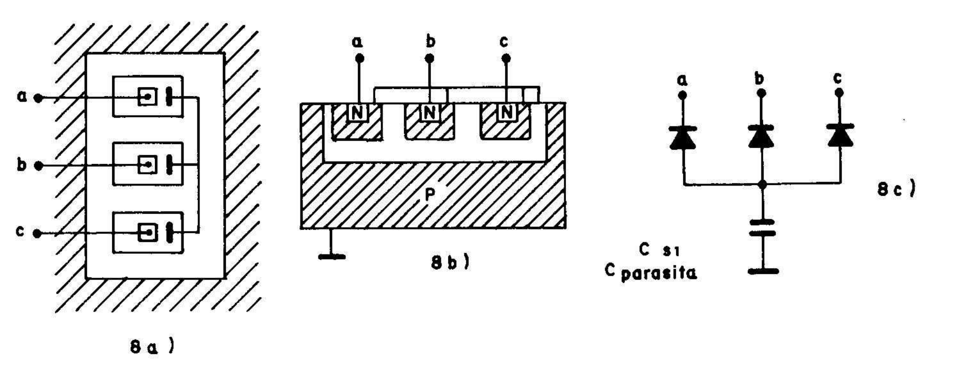


Fig. 10-8

Con ligeras variaciones en la forma de integrar los componentes, se obtienen interesantes mejoras. En las figuras 10-8 a) y 10-8 b) se muestra la estructura de integración de los tres diodos de entrada de una puerta DTL. La figura 10-8 c) se refleja la capacidad que se forma con el substrato.

Si se modifica ligeramente la estructura, tal como se indica en la figura 10-9 a) y 10-9 b), además de resultar más sencilla se obtienen dos ventajas suplementarias:

1ª) La capacidad con el substrato disminuye.

2ª) Se forma un nuevo diodo PN entre la base y la zona·N adyacente al substrato. Este nuevo diodo puede actuar como D_1 ó D_2 correspondientes a la figura 10-4, con lo que se elimina un componente integrado y en consecuencia se reduce la capacidad del conjunto de forma que $C_{s2} < C_{s1}$, lo que proporciona una mayor rapidez.

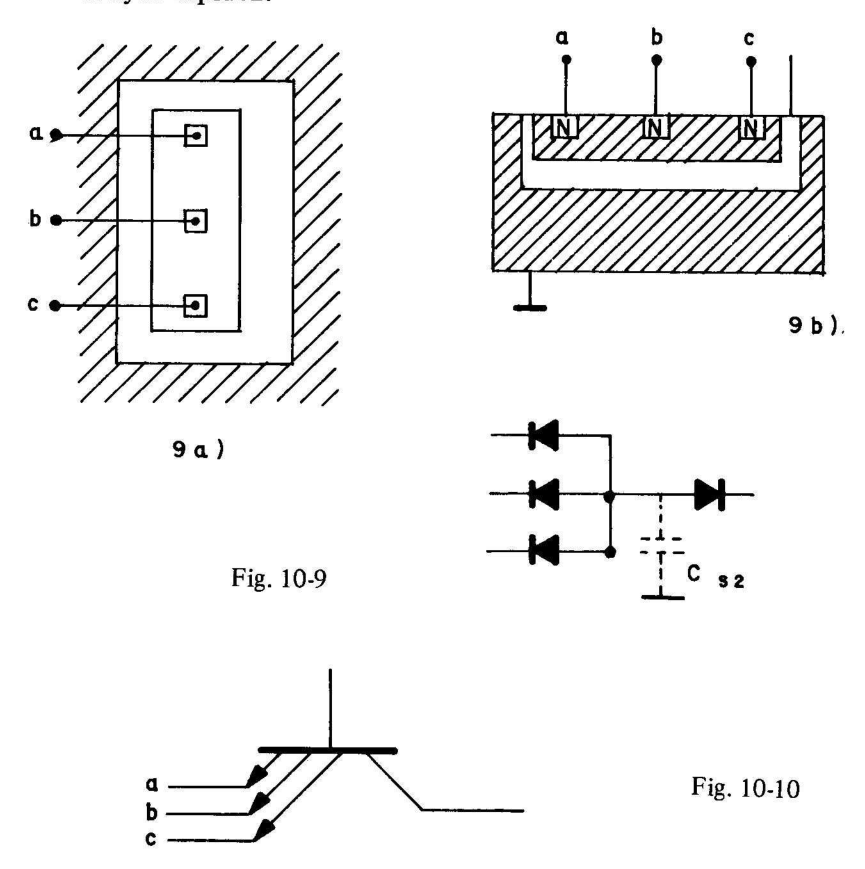


Fig. 10-9

Fig. 10-10

Obsérvese en la figura 10-9 b), que se ha formado un transistor multiemisor, tal como se muestra en la figura 10-10.

Existe la posibilidad, figura 10-11, de que T_1 ofrezca un camino de baja impedancia, desde la base de T_2 a tierra, funcionando como transistor en la zona activa y produciendo por esta razón, una extracción más rápida de la carga almacenada en la base de T_2 durante la saturación. Por lo tanto son abundantes las ventajas que ofrece el circuito de la figura 10-11 sobre el DTL.

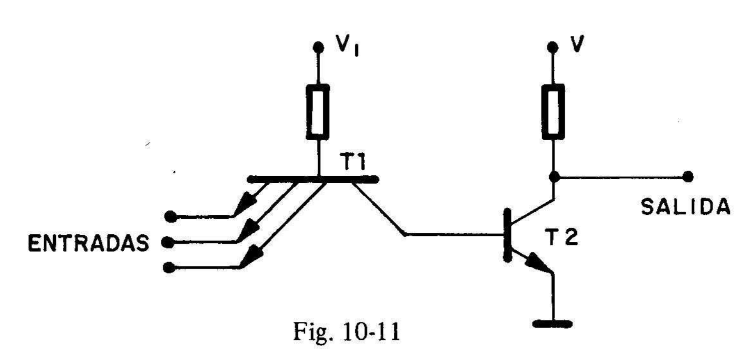


Fig. 10-11

PUERTA TTL BASICA. FUNCIONAMIENTO

La figura 10-12 ofrece el esquema de una puerta TTL y en ella se indican los valores más característicos de los componentes y la tensión de alimentación.

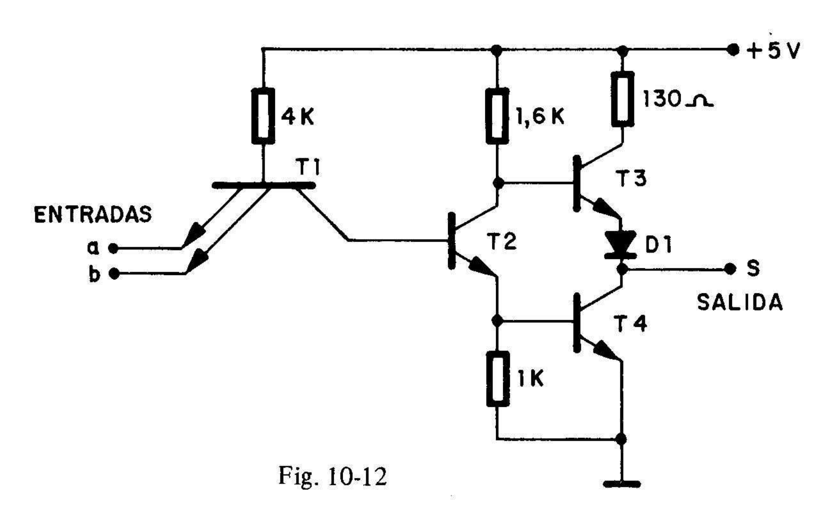


Fig. 10-12

Por lo general los niveles lógicos que se emplean con la tecnología TTL son positivos, correspondiendo el nivel alto ó 1, a la tensión positiva más elevada, que oscila entre 2 y 5 V y el nivel bajo, ó 0, a un voltaje comprendido entre 0 y 0,8 V.

La tensión en la base de T_1 no puede superar los 2,1 V, ya que el circuito visto desde la base de T_1 consta, hasta llegar a tierra, de las uniones B-C de T_1, B-E de T_2 y B-E de T_3.

En la figura 10-13 se refleja la situación del circuito de una puerta básica TTL cuando en todas sus entradas existe un nivel lógico alto, o sea, tensiones superiores a 1,6-1,7 V.

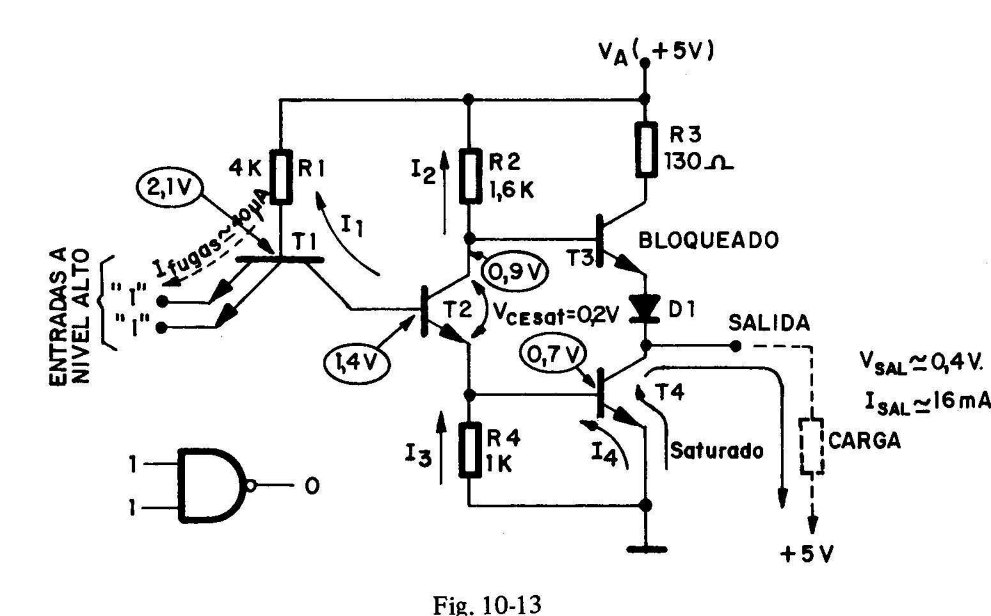


Fig. 10-13

Con respecto a los valores mostrados en la figura 10-13, se puede deducir lo siguiente:

$$I_1 = \frac{V_A - V_{BC}(T_1) - V_{BE}(T_2) - V_{BE}(T_4)}{R_1} = \frac{5 - 0{,}7 - 0{,}7 - 0{,}7}{4.000} = 0{,}72 \text{ mA}$$

$$I_2 = \frac{V_A - V_{CE}(T_2) - V_{BE}(T_4)}{R_2} = \frac{5 - 0{,}2 - 0{,}7}{1.600} = 2{,}56 \text{ mA}$$

$$I_3 = \frac{V_{BE}(T_4)}{R_4} = \frac{0{,}7}{1.000} = 0{,}7 \text{ mA}$$

$$I_4 = I_1 + I_2 - I_3 = 0{,}72 + 2{,}56 - 0{,}7 = 2{,}58 \text{ mA}$$

T_3 estará en estado de corte, o bloqueado, puesto que:

$$V_B(T_3) = V_B(T_4) + V_{CE\,SAT}(T_2) = 0{,}7 + 0{,}2 = 0{,}9 \text{ V}.$$

Por otra parte, la tensión en la salida de la puerta lógica será de 0,2 V, al estar saturado T_4. Entonces $V_B\ T_3 - V_{salida} = 0{,}7$ V tensión insuficiente para hacer conducir la unión B-E de T_3 en serie con el diodo D_1.

T_1 está trabajando en esta forma, en modo inverso, ya que tiene sus uniones B-E polarizadas inversamente, mientras que la unión B-C está polarizada directamente y en estas circunstancias la β inversa es muy pequeña, alrededor de 0,05. En consecuencia la corriente entrante por los emisores de T_1, conectados a nivel alto será muy pequeña: I_{in} "1" < 40 μA, para V_{in} "1" $\approx$ 2,4 V.

A continuación se describe lo que sucede cuando una de las entradas al circuito TTL pasa a nivel bajo, situación que se refleja en la figura 10-14.

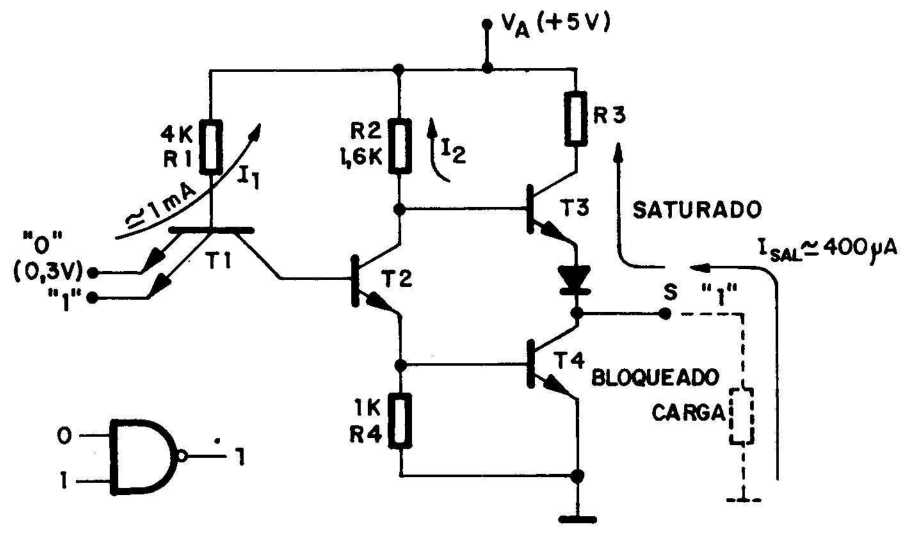


Fig. 10-14

El transistor T_1 conduce en sentido directo en la figura 10-14, puesto que tiene polarizada directamente una unión B-E. Al circular una corriente importante por el colector de T_1, disminuye rápidamente la carga almacenada en la base de T_2, así como en la capacidad parásita C_{CS} ya comentada. Esta forma de trabajo de T_1 es lo que proporciona una excelente velocidad a la familia TTL.

Si se supone que V_{in} = 0,3 V, se obtiene:

$$I_1 = \frac{V_A - V_{BE}(T_1) - V_{in}}{R_1} = \frac{5 - 0,7 - 0,3}{4.000} = 1 \text{ mA}$$

La escasa tensión en el colector de T_1, origina el bloqueo de T_2, así como el de T_3 ya que no circula corriente por la resistencia que polariza la base de este último, o sea R_4. En consecuencia, en el colector de T_3, que constituye la tensión de salida, existirá un nivel alto cuyo valor será:

$$V_S = V_A - I_2 \cdot R_2 - V_{BE}(T_3) - V_{diodo}$$

I_2 alcanza un valor cercano a los 20 μA y por lo tanto, la tensión de salida tendrá una tensión comprendida entre 3,5 y 4 V, es decir, proporcionará un nivel lógico "1".

Puede parecer extraño en las dos figuras anteriores, que cuando a la salida de la puerta existía un nivel bajo, la carga estuviese conectada a +5 V, mientras que cuando existía nivel alto la carga estaba conectada a tierra. La explicación puede hallarse teniendo en cuenta la conexión de la salida de una puerta a la entrada de otra, que se comporta de forma diferente según sea el nivel que salga de la primera puerta, tal como se refleja gráficamente en la figura 10-14 b).

Los aspectos más importantes de la puerta TTL, pueden resumirse en los siguientes:

1°) El transistor multiemisor de entrada, T_1, responde a los cambios lógicos de las entradas, realizando la función de un conmutador que suministra corriente a base de T_2 en unos casos y en otros retira la carga almacenada en la base de T_2 y en la capacidad parásita C_{CS} existente entre el colector de T_1 y el substrato.

2°) El transistor T_2 trabaja como amplificador saturable y su misión consiste en suministrar alternativamente corriente a las bases de T_3 y T_4.

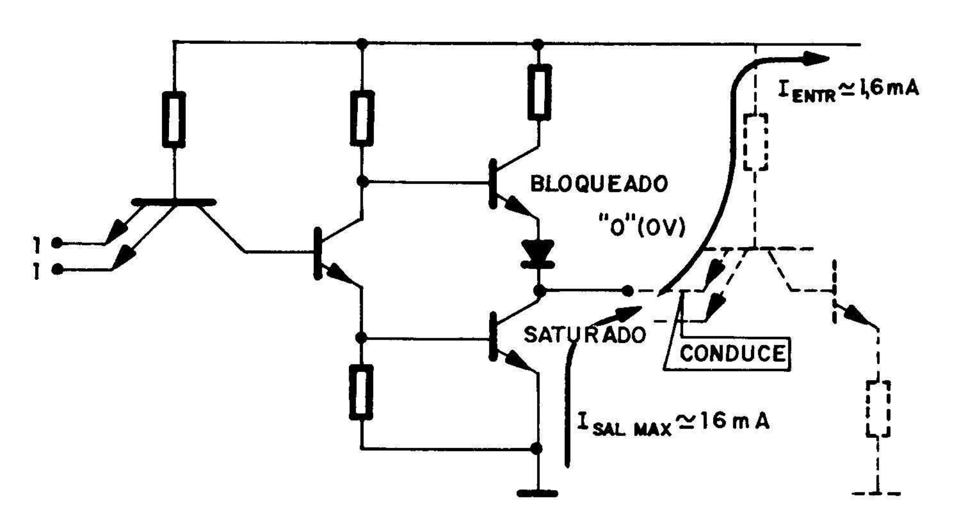


Fig. 10-14 a

UNA SALIDA PUEDE ALIMENTAR 10 ENTRADAS

Fig. 10-14 b

3) El transistor T_3, junto con el diodo y el transistor T_4, forman la salida, tipo "totem-pole", con lo cual T_4 funciona como seguidor de emisor, dando lugar a una impedancia baja, lo que permite poder funcionar con altas cargas capacitivas, conservando la velocidad. Además el diodo evita que T_3 conduzca cuando T_4 está en saturación, al ofrecerle una alta impedancia de carga a su colector.

4°) Cuando T_4 está saturado, deriva a masa la corriente saliente de las entradas de otras puertas TTL a las que se aplica un "0".

5°) La resistencia R_4 tiene por objeto retirar en el momento de la conmutación desde la saturación al bloqueo, la carga almacenada en la base de T_4.

Por consiguiente la función lógica que realiza la puerta básica TTL es una operación NAND, como se deduce de la tabla de la verdad.

a	b	S
0	0	1
0	1	1
1	0	1
1	1	0

CURVA DE TRANSFERENCIA

La figura 10-15 muestra la curva de transferencia del circuito de la figura 10-12 y representa el cambio de nivel 1 al nivel 0 en la salida, dependiendo del voltaje aplicado a las entradas A y B de la puerta TTL. Este gráfico es sólo aproximado y depende de la tensión de alimentación y de la temperatura, la cual interviene de forma relevante en las V_{BE} de los transistores.

OTROS FACTORES A TENER EN CUENTA EN LA FAMILIA TTL

El fan-out típico de la familia TTL es 10 pero está limitado por la corriente de T_4 que puede soportar, sin que se salga de la saturación.

Otro factor a tener muy en cuenta en el diseño de los sistemas digitales es el "ruido", que consiste en la aparición de tensiones parásitas pro-

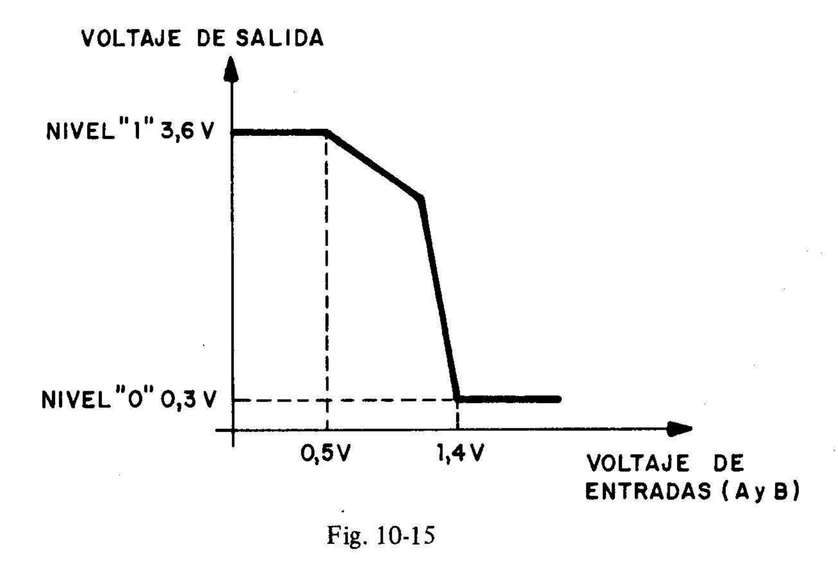


Fig. 10-15

ducidas por elementos externos al circuito por norma general y que se aplican a las entradas de las puertas lógicas.

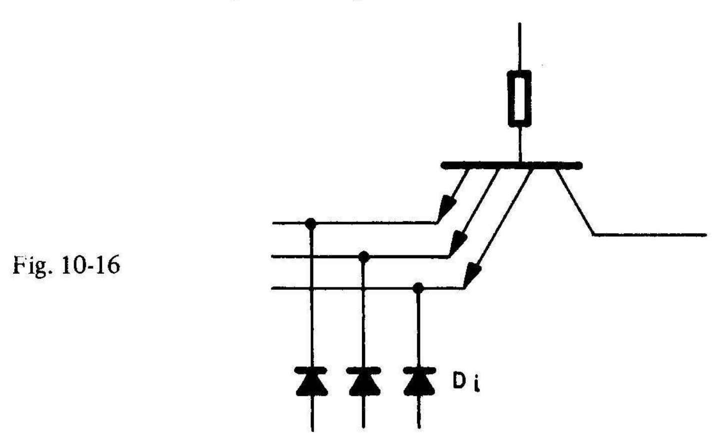


Fig. 10-16

Para evitar que en la transición de un estado lógico a otro se produzcan oscilaciones importantes se colocan unos diodos D_i, llamados "clamp" en las entradas (figura 10-16), que presentan una baja impedancia al conducir y disminuyen la Q del circuito oscilante. Estas oscilaciones son debidas a la impedancia inductiva que presentan las líneas de transmisión, que junto a las capacidades parásitas del circuito, for-

man circuitos oscilantes, que cuando se trabaja a elevada velocidad pueden producir oscilaciones parásitas que se confunden con estrechos impulsos que alteran el normal comportamiento de la puerta.

Por otra parte, en el caso de que la tensión en los emisores fuese muy elevada a consecuencia de estas oscilaciones, la corriente por ellos sería excesiva, pudiendo dañar a los transistores. Los diodos D_i fijan en dicho caso la tensión a -0,7 V, atravesando el exceso de corriente a través de ellos.

Es muy importante realizar perfectamente el acoplamiento de los elementos que proporcionan la información de las entradas al circuito electrónico. Dichos elementos pueden ser relés, interruptores, finales de carrera, detectores, etc. Para efectuar el acoplamiento de las entradas es muy interesante la colocación previa a las entradas de las puertas de circuitos flip-flop, disparadores de Schmitt, etc. Delante de la carga a excitar desde la salida de las puertas se colocan transistores, circuitos Darlington o elementos separadores o aislantes, de acuerdo con el consumo que precisa la carga final.

La velocidad típica de propagación de la familia TTL es de 10 ns y la potencia disipada de unos 12 mw.

OTRAS PUERTAS TTL

Una de las grandes ventajas de la familia TTL es su flexibilidad lógica. Realizando pequeñas modificaciones en la puerta básica NAND, se obtienen otras funciones del álgebra de Boole.

El esquema de una puerta AND, TTL, es el que se ofrece en la figura 10-17, que consiste en una puerta NAND a la cual se intercala un inversor. La etapa inversora está contenida entre las líneas punteadas.

La configuración indicada en la figura 10-17, contempla desde el colector de T_1 a dos uniones B-E, de forma análoga a lo que sucedía con la puerta NAND, para proporcionar unas características de entrada similares. Se prefiere colocar el diodo D_2 conectado al colector de T_6 en lugar de conectar dicho colector con la alimentación a través de una resistencia, ya que una resistencia ocupa más espacio que un diodo en el proceso de integración.

En esta puerta son valores típicos 15 ns de velocidad de propagación y 22 mW de disipación.

La puerta NOR TTL, sigue el esquema de la figura 10-18. En esencia consiste en colocar varias entradas de puertas NAND en paralelo conectando el conjunto a una única salida en "totem-pole".

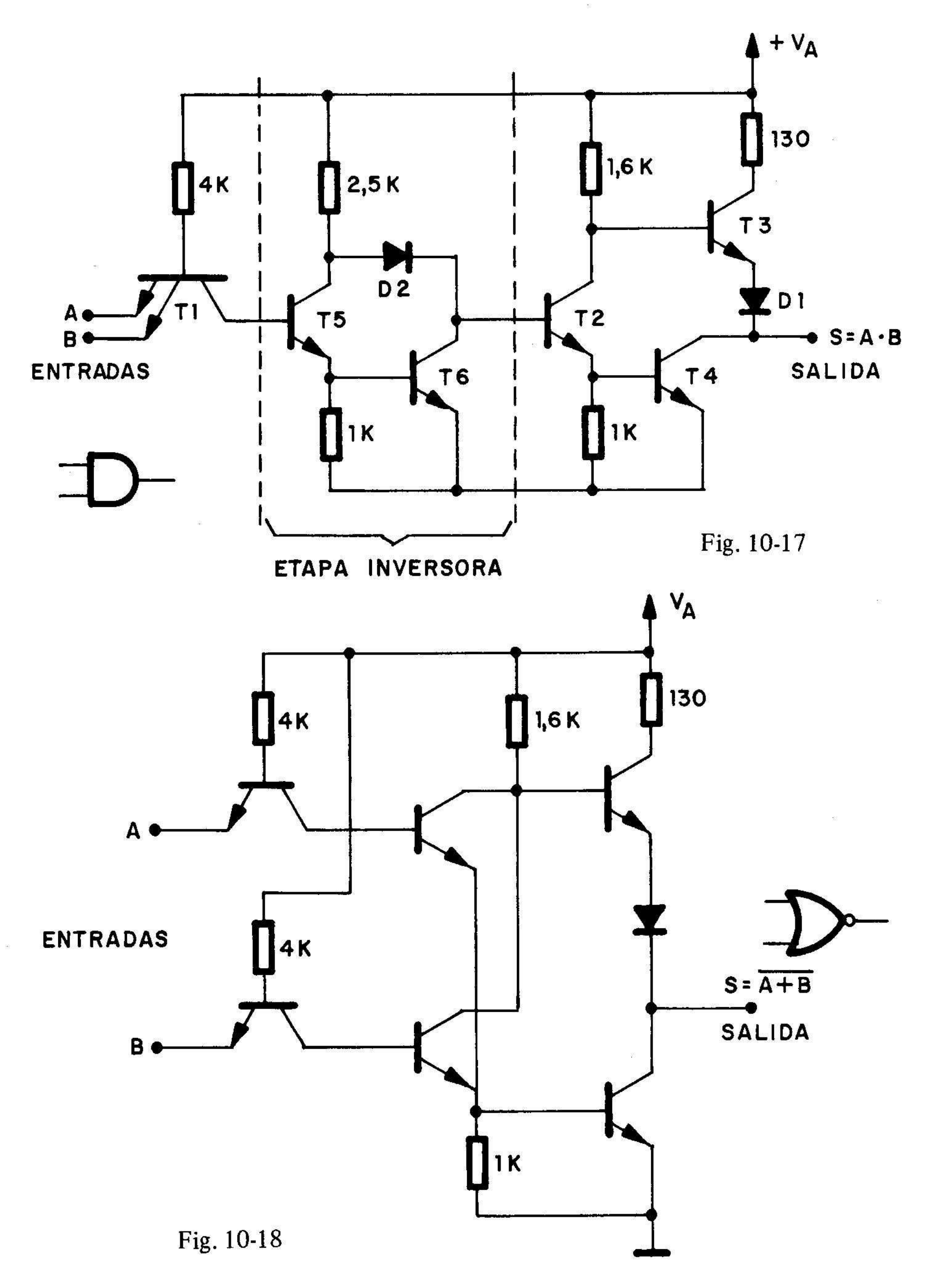


Fig. 10-17

Fig. 10-18

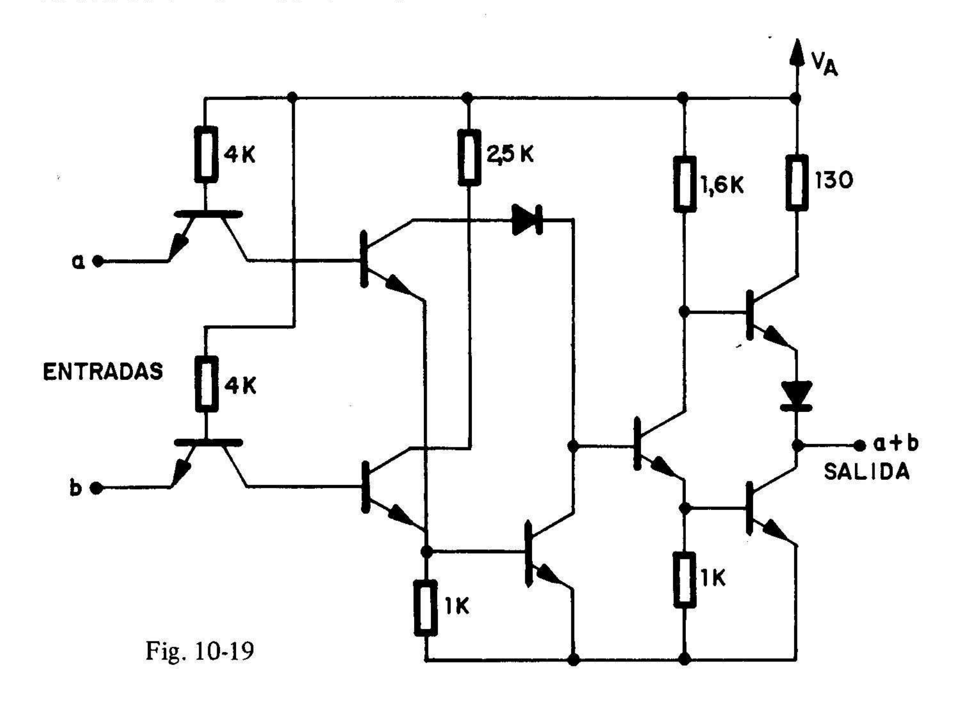


Fig. 10-19

El esquema de una puerta OR, TTL, se muestra en la figura 10-19 y consiste en una puerta NOR con un inversor intercalado.

PUERTAS TTL ESPECIALES

Existen una serie de puertas especiales con las que se trata de cubrir una gama de requisitos específicos.

Así por ejemplo, la serie TTL de tres estados, o triestado, posee un circuito de inhibición, que origina además de los estados lógicos alto y bajo, un tercer estado de alta impedancia o flotante, en el cual la salida ofrece una elevada impedancia, sin guardar ninguna relación con tierra ni con la tensión de alimentación. Las puertas TTL de esta serie funcionan normalmente cuando la entrada de inhibición está a nivel bajo, pero si en dicha entrada se aplica un nivel alto, la salida de la puerta queda en estado de alta impedancia. La figura 10-19 bis, muestra el símbolo de este tipo de puertas, la tabla de la verdad, su símil eléctrico y la ventaja que ofrecen al poder conectar a una misma línea varias salidas de puertas triestado.

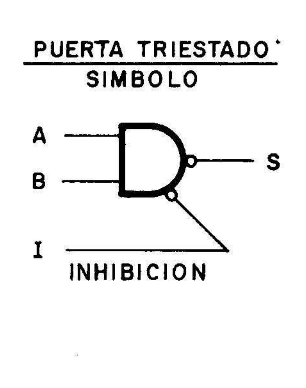
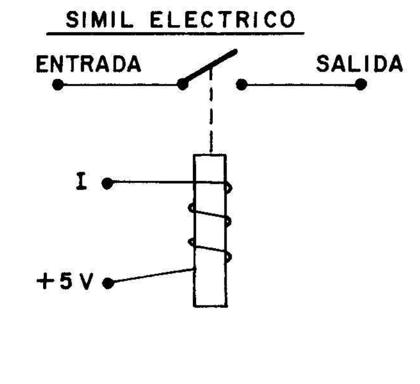


TABLA DE LA VERDAD

A	B	I	S
0	0	0	1
1	0	0	1
0	1	0	1
1	1	0	0
0	0	1	FLOTANTE
1	0	1	"
0	1	1	"
1	1	1	"



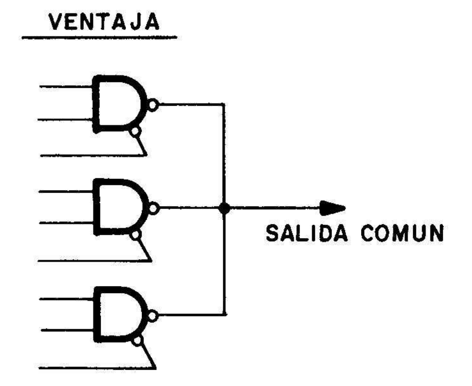


Fig. 10-19 bis

Una subfamilia TTL, es la TTL de alta velocidad, en la cual modificando algunos elementos del circuito básico, se reducen en lo posible las dos causas principales del retardo de propagación, o sea, el tiempo de almacenamiento de los dispositivos activos y las constantes de tiempo del circuito. Para combatir el primer factor, se dopan con oro los transistores, lo cual favorece la recombinación de cargas. La segunda causa se combate reduciendo el valor de las resistencias, lo cual plantea una mayor disipación.

La TTL de bajo consumo se emplea en circuitos en los que se requiera un bajo consumo. El circuito correspondiente a esta subfamilia TTL se muestra en la figura 10-20.

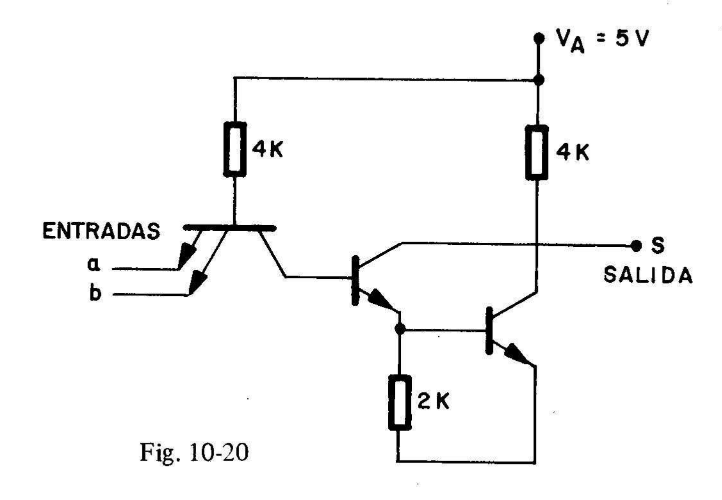


Fig. 10-20

Como el transistor de salida forma parte de un circuito Darlington, se consigue que no se sature. Su disposición es de unos 7 mW. El principal inconveniente es la elevada impedancia de salida a nivel alto, que constituye un grave problema si ha de excitar cargas con componente capacitiva.

FAMILIA ECL

Lógica de emisor acoplado (Emitter Coupled Logic). Se trata de una familia no saturada, es decir, sus transistores en ningún momento trabajan saturados. Esta característica confiere a esta familia la máxima rapidez. La figura 10-21 muestra la configuración típica de la puerta ECL.

El el circuito de la figura 10-21, se aprecian tres partes muy diferenciadas:

1ª) Los transistores de entrada en paralelo forman un par diferencial con el transistor T_2.

2ª) Un circuito de tensión de referencia, formado por T_4 los diodos y las resistencias asociadas. Este conjunto tiene la misión de conseguir en la base de T_2 una tensión fija.

3ª) Etapa de salida. Son etapas en modo de colector común, que reducen la impedancia de salida y acomodan los niveles de salida para que sean compatibles con los de entrada.

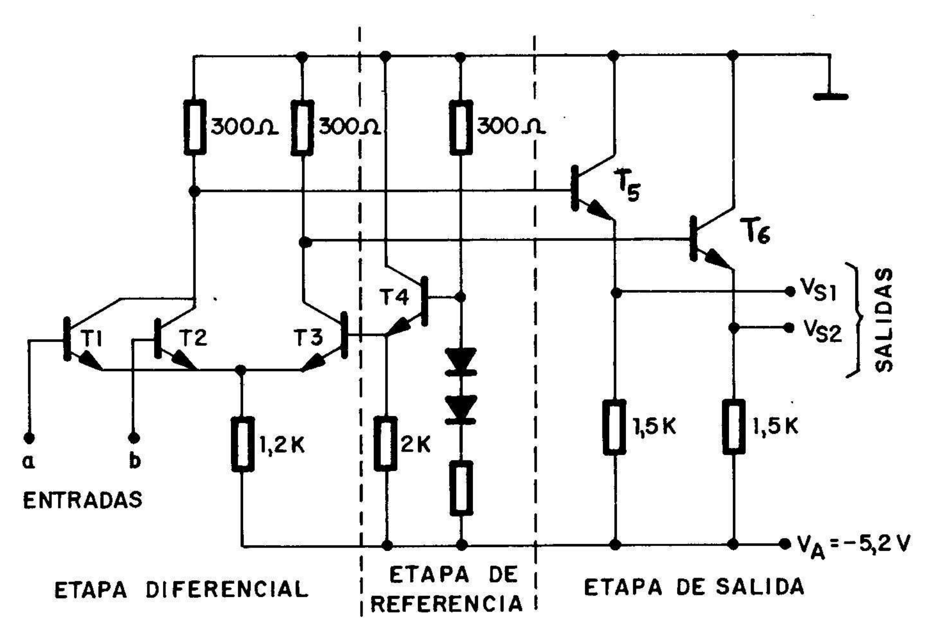


Fig. 10-21

El funcionamiento del circuito es el siguiente:

El circuito de tensión de referencia, fija el voltaje en la base de T_3 a $V_B(T_3) = V_{ref} = -1{,}15$ V.

Si las entradas están a nivel bajo, T_3 conduce y su emisor está a una tensión de -1,85 V. El nivel bajo se alcanza cuando la tensión es inferior a -1,5 V. La tensión de emisor de T_3 es la misma que tienen los emisores de T_1 y T_2, por lo que al estar polarizados inversamente dichos transistores están bloqueados. En este caso las tensiones de salida V_{S1} y V_{S2}, serán:

$$V_{S1} = V_E(T_5) = I_B(T_5) \cdot 300 - V_{BE}(T_5) = 0{,}7 \text{ V}$$

$I_B(T_5)$ se considera despreciable

$$V_{S2} = V_E(T_6) = V_C(T_3) - V_{BE}(T_6)$$

$$V_C(T_3) \cong -I_C(T_3) \cdot 300$$

$$I_C(T_3) \cong I_E(T_3) = \frac{V_A - V_E(T_3)}{1.200} = \frac{5{,}2 - 1{,}85}{1.200} = 2{,}8 \text{ mA}$$

$$V_{S2} = -I_C(T_3) \cdot 300 - 0{,}7 = -1{,}54 \text{ V}$$

$$V_{S1} = -0{,}7 \text{ V}$$

$$V_{S2} = -1{,}54 \text{ V}$$

Si a una de las entradas (a) se aplica un voltaje de -0,7 V, o sea, un nivel lógico 1, T_1 se polariza directamente, dando lugar a que el emisor alcance -1,4 V con lo cual se bloquea T_3. Esto da lugar a que la salida S2 quede a una tensión de -0,7 V. La corriente que circula por el emisor de T_1 será:

$$I_E(T_1) = \frac{5{,}2 - 1{,}4}{1.200} = 3{,}16 \text{ mA}$$

$$I_C(T_3) \cong I_E(T_1) \quad \alpha \quad V_C(T_3) = -I_C(T_3) \cdot 300 = -0{,}95 \text{ V}$$

$$V_{S1} = -0{,}95 - 0{,}7 = -1{,}65 \text{ V (nivel ``0'')}.$$

La tabla de la verdad será por tanto la siguiente:

a	b	S1	S2
0	0	1	0
0	1	0	1
1	0	0	1
1	1	0	1

La salida S1 responde a la función NOR, mientras que S2 responde a la función OR.

La familia ECL es la más rápida de las estudiadas y el tiempo típico de propagación es de 4 ns, aunque hay subfamilias que alcanzan 1 ns.

También es interesante las salidas complementarias que presenta esta familia.

Sin embargo, tiene varias desventajas:

– Tiene diferentes niveles lógicos, lo que representa una incompatibilidad con otras familias. Este problema puede solventarse mediante el empleo de circuitos de acoplo y el empleo de dos fuentes de alimentación.

– Posee una elevada disipación de potencia de 40 mW.
– Presenta problemas de cableado y capacidades parásitas, dadas las elevadas frecuencias a las que trabaja esta familia.

FAMILIA MOS

En realidad son varias las familias agrupadas bajo el término de MOS. La subdivisión viene determinada por la tecnología empleada en la fabricación de los transistores MOS utilizados. En estos momentos, existen en el mercado las familias N-MOS, P-MOS, C-MOS y otras de tecnología más compleja, como las MNOS, MAOS, ATMOS, FAMOS, etc.

Existe una tendencia creciente al empleo de las diferentes familias MOS, que puede desbancar del primer puesto que ha ocupado durante muchos años la familia TTL.

A pesar de existir transistores MOS de enriquecimiento y de empobrecimiento, para la construcción de los circuitos lógicos se emplea únicamente los primeros debido a que presentan la misma polaridad en graduador y drenador, lo que posibilita los acoplos directos entre las etapas.

En principio se pasa a examinar una célula elemental empleada en la implementación de las puertas. El circuito de la figura 10-22 representa un inversor con transistores PMOS, en el que T_2 actúa como carga de

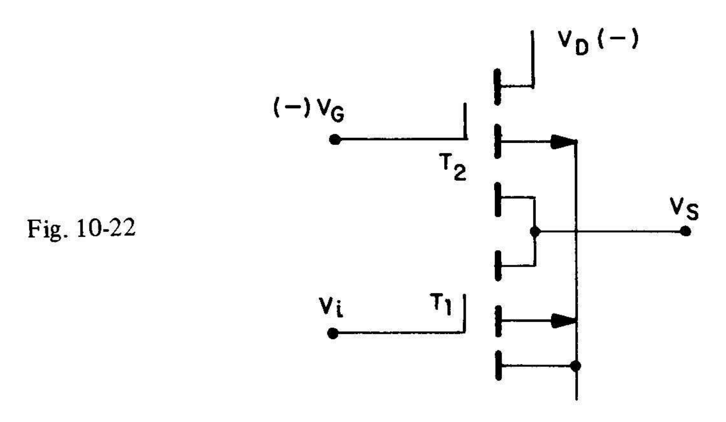


Fig. 10-22

T_1. Como en la familia MOS se utiliza normalmente alimentación negativa, en ella es usual emplear la lógica negativa, que consiste en asignar el nivel lógico alto o "1" a la tensión más negativa y el nivel "0" a la menos negativa.

Si existe en el graduador de T_2 una tensión negativa adecuada, se pasa a describir lo que sucede cuando se aplica a V_i un nivel lógico "1". En tal caso, T_1 conduce y en V_S aparece una tensión próxima a 0 V, es decir un nivel lógico "0". En cambio, si aplicamos un nivel lógico "0" a V_i, T_1 se bloquea con lo que V_S pasa a tener una tensión próxima a $-V_D$, o sea, un nivel lógico "1". Esto significa que el circuito descrito se comporta como un inversor.

El inversor con transistores C-MOS responde al mostrado en la figura 10-23, en la cual dos transistores complementarios (P-MOS y N-MOS) tienen conectados entre sí sus drenadores, tomándose como salida dicho punto de unión. Al emplearse ahora alimentación positiva, se emplea consecuentemente la lógica positiva.

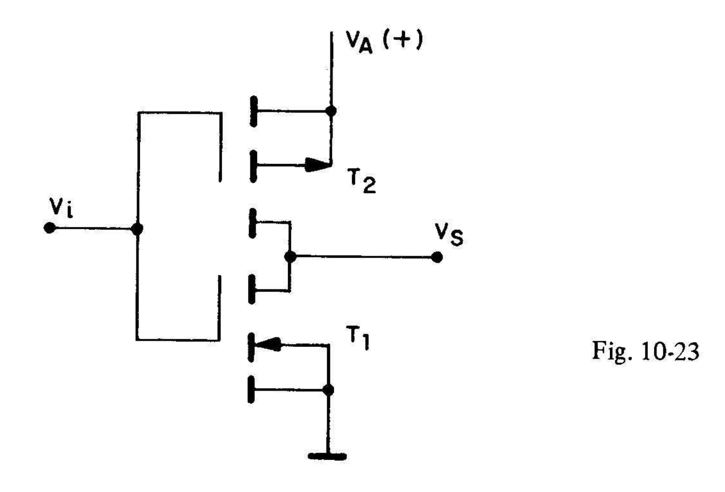


Fig. 10-23

El funcionamiento del circuito de la figura 10-23 es el siguiente: Si V_i recibe un nivel lógico "0" entonces:

$$V_{GST_1} = V_i < V_{TH1}$$

es decir, la tensión entre graduador y surtidor del transistor T_1 (N-MOS) es menor que la tensión de umbral, lo que produce el corte de T_1, mientras que en T_2 sucede que:

$$V_{GST_2} = V_i - V_A = - V_A$$

Como T_2 es de tipo P-MOS y $-V_A$ es mayor que la tensión de umbral, T_2 conduce y $V_S = V_A$ = nivel "1"

Si se aplica un nivel "1" a V_i, entonces:

$$V_{GST_1} = V_i > V_{TH1}$$

y T_1 pasa a conducción. Por su parte:

$$V_{GST_2} = V_i - V_A \cong 0 < V_{TH2}$$

es decir, T_2 está cortado. De ambos hechos se deduce que $V_S \cong 0$ V.

PUERTAS CON TRANSISTORES P-MOS

Las puertas NOR están constituidas básicamente por una serie de transistores P-MOS colocados en paralelo, teniendo todos ellos como carga común; un único transistor, también P-MOS funcionando en la zona lineal, como se refleja en la figura 10-24 a. .

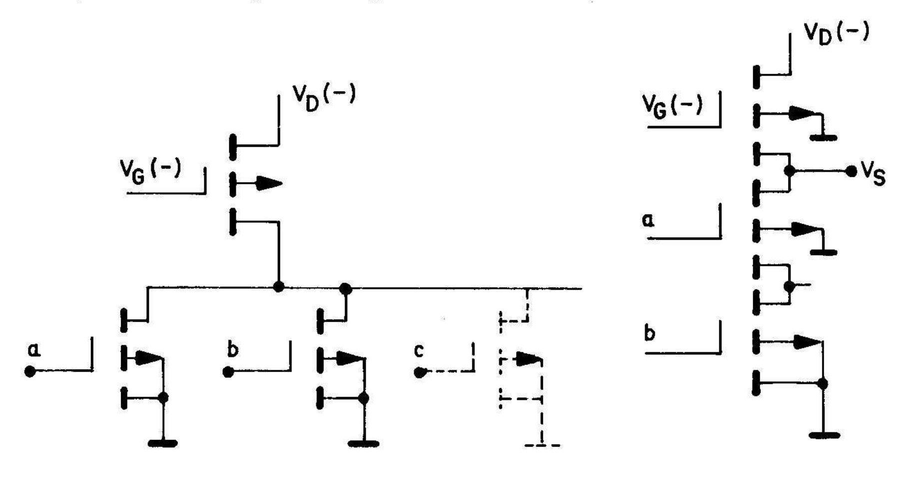


Fig. 10-24

Si una de las entradas de la figura 10-24 a, está a nivel "1", voltaje más negativo, el transistor correspondiente conducirá, con lo cual a su salida existirá un nivel "0". Sólo la salida estará a nivel "1", cuando todas las entradas estén a nivel lógico "0", ya que entonces todos los transistores de entrada estarán en corte, obteniendo a la salida aproximadamente la tensión de alimentación V_D. La tabla de la verdad será la siguiente:

a	b	S
0	0	1
0	1	0
1	0	0
1	1	0

La tabla de la verdad constata la implementación de una función NOR por parte del circuito estudiado.

La puerta NAND es similar a la anterior, excepto que los transistores de las entradas están colocados en serie, como se muestra en la figura 10-24 b).

PUERTAS C-MOS

En la figura 10-25 se muestran los esquemas de las puertas NOR y NAND que emplean la tecnología C-MOS.

Se aprecia en la puerta NOR que los transistores N-MOS están conectados en paralelo y los P-MOS en serie. Si cualquiera de las entradas está

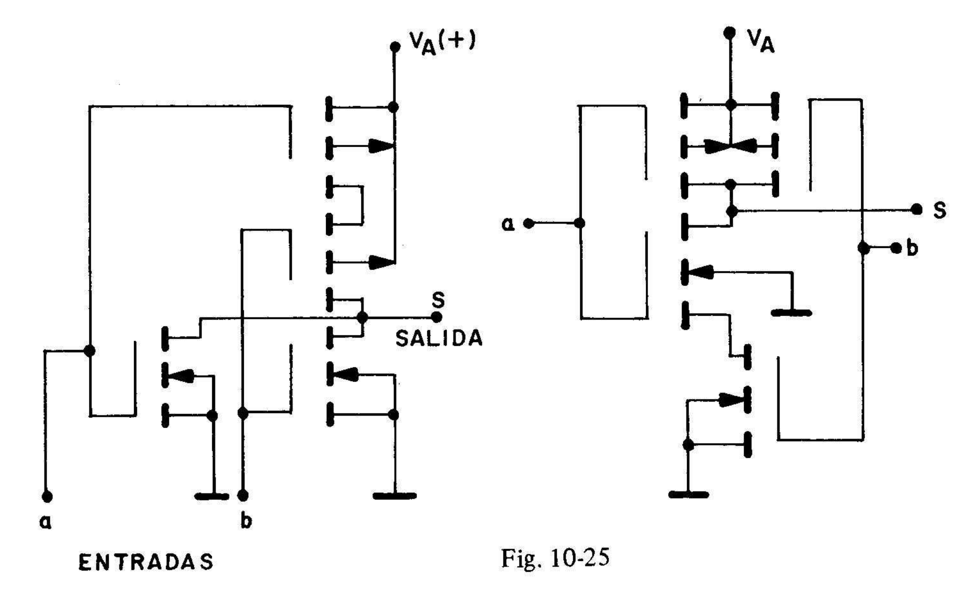


Fig. 10-25

a nivel "1" el transistor P-MOS correspondiente quedará bloqueado, mientras que el N-MOS quedará directamente polarizado, lo que ocasiona en la salida un nivel "0". Sólo cuando todas las entradas estén a nivel "0", la salida vale "1".

En el caso de la puerta NAND, figura 10-25 b), los transistores N-MOS están conectados en serie y los P-MOS en paralelo. Las ventajas más destacables de la familia P-MOS son:

- Gran densidad de integración.
- Diseño y fabricación simple
- Fan-out elevado, cuando no se pretenden grandes velocidades, dada su alta impedancia de entrada.

Las desventajas de la familia P-MOS son:

- Incompatibilidades con otras familias.
- Baja velocidad

Ventajas de la familia C-MOS:

- Disipación muy baja.
- Velocidad superior a la familia P-MOS.
- Alto fan-out.

Desventajas de la C-MOS:

- Menor densidad de empaquetamiento que la P-MOS.
- Mayor complejidad de diseño y fabricación.

OTRAS FAMILIAS LOGICAS

Actualmente la investigación en el campo de las familias lógicas se centra en dos direcciones. Por un lado se pretende mejorar los parámetros de la familias existentes y por otro la creación de nuevas familias que resuelvan los problemas específicos que plantean determinadas aplicaciones.

Caben citar por su interés las siguientes familias:

a) Familia HTL, de alta inmunidad al ruido. Se emplea principalmente en ambientes industriales con altos niveles de ruido (ruidos eléctricos).

Parámetro	Standard TTL	TTL alta velocidad	Schottky TTL	TTL bajo consumo	Bajo consumo Schottky TTL	C MOS	4-ns ECL	2-ns ECL	1-ns ECL	H T L	D T L	R T L
Tipo de circuito	← Transistor-transistor →					Complementarios MOS	← Acoplamiento por emisor →			Diodo zener transistor	Diodo-transistor	Resistencia-transistor
Lógica positiva Función del circuito básico	NAND	NAND	NAND	NAND	NAND	NOR o NAND	OR/NOR	OR/NOR	OR/NOR	NAND	NAND	NOR
Típico fanout	10	10	10	10	10	50 ó más	25	25 entradas 50 ohms	10 entradas 50 ohms	10	8	5
Voltaje de alimentación	5,0 V±10 % 5,0 V± 5 %	5,0 V±10 % 5,0 V± 5 %	5,0 V±10 % 5,0 V± 5 %	5,0 V±10 % 5,0 V± 5 %	5,0 V±10 % 5,0 V± 5 %	3 a 18 V	-5,2 V+20 % -10 %	-5,2 V+20 % -10 %	-5,2 V±10 %	15 ± 1 V	5,0 V±10 %	3,0 V±10 % 3,6 V±10 %
Típica disipación por puerta	12 mW	22 mW	19 mW	1 mW	2 mW	0,01mW estática 0,1 mW a 1 MHz	22 mW	25 mW	60 mW	55 mW	8 mW o 12 mW	12 mW
Inmunidad al ruido	muy buena	muy buena	buena	muy buena	buena	muy buena	normal	normal	normal	excelente	buena	nominal
Generación de ruido	media-alta	alta	alta	media	media	baja-media	baja-	baja-media	media	media	media	media
Retardo de propagación por puerta	10 ns	6 ns	3 ns	33 ns	9,5 ns	70 ns	4 ns	2 ns	1 ns	150 ns	30 ns	12 ns
Típica frecuencia para flip-flop	35 MHz	50 MHz	125 MHz	3 MHz	45 MHz	5 MHz	70 MHz	125 MHz	400 MHz	4 MHz	12 a 30 MHz	8 MHz
Número de funciones, grado de desarrollo de la familia	muy alto bastante estable	alto, estable	alto, creciente	alto, creciente	alto, creciente	medio creciente	medio estable	medio creciente	medio estable	nominal estable	nominal	superado por nuevas tecnologías
Precio	bajo	bajo	medio	medio	medio	medio	medio	medio	alto	medio-alto	medio	medio

Tabla 10-1. – Tabla resumen comparativa de diversas familias lógicas.

b) Familia I^2 L, de inyección integrada. Presenta una elevada densidad de empaquetamiento, con un reducido consumo. Se emplea con frecuencia en la implementación de microprocesadores. Su velocidad es menor que la familia TTL.

Finalmente cabe citar a los circuitos lógicos integrados MESFET de As-Ga, es decir, circuitos con transistores de efecto de campo con barrera metal semiconductor de arseniuro de galio. Su característica más representativa es su enorme velocidad.

En la tabla 10-1, se muestra un resumen de las características más relevantes de las familias estudiadas.

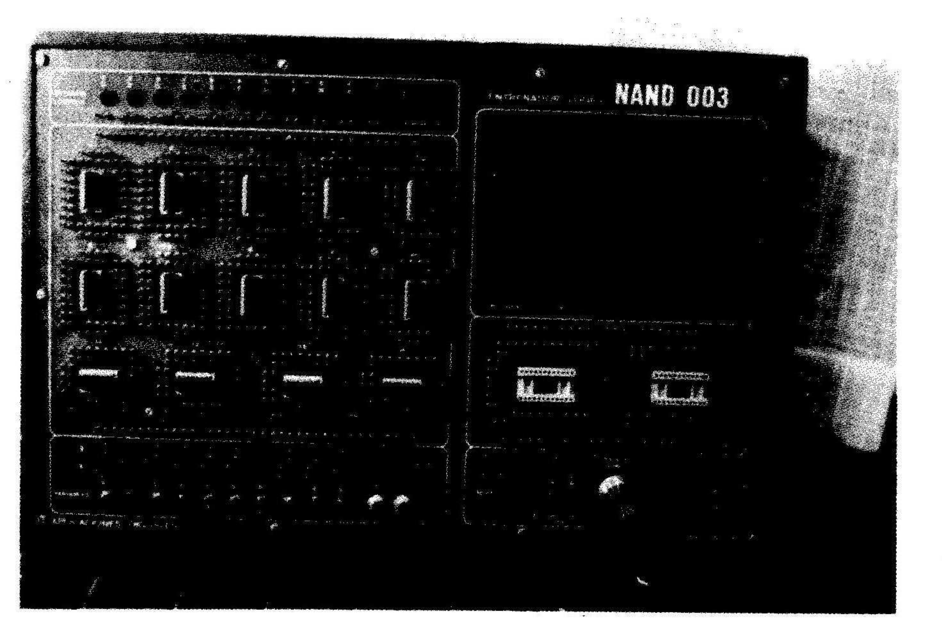


Fig. 11-1

una serie de interruptores y pulsadores que permiten la transmisión de la tensión positiva o nivel 1 a la patita que se desee y en la parte superior del entrenador hay 12 diodos emisores de luz (leds) que verifican el estado lógico 0 ó 1 de un punto cualquiera del circuito. En la parte derecha inferior hay una salida de la tensión de la fuente y un generador de onda cuadrada de frecuencia ajustable, mientras que en la inferior están colocados varios terminales entre los que se pueden colocar elementos auxiliares externos a los c.i., tales como diodos, resistencias, condensadores, etc.

Aparte de los elementos mencionados, para la realización de las siguientes prácticas sólo se precisan los c.i. de los que son objeto los análisis y pruebas y cuyo coste económico es muy bajo en el mercado, dada las grandes demanda y competencia. En la lección anterior se ha procurado presentar las características y diagramas de los c.i. empleados más importantes.

1.ª EXPERIENCIA: ANALISIS DE INVERSORES

Definición: Se denomina inversor el circuito que se encarga de invertir el nivel lógico de la tensión aplicada a su entrada. En otras palabras,

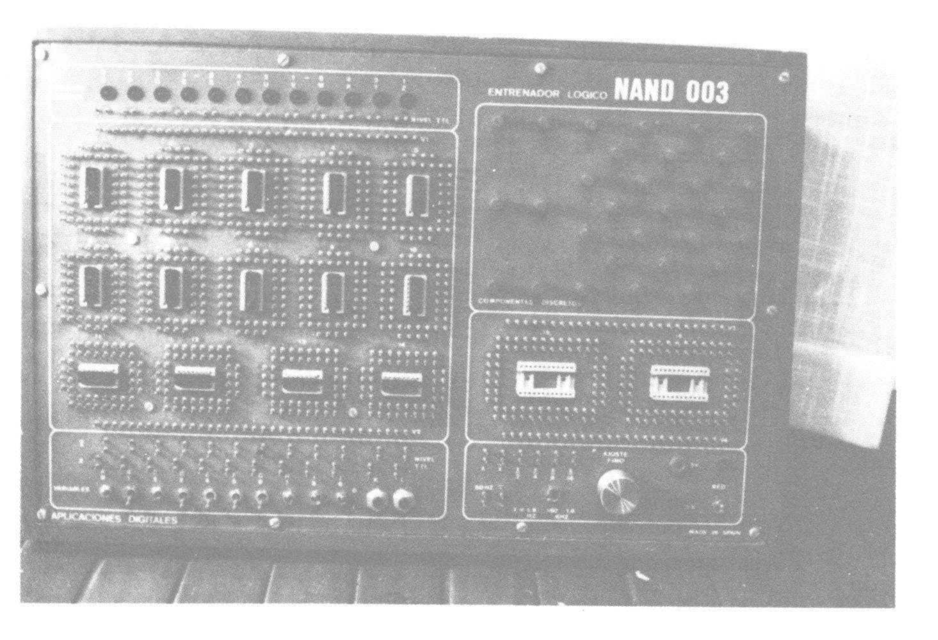


Fig. 11-1

una serie de interruptores y pulsadores que permiten la transmisión de la tensión positiva o nivel 1 a la patita que se desee y en la parte superior del entrenador hay 12 diodos emisores de luz (leds) que verifican el estado lógico 0 ó 1 de un punto cualquiera del circuito. En la parte derecha inferior hay una salida de la tensión de la fuente y un generador de onda cuadrada de frecuencia ajustable, mientras que en la inferior están colocados varios terminales entre los que se pueden colocar elementos auxiliares externos a los c.i., tales como diodos, resistencias, condensadores, etc.

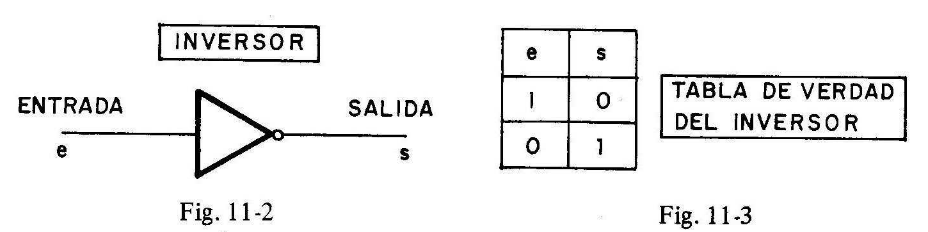
Aparte de los elementos mencionados, para la realización de las siguientes prácticas sólo se precisan los c.i. de los que son objeto los análisis y pruebas y cuyo coste económico es muy bajo en el mercado, dada las grandes demanda y competencia. En la lección anterior se ha procurado presentar las características y diagramas de los c.i. empleados más importantes.

1.ª EXPERIENCIA: ANALISIS DE INVERSORES

Definición: Se denomina inversor el circuito que se encarga de invertir el nivel lógico de la tensión aplicada a su entrada. En otras palabras,

si se aplica a una entrada un nivel 1, entrega en su salida un nivel 0, y si se aplica a la entrada un nivel 0 se obtiene en su salida un nivel 1.

Aunque teóricamente el símbolo lógico de un inversor es un circuito, en los esquemas prácticos se usa el símbolo de la figura 11-2.



e	s
1	0
0	1

Fig. 11-2

Fig. 11-3

La tabla de verdad a la que responde el inversor se expone en la figura 11-3.

Circuitos integrados que contienen inversores: Cada fabricante dispone de varios modelos, entre los que se pueden citar el SN 7404 N de Texas, así como el SN 7405 N, que se diferencia del anterior por tener la salida en circuito de colector abierto, el F9N04 de Fairchild, DM 7404 N de National, etc. La figura 11-4 presenta el esquema del SN 7404 N, cuyo detalle se encuentra en la figura 10-7.

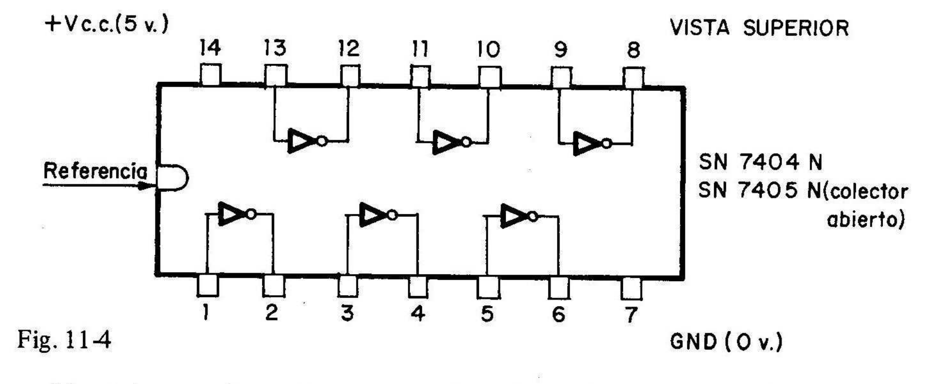


Fig. 11-4

Montaje a realizar: Para comprobar el funcionamiento del inversor se precisa de un interruptor, a través del cual se suministra tensión o nivel lógico 1, así como de dos LED colocados respectivamente a la entrada (patita 1) y a la salida (patita 2) de la puerta inversora a probar del circuito integrado SN 7404 N (figura 11-5).

En el caso de emplear el c.i. SN 7405 N, que es de colector abierto deberá añadirse una resistencia de carga *R* a la salida, según la figura 11-6.

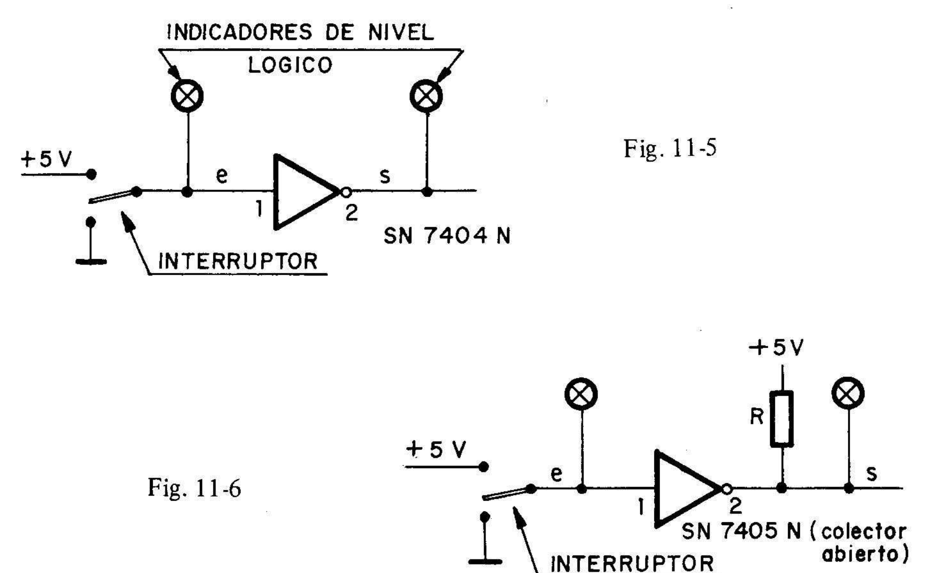


Fig. 11-5

Fig. 11-6

Doble inversión: Usando dos inversores en serie, de modo que la salida del primero se conecte a la entrada del segundo, se obtiene una doble inversión, lo que supone que la salida final, que en el montaje de la figura 11-7 es s', está con el mismo nivel lógico que la entrada e, dado que $s' = \bar{\bar{e}} = e$.

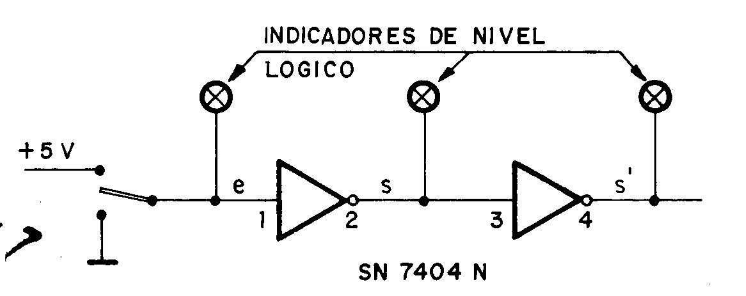


Fig. 11-7

2.ª EXPERIENCIA: ANALISIS DE PUERTAS AND

Definición: Las puertas *Y* son circuitos de varias entradas y una sola salida, caracterizadas porque necesitan disponer de un nivel 1 en todas las primeras para que también la salida adopte ese nivel.

Basta con que una o varias entradas estén a nivel 0 para que la salida suministre también dicho nivel. El símbolo representativo de una puerta *Y* de dos entradas es el de la figura 11-8.

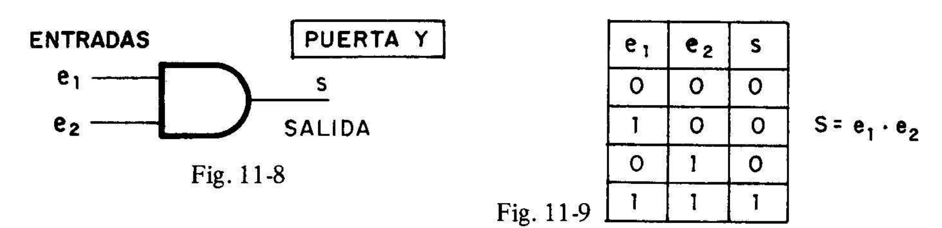


Fig. 11-8

e_1	e_2	s
0	0	0
1	0	0
0	1	0
1	1	1

Fig. 11-9

La tabla de verdad correspondiente a esta función *Y* de dos entradas es la de la figura 11-9.

Circuitos integrados que contienen puertas "Y": Con referencia a la serie 74 de Texas se pueden emplear el modelo SN 7408 N y el SN 7409 N, que presenta la misma disposición que el anterior, pero la salida la tiene con circuito de colector abierto. Su esquema se presenta en la figura 11-10, aunque más detallado se puede encontrar en la figura 10-8.

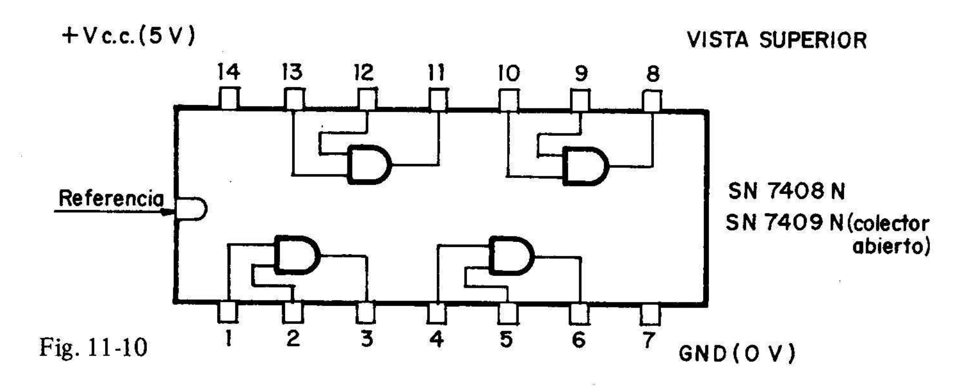


Fig. 11-10

Montaje a realizar: A través de los interruptores I_1 e I_2 se podrá aplicar a las entradas e_1 y e_2 (patitas 1 y 2 del c.i.) el nivel lógico 1 ó el 0, analizando si en la patita 3 que es la de salida se obtiene el resultado previsto por la tabla de verdad (figura 11-11).

Al igual que en la experiencia anterior, en el caso de usar el SN 7409 N en el montaje a realizar para su comprobacion, habría que incluir a la salida una resistencia de carga, por ser un circuito de colector abierto.

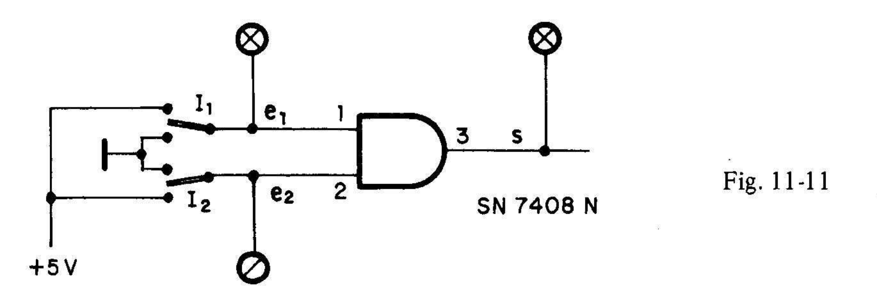


Fig. 11-11

3.ª EXPERIENCIA: ANALISIS DE PUERTAS NAND

Definición: La función *NO-Y*, llamada más comúnmente *NAND*, es la negación de la función *Y* (AND) precedente. Así como en una puerta *Y* se necesita que exista nivel 1 en todas las entradas para obtener el mismo nivel en la salida, en una *NAND* el nivel de salida sería 0 en las mismas condiciones. Por lo contrario, cuando hay un nivel 0 en alguna de las entradas de una puerta *Y* la salida está a nivel 0, mientras que en iguales circunstancias en una puerta *NAND* el nivel de salida sería 1.

El símbolo de una puerta *NAND* es el de la figura 11-12.

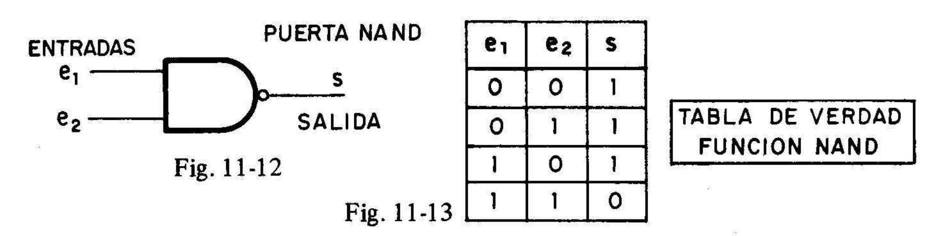


Fig. 11-12

e1	e2	s
0	0	1
0	1	1
1	0	1
1	1	0

Fig. 11-13

La tabla de verdad correspondiente a la puerta *NAND* es la que se muestra en la figura 11-13.

Un montaje práctico para conseguir realizar la función *NAND* con los elementos ya estudiados consiste en colocar en serie con una puerta *Y* del tipo SN 7408 N un inversor de tipo SN 7404 N, tal como se representa en la figura 11-14.

Si en lugar de utilizar los c.i. SN 7408 N y SN 7404 se usan los SN 7409 y SN 7405, que son similares pero con salida con colector abierto, sería necesario poner una resistencia de carga *R* tanto en la salida *S* de la 1.ª puerta *Y* como en la del inversor *S'*.

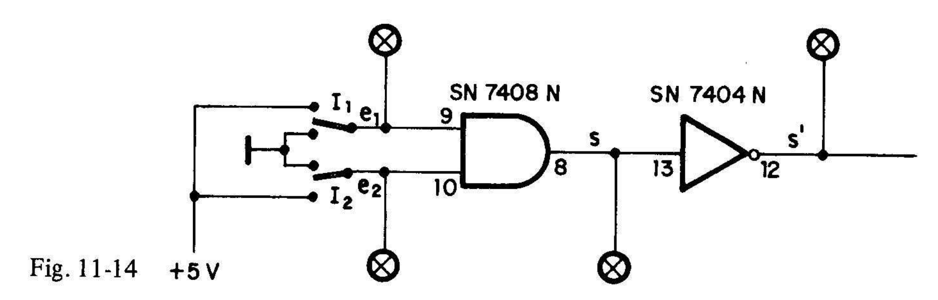


Fig. 11-14

Montaje a realizar: Para ejecutar una función *NAND* no es preciso emplear dos c.i. como se vió en la figura 11-14, sino que hay tipos que contienen directamente estas puertas, tal como el famoso SN 7400 N, que consiste en un conjunto de 4 puertas *NAND* con dos entradas cada una, como se representa en la figura 11-15.

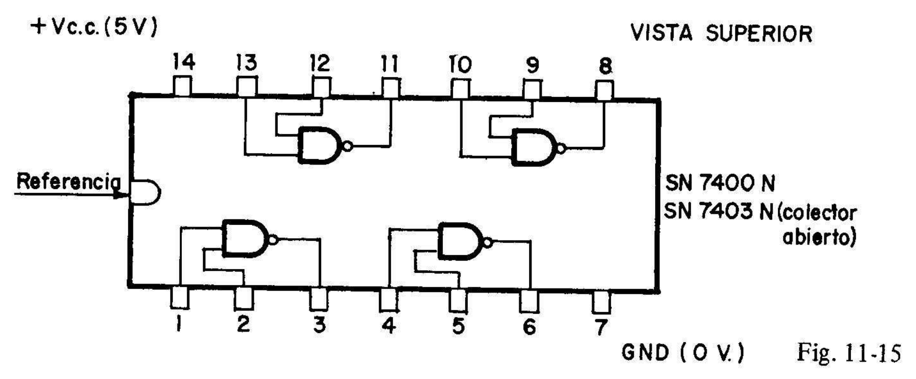


Fig. 11-15

Usando este circuito se puede comprobar una de las 4 puertas *NAND* que contiene el c.i., según el montaje mostrado en la figura 11-16.

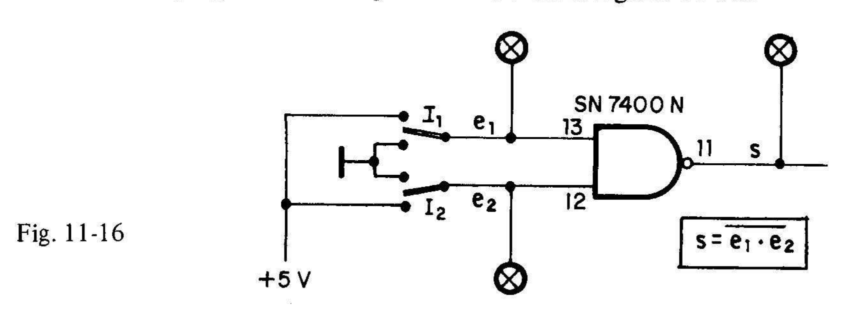


Fig. 11-16

Habrá de comprobarse el cumplimiento de la tabla de verdad usando los interruptores I_1 e I_2 para determinar el estado de las entradas.

4.ª EXPERIENCIA: ANALISIS DE LA FUNCION REUNION (O).

La función reunión, también llamada *O*, al traducir su nombre inglés OR, es la que sólo necesita que exista una de sus entrada a nivel 1 para que la salida obtenga este mismo nivel. La expresión algebraica de esta función, suponiendo que disponga de dos entradas, es la siguiente: $s = e_1 + e_2$ y el símbolo gráfico el mostrado en la figura 11-17.

Las combinaciones que simultáneamente se obtienen en las entradas y salidas de una puerta *O* se expresan en la figura 11-18 en la correspondiente tabla de verdad.

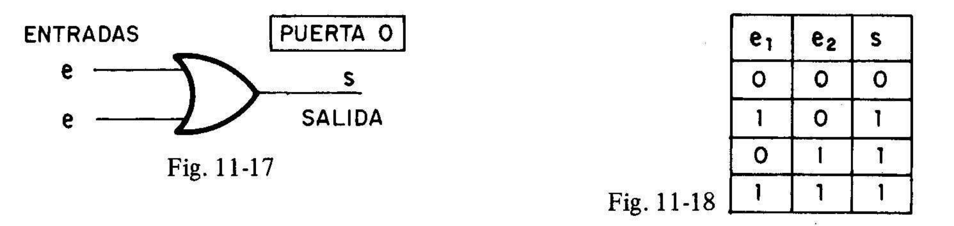


Fig. 11-17

e_1	e_2	s
0	0	0
1	0	1
0	1	1
1	1	1

Fig. 11-18

Montaje a realizar: El c.i. SN 7432 N dispone en su interior de 4 puertas *O* de dos entradas, cada una tal como se presenta en la figura 11-19.

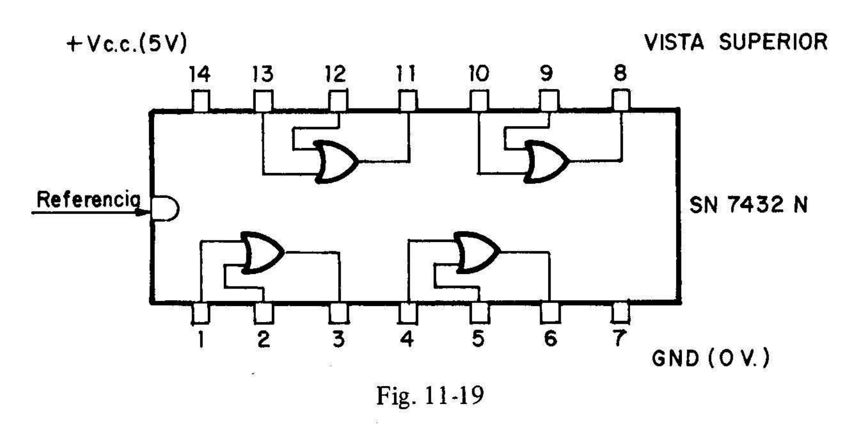


Fig. 11-19

Con este circuito puede comprobarse una puerta *O* mediante la disposición indicada en la figura 11-20.

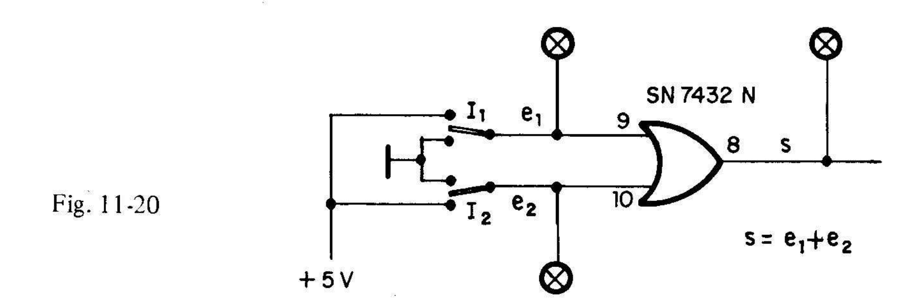


Fig. 11-20

5.ª EXPERIENCIA: ANALISIS DE UNA PUERTA NOR

La función *NOR* consiste en la negación de la *O*, o sea, así como ésta suministra nivel 1 a su salida si cualquiera de las entradas que posee está a nivel 1, una puerta *NOR* se comporta justamente al revés.

Algebraicamente una función *NOR* de dos entradas realiza la operación: $s = e_1 + e_2$ y su símbolo lógico es el de la figura 11-21.

La tabla de verdad correspondiente es la de la figura 11-22.

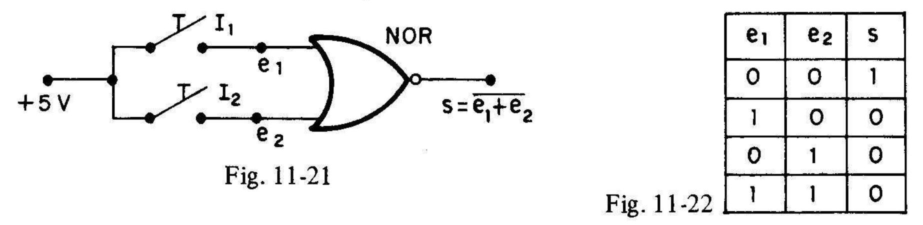


Fig. 11-21

e_1	e_2	s
0	0	1
1	0	0
0	1	0
1	1	0

Fig. 11-22

Para conseguir la función *NOR* se pueden utilizar dos circuitos integrados ya conocidos, el SN 7432 N y el SN 7404 N, que actúan como puerta *O* y como inversor respectivamente, tal como se muestra en la figura 11-23.

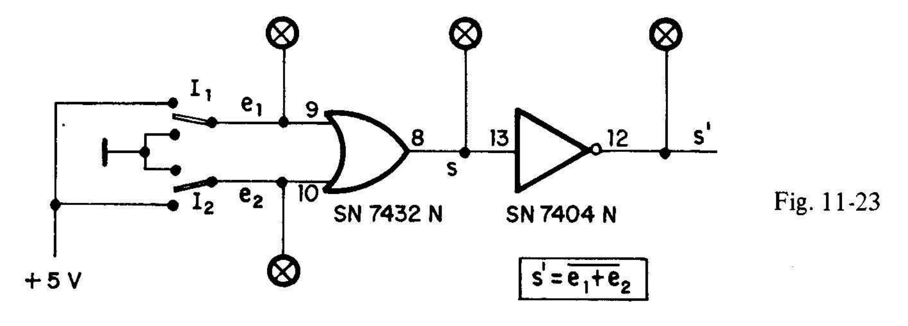


Fig. 11-23

Montaje a realizar: El c.i. SN 7402 N contiene 4 puertas *NOR* directamente, según la figura 11-24.

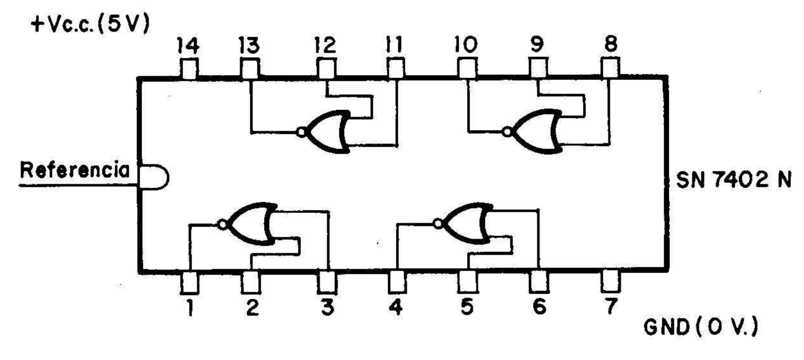


Fig. 11-24

La comprobación de una de las puertas *NOR* del c.i. expuesto requiere el esquema de montaje con el que se pueda seguir el comportamiento e identidad con la tabla de verdad (figura 11-25).

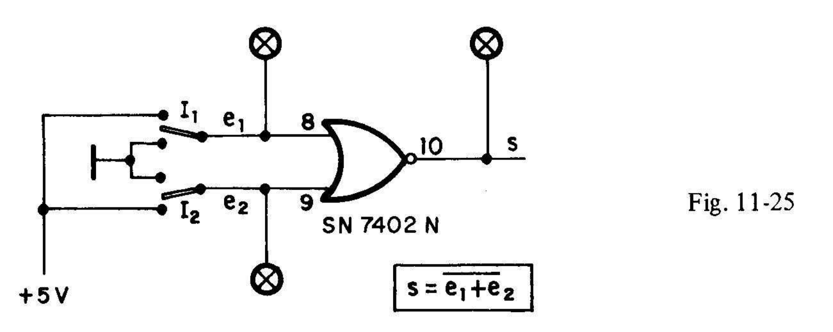


Fig. 11-25

6.ª EXPERIENCIA: ANALISIS DE LA PUERTA O EXCLUSIVA

La función *O exclusiva* ("exclusive OR" según el idioma inglés) se caracteriza porque su salida está a nivel 1 siempre y cuando también lo estén un número impar de sus entradas. En el caso de dos entradas la ecuación algebraica de esta función se representa por $s = e_1 \oplus e_2$ y el símbolo gráfico es el presentado en la figura 11-26.

La tabla de verdad correspondiente es la de la figura 11-27.

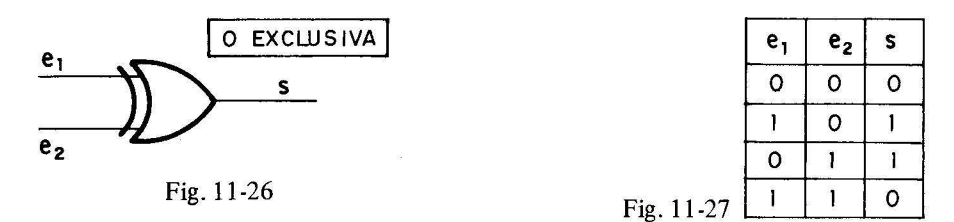


Fig. 11-26

e_1	e_2	s
0	0	0
1	0	1
0	1	1
1	1	0

Fig. 11-27

Montaje a realizar: Una de las formas de obtener la función *O exclusiva* es la mostrada en la figura 11-28.

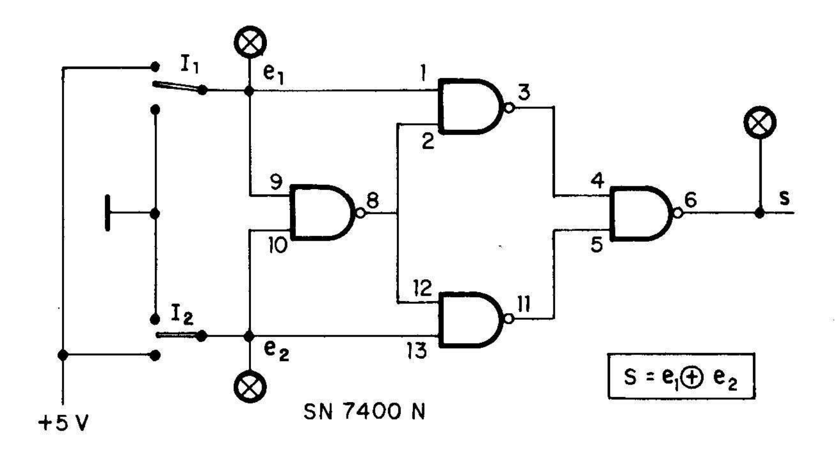


Fig. 11-28

Utilizando adecuadamente un c.i. SN 7400 N y sus 4 puertas *NAND* se puede conseguir la función *O exclusiva*.

Otra forma de poder llegar a la consecución de la función que se comenta en este epígrafe es la que se ha dibujado en la figura 11-29, mediante la conexión de los circuitos integrados SN 7404, SN 7408 y SN 7432.

Para conseguir la función *O exclusiva* de 3 entradas pueden usarse funciones *O exclusiva* de dos entradas acopladas de forma que se indica

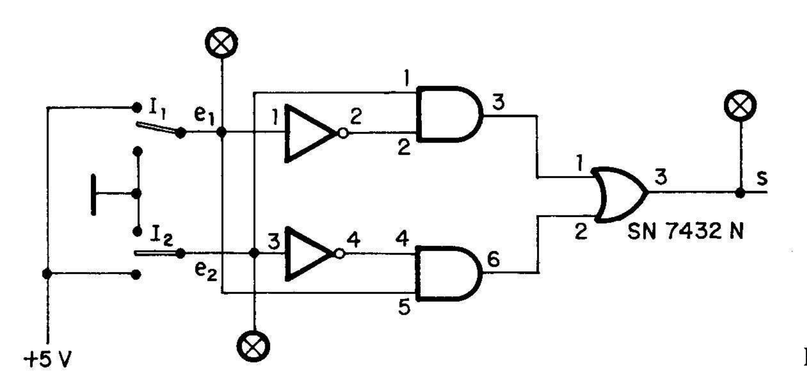


Fig. 11-29

en la figura 11-30 y para la que se ha utilizado el c.i. SN 7486 N que se detalla más adelante.

Basta realizar la tabla de verdad del circuito de la figura 11-30 para cerciorarse de que se trata de un detector de imparidad de las entradas e_1, e_2 y e_3 (figura 11-31).

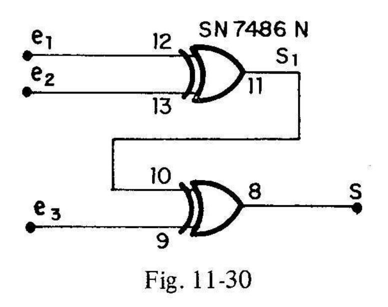


Fig. 11-30

e_1	e_2	s_1	e_3	s
0	0	0	0	0
0	0	0	1	1
1	0	1	0	0
1	0	1	1	0
0	1	1	0	1
0	1	1	1	0
1	1	0	0	0
1	1	0	1	1

Fig. 11-31

Cuando existe un número impar de niveles 1 en las entradas e_1, e_2 y e_3 habrá en la salida un nivel 1, mientras que si dicho número es par, la salida adoptará el nivel lógico O.

También se puede realizar la función *O exclusiva* mediante un único c.i. que englobe todas las puertas necesarias en un solo chip: el SN 7486 que se representa a continuación.

La comprobación de la tabla de verdad y el funcionamiento de una de sus puertas puede realizarse con el circuito de la figura 11-33.

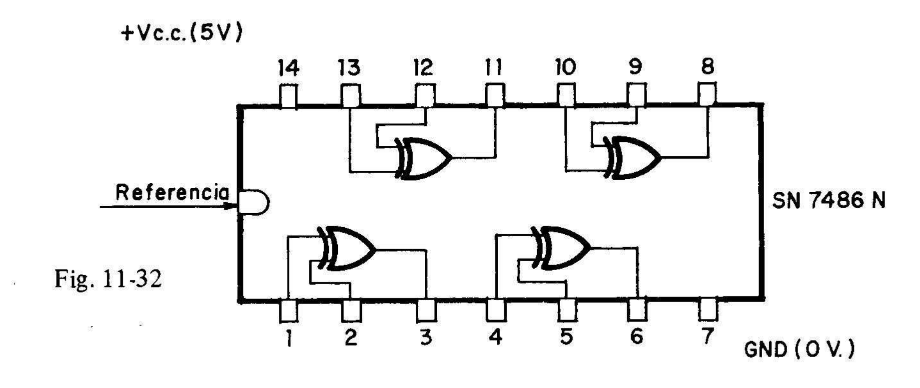


Fig. 11-32

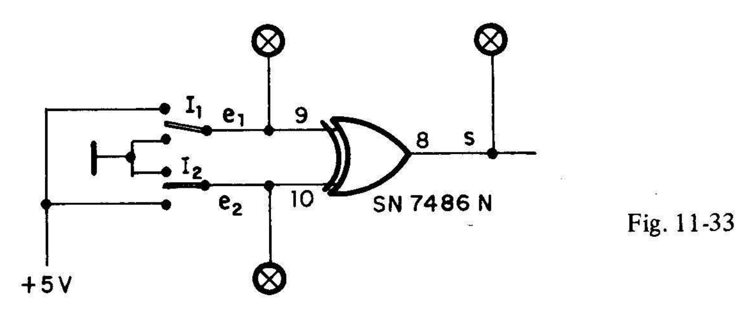
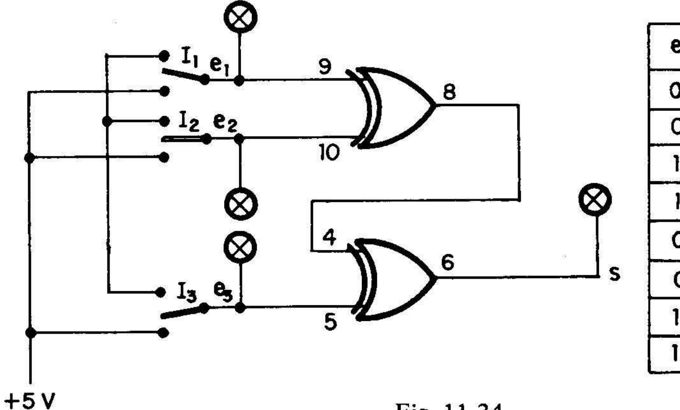


Fig. 11-33

En la figura 11-34 se presenta un circuito denominado "detector de imparidad" a base de puertas *O exclusiva*, cuyas combinaciones de los estados de las entradas producen la tabla de verdad que se incluye en dicha figura.



e_1	e_2	e_3	s
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	0
0	1	0	1
0	1	1	0
1	1	0	0
1	1	1	1

Fig. 11-34

7.ª EXPERIENCIA: ANALISIS DE LA PUERTA Y EXCLUSIVA

La función *Y exclusiva* (exclusive AND, en inglés) se emplea para verificar comparaciones entre sus entradas. En efecto, su salida presenta nivel 1 cuando sus entradas se encuentran en el mismo nivel, sin importar que dicho nivel sea 1 ó 0.

La tabla de la verdad es la de la figura 11-35.

e_1	e_2	s
0	0	1
1	0	0
0	1	0
1	1	1

Fig. 11-35

El circuito *Y exclusivo* se puede realizar con puertas *Y*, tal como se presenta en la figura 11-36.

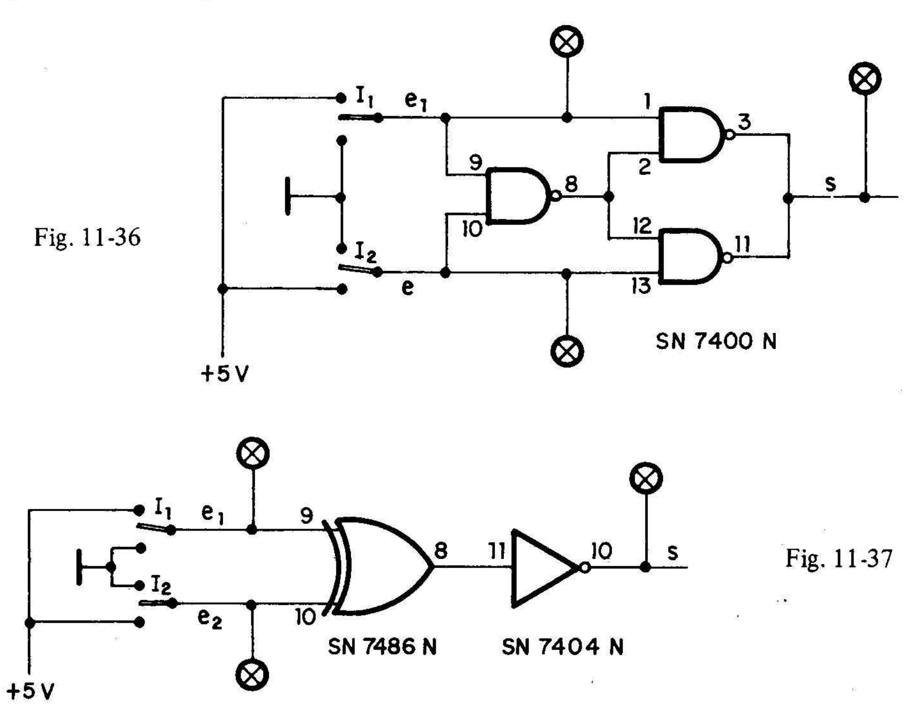


Fig. 11-36

Fig. 11-37

Es fácil comprobar que una función *Y exclusiva* se comporta como la inversa de una función *O exclusiva*, por lo que para conseguirla bastará añadir un inversor a una función *O exclusiva*, como se muestra en la figura 11-37.

8.ª EXPERIENCIA: EJERCICIOS DIVERSOS

En los ejercicios prácticos anteriores se ha realizado el estudio de las diferentes funciones lógicas básicas. Ahora se pretende realizarlas con operadores *NAND* y *NOR*.

a) Inversor: Se trata de realizar el montaje de la figura 11-38.

Su tabla de verdad viene representada en la figura 11-38 bis.

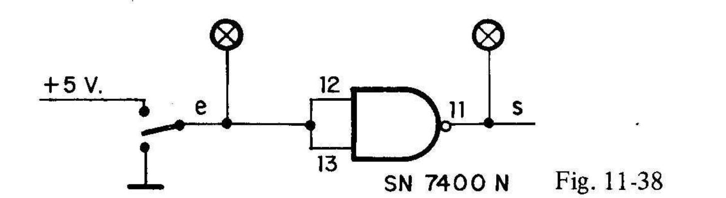
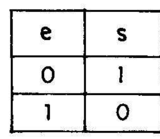


Fig. 11-38



e	s
0	1
1	0

Fig. 11-38 bis

Apréciese que esta tabla responde a la función inversión, también denominada *NO*, por lo que puede expresarse mediante la figura 11-39.

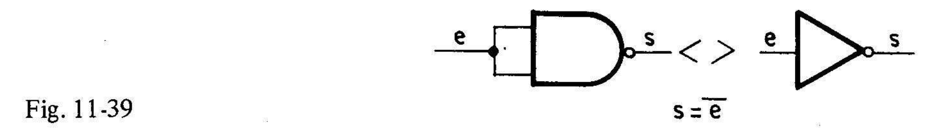


Fig. 11-39

A continuación se presenta el montaje de la figura 11-40.

Su tabla de verdad se da a continuación.

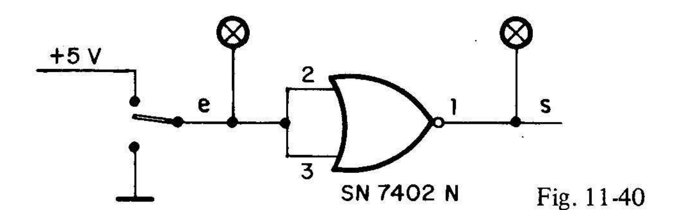


Fig. 11-40

e	s
0	1
1	0

Fig. 11-41

Se trata igualmente de una inversión, lo que puede expresarse según la figura 11-42.

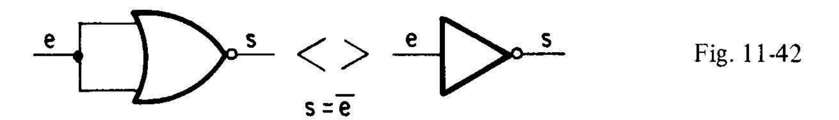


Fig. 11-42

b) Puerta Y: Realícese el esquema de la figura 11-43.

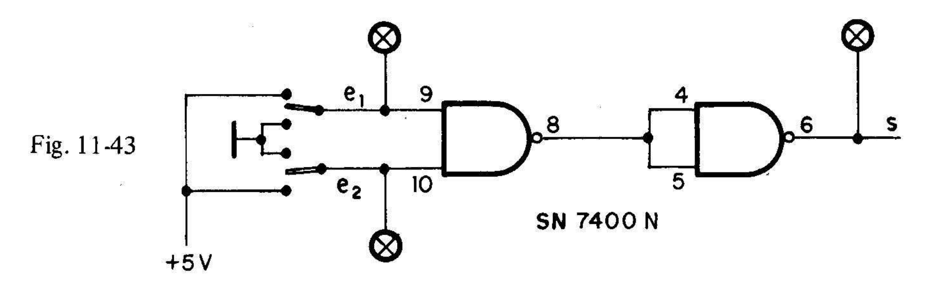


Fig. 11-43

La tabla de verdad del montaje anterior se muestra en la figura 11-44.

e_1	e_2	s
0	0	0
0	1	0
1	0	0
1	1	1

Fig. 11-44

Fácilmente puede apreciarse que se trata de una función *Y*, lo que puede simbolizarse con la siguiente figura.

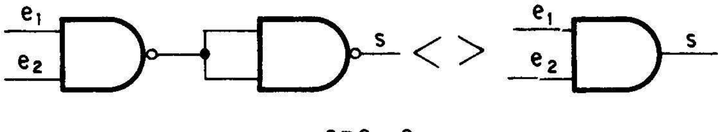


Fig. 11-45

$s = e_1 \cdot e_2$

Se trata de una función *NAND*, seguida de un inversor.

A continuación se propone la ejecución del montaje del esquema de la figura 11-46.

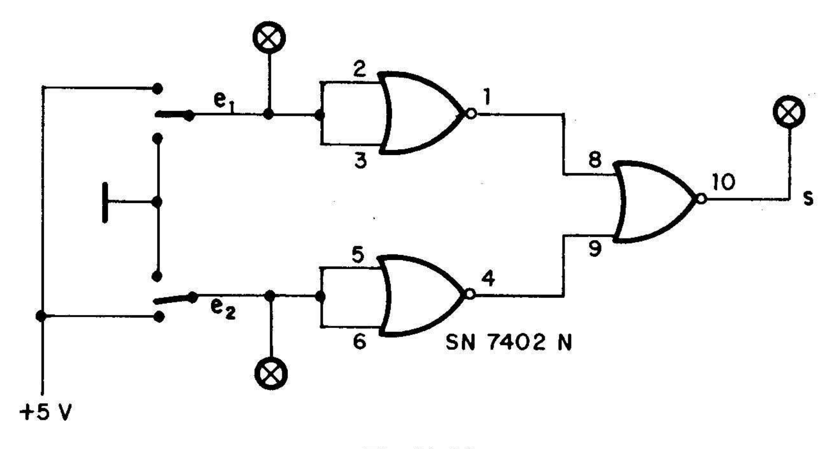


Fig. 11-46

La tabla de la verdad de este circuito se representa en la figura 11-47.

Fig. 11-47

e_1	e_2	s
0	0	0
1	0	0
0	1	0
1	1	1

Igualmente se deduce que es una función *Y*, por lo que según la figura 11-48 se tiene:

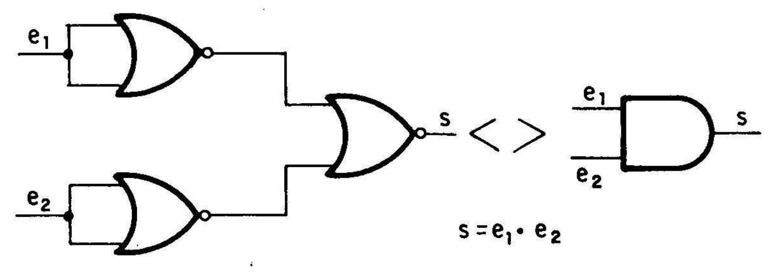


Fig. 11-48

c) Puerta O: Realícese el esquema mostrado en la figura 11-49.

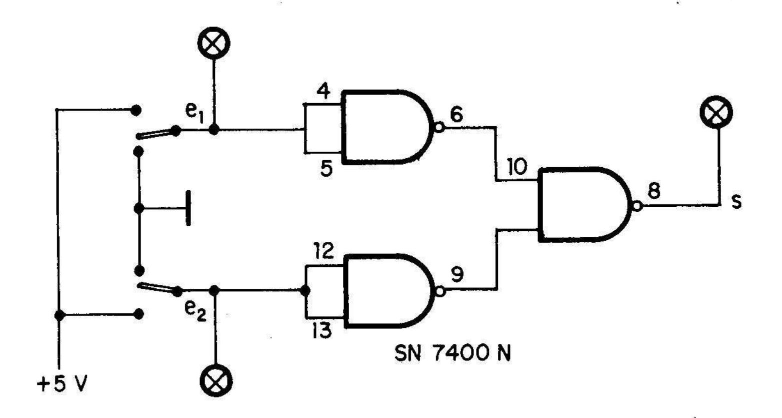


Fig. 11-49

La tabla de verdad del circuito anterior es la de la figura 11-50.

Fig. 11-50

e_1	e_2	s
0	0	0
1	0	1
0	1	1
1	1	1

Resulta evidente la equivalencia con la función *O*, que se puede esquematizar en la figura 11-51.

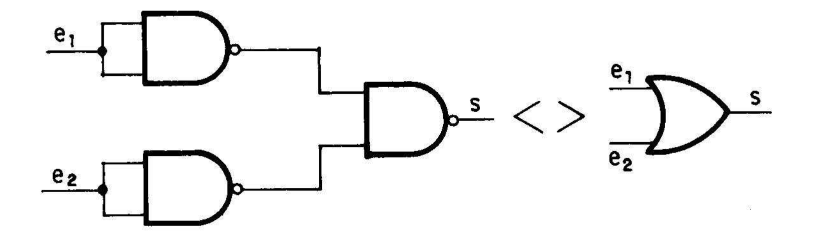


Fig. 11-51

La puerta *O* puede obtenerse más fácilmente operando con puertas *NOR*. Basta, en efecto, con disponer el montaje de la figura 11-52.

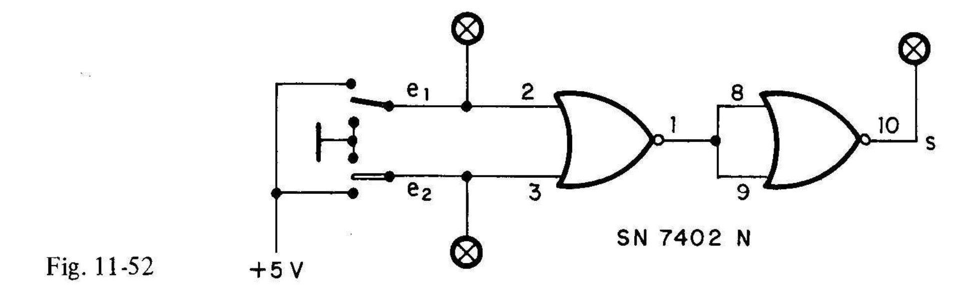


Fig. 11-52

Se trata de una función *NOR*, seguida de una inversión, que ejecuta una suma doblemente negada, o sea, una suma sin negar.

d) Puerta NOR: Realícese el esquema de la figura 11-53.

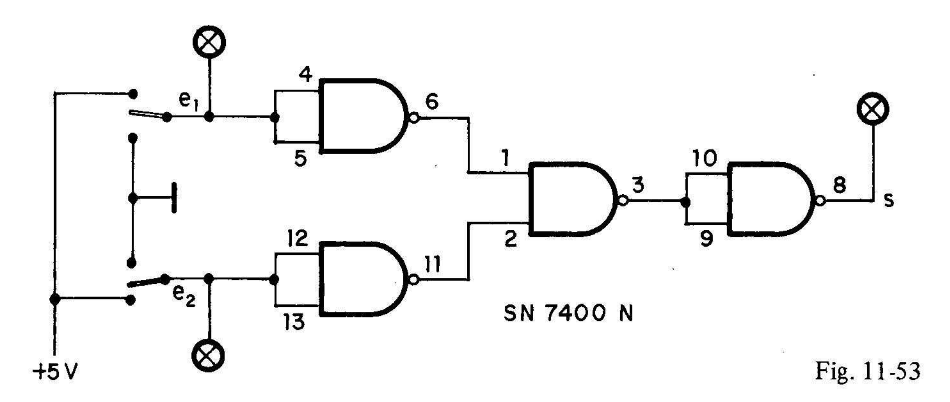


Fig. 11-53

La tabla de verdad de este circuito es la siguiente.

Fig. 11-54

e_1	e_2	s
0	0	1
1	0	0
0	1	0
1	1	0

Trátase pues de una función *NOR*, lo que es sencillo de comprender sin más que apreciar que se utiliza una puerta *O* seguida de un inversor.

CONCLUSIONES

Además de profundizar en el funcionamiento y realización de montajes a base de circuitos integrados lógicos, estas prácticas demuestran la posibilidad de realizar cualquier operación algebraica mediante la debida aplicación de los correspondientes c.i.

Por otra parte, dado que partiendo de puertas *NAND* y *NOR* se pueden efectuar todas las operaciones que existen, se deduce que, con dichas puertas solamente se puede resolver cualquier automatismo que responda a una ecuación lógica, lo que representa una reducción tanto de componentes como de stocks, así como mayor fiabilidad y facilidad en el montaje.

LECCION 12

Sistemas digitales combinacionales

INTRODUCCION

En esta lección se presentan las características fundamentales de los "sistemas digitales combinacionales", que son aquellos cuyas salidas lógicas toman un estado determinado que es función exclusivamente del estado en ese instante, de las entradas lógicas de dichos sistemas, sin tener en cuenta para nada la "historia" de los mismos, es decir, los estados por los que han pasado con anterioridad. Esta característica es la que diferencia los sistemas combinacionales de los secuenciales que se estudiarán en la siguiente lección.

En primer lugar se describen los componentes básicos, de carácter aritmético, que forman parte de las Unidades Lógico-aritméticas. A continuación, también se ofrecen las ideas generales sobre otros sistemas combinacionales, como lo son los codificadores, multiplexores, decodificadores y demultiplexores.

SEMISUMADOR

Es una unidad aritmética encargada de sumar dos bits en código binario (1,0). La suma de dos números binarios cumple la siguiente tabla:

$$0 + 0 = 0$$
$$1 + 0 = 1$$
$$0 + 1 = 1$$
$$1 + 1 = 10$$

Obsérvese que 1 más 1 es igual a 10 en binario o, lo que es lo mismo, es igual a 0 y se lleva 1. Esto supone que el semisumador debe disponer de dos entradas, A y B, y una salida principal, S, acompañada de otra

que identifique si hay arrastre y que recibe este nombre, *C* (carry), formando un bloque de trabajo tal como se representa en la figura 12-1, junto con la tabla de verdad.



TABLA DE LA VERDAD

A	B	S	C
0	0	0	0
1	0	1	0
0	1	1	0
1	1	0	1

Fig. 12-1

De la tabla de verdad se pueden obtener las ecuaciones lógicas a que responden *S* y *C*.

$$S = A \cdot \bar{B} + \bar{A} \cdot B = \overline{A \cdot B + \bar{A} \cdot \bar{B}} = A \oplus B$$

$$C = A \cdot B$$

Para implementar el circuito lógico que responda a la tabla de la verdad requerida por el semisumador, se pueden utilizar diversos tipos de puertas y configuraciones. En la figura 12-2 se ofrece el esquema básico del semisumador.

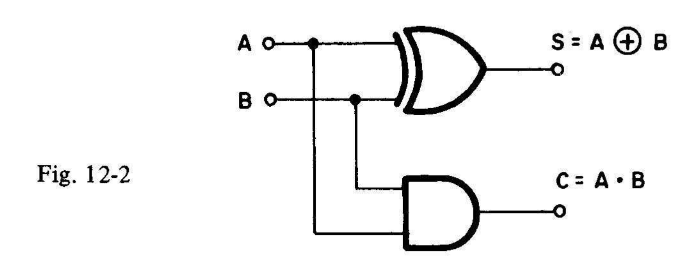
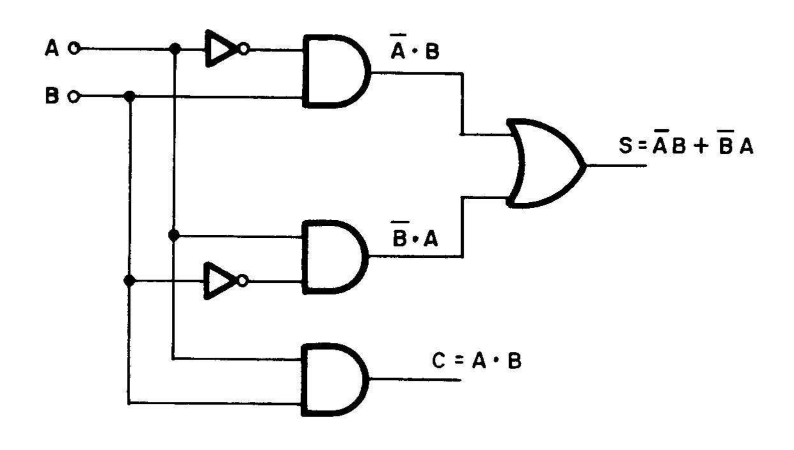
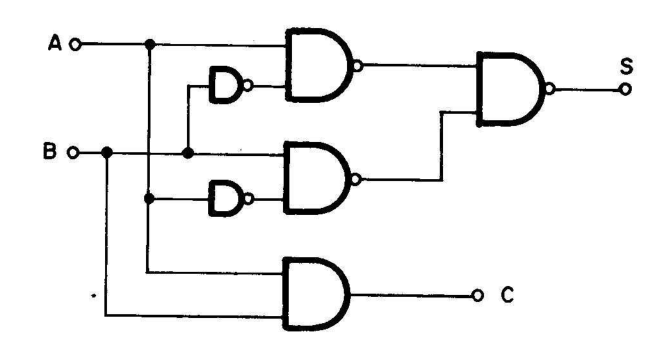


Fig. 12-2

La figura 12-3 muestra tres configuraciones diferentes para llevar a cabo prácticamente el circuito semisumador.


A
B
$\overline{A} \cdot B$
$\overline{B} \cdot A$
$S = \overline{A}B + \overline{B}A$
$C = A \cdot B$


A
B
S
C

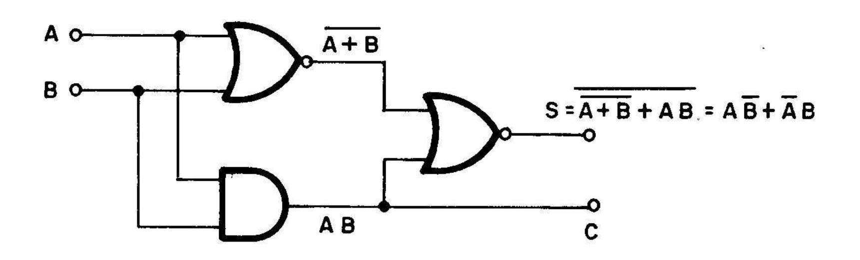

A
B
$\overline{A+B}$
$S = \overline{\overline{A+B} + AB} = A\overline{B} + \overline{A}B$
AB
C

Fig. 12-3

SUMADOR COMPLETO

Realiza sumas de números compuestos, en general, por más de 1 bit. Al ir sumando bit a bit, comenzando por los de menos peso, hay que tener en cuenta el arrastre que se podía haber ocasionado en la suma de los dos bits anteriores, tal como se indica en el siguiente ejemplo:

```
  1 1 1 1   → ARRASTRES
    1 0 1 1 → SUMANDO 1.º
+   1 1 0 1 → SUMANDO 2.º
  ---------
  1 1 0 0 0 → RESULTADO
```

La realización de un sumador completo podía obtenerse como se hizo con el semisumador del análisis de la tabla de verdad en la que se tendría que tener en cuenta el arrastre intermedio y el final de salida, además de las entradas de los sumandos y la salida correspondiente a la suma. Sin embargo, se consigue mediante dos semisumadores, tal como aparece en las figuras 12-4 y 12-5.

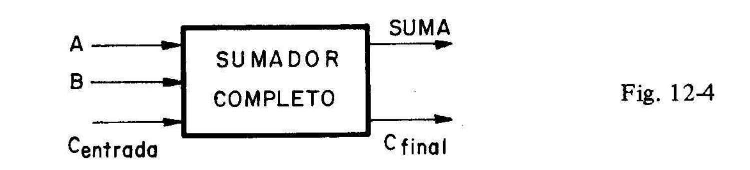


Fig. 12-4

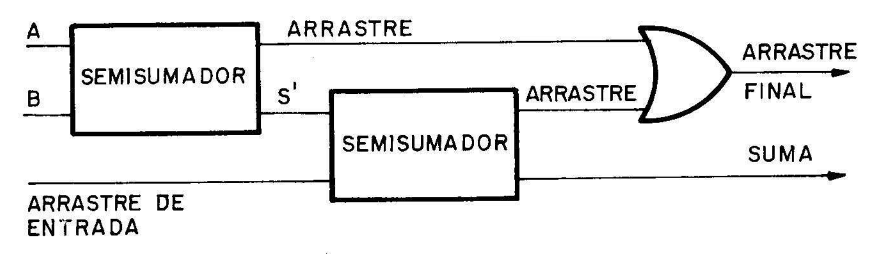


Fig. 12-5

La tabla de verdad a la que responde el sumador completo es el de la figura 12-6.

A	B	ARRASTRE ENTRADA	SUMA	ARRASTRE FINAL
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
0	0	1	1	0
1	1	0	0	1
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

Fig. 12-6

En la literatura anglosajona se representa al semisumador por las abreviaturas H.A. (Half adder) y al sumador completo por F.A. (Full Adder).

SUMADOR EN PARALELO CON ACARREO EN SERIE

Este tipo de sumador está formado por varias etapas de sumadores completos, interconectados entre sí, de manera que el arrastre que se produce en cada una de las etapas se propaga a la siguiente. Este hecho, supone que aunque los bits de los números a sumar se presenten simultáneamente en todas las entradas (A_0 - B_0, A_1 - B_1, ..., A_{n-1} - B_{n-1}), el resultado de cada sumador (S_i y C_i) no sea válido, hasta que transcurra el tiempo necesario para la propagación del acarreo hasta la etapa considerada. Si se supone al sumador constituido por n sumadores completos, como se muestra en la figura 12-7, el caso más desfavorable

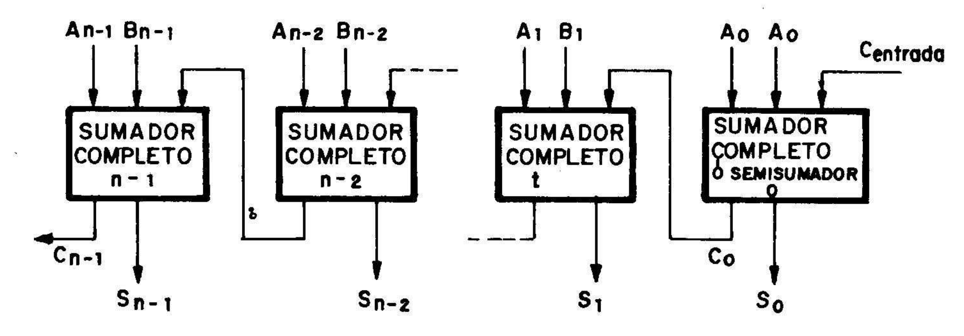
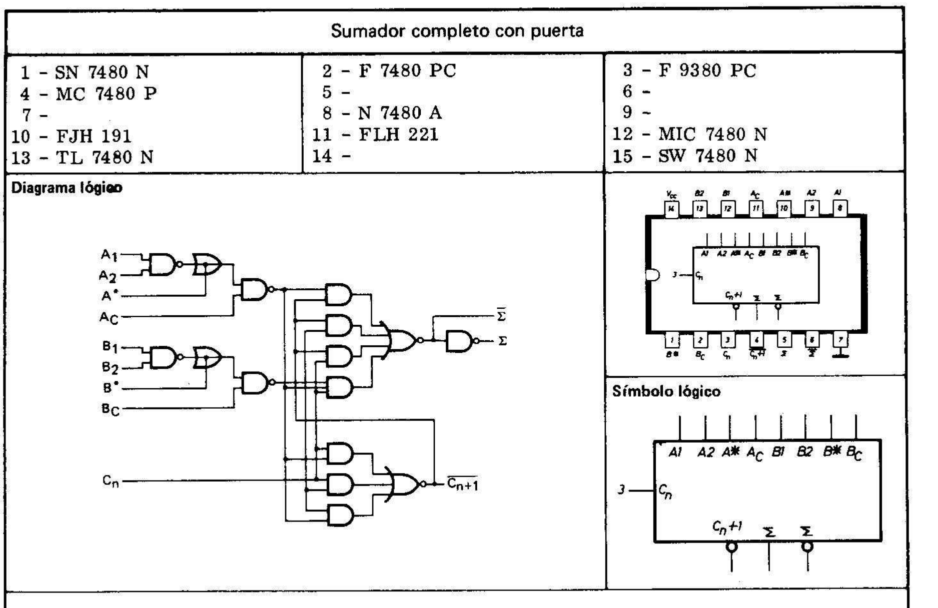


Fig. 12-7



Sumador completo con puerta

1 - SN 7480 N	2 - F 7480 PC	3 - F 9380 PC
4 - MC 7480 P	5 -	6 -
7 -	8 - N 7480 A	9 -
10 - FJH 191	11 - FLH 221	12 - MIC 7480 N
13 - TL 7480 N	14 -	15 - SW 7480 N

Diagrama lógico

Símbolo lógico

DESCRIPCION – Este dispositivo es un Sumador Completo Binario de un solo bit, de alta velocidad, con entradas complementarias con puerta, salidas de suma complementarias (Σ y $\bar{\Sigma}$) y salida de arrastre invertida. Está diseñado para funcionar a velocidades medias y altas en aplicaciones de suma paralelo/arrastre-serie, de bit múltiples.

El circuito utiliza DTL para las entradas con puerta y TTL de alta velocidad, y elevada capacidad de carga en las salidas de suma y arrastre. El circuito es totalmente compatible tanto con las familias lógicas DTL como TTL. La inclusión de un circuito de arrastre serie, Darlington de alta velocidad y una sola inversión minimiza la profusión de circuitos de lookahead ("información anticipada") y arrastre en cascada.

PATILLAS		CARGA
A1, A2, B1, B2	Entradas de datos sin inversión	1 U.L.
A*, B*	Entradas de datos con inversión	1.65 U.L.
A_C, B_C	Entradas de control	1 U.L.
C_n	Entrada de arrastre	5 U.L.
$\overline{C_{n+1}}$	Salida de arrastre	5 U.L.
Σ, Σ	Salidas de suma	10 U.L.
A*, B*	Cuando se utilicen como salidas	3 U.L.

1 Unidad de carga (U. L.) = 40 μA ALTO/1,6 mA BAJO.

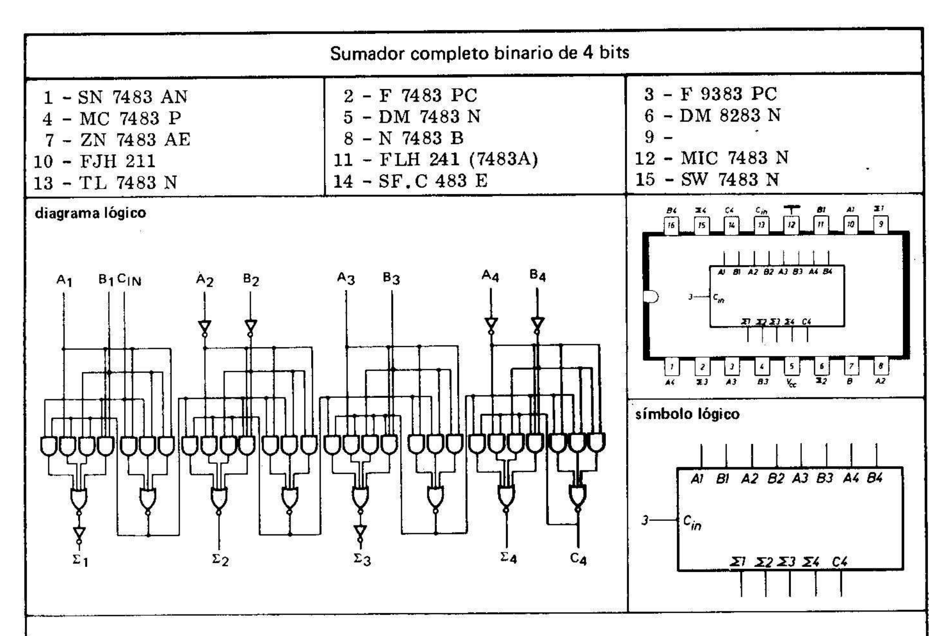
CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC}	4.75	5.0	5.25	Volts
Margen de temperatura ambiente de función.	0	25	70	°C
Cargab. de sal. norm. de las sal. $\overline{C_n+1}$, N			5.0	
Σ o Σ̄, N			10	
A* o B*, N			3.0	

CARACTERISTICAS ELECTRICAS EN EL MARGEN DE TEMPERATURA DE FUNCIONAMIENTO
(si no se especifica otra cosa)

SIMBOLO	PARAMETRO	MIN.	TIP. (2)	MAX.	UNIDADES	COND. DE PRUEBA (1)
V_{IH}	**Tensión de entrada ALTA**	2.0			Volts	V_{IH} garantizada
V_{IL}	**Tensión de entrada BAJA**			0.8	Volts	V_{IL} garantizada
V_{OH}	**Tensión de salida ALTA**	2.4	3.5		Volts	V_{CC}= MIN.
V_{OL}	**Tensión de salida BAJA**		0.22	0.4	Volts	V_{CC}= MIN., I_{OL} = 16 mA

Fig. 12-8



Sumador completo binario de 4 bits

1 - SN 7483 AN	2 - F 7483 PC	3 - F 9383 PC
4 - MC 7483 P	5 - DM 7483 N	6 - DM 8283 N
7 - ZN 7483 AE	8 - N 7483 B	9 -
10 - FJH 211	11 - FLH 241 (7483A)	12 - MIC 7483 N
13 - TL 7483 N	14 - SF.C 483 E	15 - SW 7483 N

DESCRIPCION.–Este dispositivo es un Sumador Completo que ejecuta la adición de dos números binarios de cuatro bits. Hay salidas de sumas (Σ) por cada bit y el acarreo resultante (C4) se obtiene del cuarto bit. Está diseñado para velocidad media a alta y aplicaciones, con bits múltiples, de suma en paralelo/acarreo serie. El circuito utiliza TTL de alta velocidad y elevada cargabilidad de salida. La inclusión de un circuito Darlington de arrastre serie, alta velocidad y una sola inversión minimiza la necesidad de tantos circuitos "lookahead" y de arrastre en cascada.

PATILLAS		CARGA
A1, B1, A3, B3	Entradas de datos	4 U.L.
A2, B2, A4, B4	Entradas de datos	1 U.L.
C_{IN}	Entrada de acarreo	4 U.L.
Σ_1, Σ_2, Σ_3, Σ_4	Salida de suma	10 U.L.
C4	Salida de acarreo bit 4	5 U.L.

Nota: 1 Unidad de carga (U.L.) = 40 µA ALTO/1,6 mA BAJO.

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC} (V.nota 10)	4.75	5.0	5.25	Volts
Temperatura ambiente de funcionamiento	0	25	70	°C
Cargabilidad de salida normalizada C_4			5.0	U.L.
de las salidas Σ_1, Σ_2, Σ_3 o Σ_4			10	U.L.

CARACTERISTICAS ELECTRICAS EN EL MARGEN DE TEMPERATURA DE FUNCIONAMIENTO
(si no se especifica otra cosa)

SIMBOL.	PARAMETRO	MIN.	TIP.(2)	MAX.	UNIDADES	CONDCNES.DE PRUEBA(1)
V_{IH}	Tensión de entrada ALTA	2.0			Volts	Garantizada V_{IH}
V_{IL}	Tensión de entrada BAJA			0.8	Volts	Garantizada V_{IL}
V_{OH}	Tensión de salida ALTA	2.4			Volts	V_{CC} = MIN., I_{OH} = Σ -400 µA, C -200 µA
V_{OL}	Tensión de salida BAJA			0.4	Volts	V_{CC} = MIN., I_{OL} = Σ 16 mA, C 8 mA

Fig. 12-9

que se puede presentar es cuando haya que sumar dos números, como el 111...1 (n) y el 000...1 (n). En este caso el acarreo se produce en el primer sumador y se propaga por los restantes, obteniendo como suma total 1000...0 (n+1). Si el retardo ocasionado por cada sumador es de t segundos, el resultado correcto de la suma no aparecerá en las diversas salidas hasta que transcurra un tiempo $T = n \cdot t$, después de la presentación de los bits en las entradas de los sumadores.

No obstante, con frecuencia el acarreo no se propagará a lo largo de todos los sumadores de la cadena, con lo que el resultado válido se obtendría antes del mencionado tiempo *T*. El inconveniente es que a priori no se sabe el tiempo total en el que se obtendrá la suma, por lo que habrá que esperar el tiempo máximo.

Con referencia a la figura 12-7, el bloque que efectúa la suma de los bits de menos peso puede ser un sumador completo o simplemente un semisumador, ya que dicho bloque no debe tener en cuenta el acarreo previo. En la práctica se suelen utilizar sumadores completos en todas las etapas, de esta manera se puede ampliar el número de bits a manejar, conectando en serie varios sumadores de menor número de bits.

Las figuras 12-8 y 12-9 se presentan las principales características de circuitos integrados que contienen sumadores.

SUMADOR EN PARALELO CON ACARREO EN PARALELO

Con este tipo de sumador se trata de aumentar la velocidad de respuesta del sumador con acarreo en serie. El método utilizado es el de generar directamente el acarreo correspondiente al sumador de cada peso, a partir de los bits de los sumandos. Esto se consigue empleando un elevado número de puertas auxiliares. La figura 12-10 muestra un esquema sencillo de este tipo de sumador.

En la figura 12-10 los bloques denominados G.A.0, G.A.1,... y G.A. n-1, representan los circuitos "generadores de acarreo" de cada etapa y de los que se obtiene el C_i a partir de las entradas *A y B* de los sumadores de los pesos anteriores.

Los circuitos G.A. son simples circuitos combinacionales, pero que contienen tantas más puertas lógicas cuanto mayor sea el peso del sumador al que se conectan. En la figura 12-11 se expone el circuito correspondiente al G.A.1, que es muy sencillo de comprender.

En la práctica no se comercializan sumadores con acarreo en paralelo de más de cuatro bits. Cuando se manejan mayor número de cuatro bits

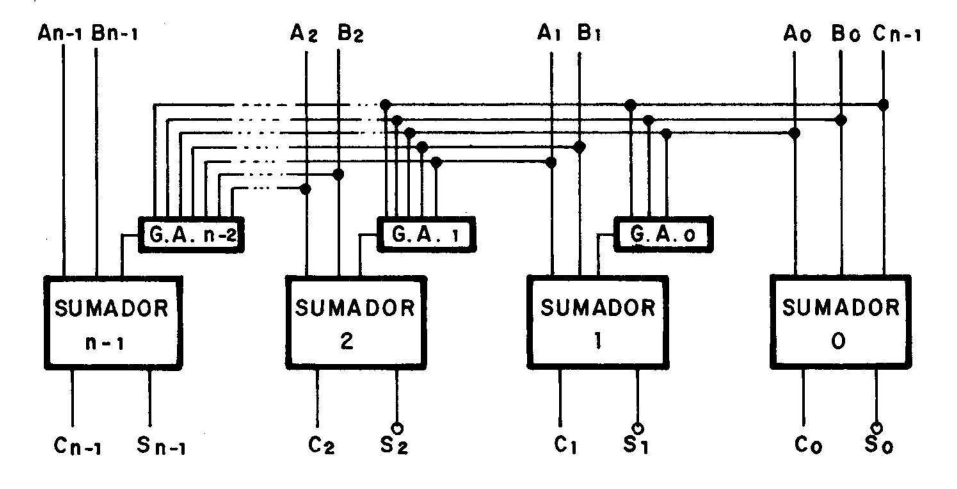


Fig. 12-10

Fig. 12-11

con acarreo interno en serie y por cada cuatro bits se efectúa el acarreo en paralelo externamente.

SUMADOR EN SERIE

Cuando se quiere sumar números con muchos bits, los sumadores en paralelo resultan caros, al precisar un sumador completo por cada par de bits. El sumador en serie sólo utiliza un sumador completo, que se encarga de ir sumando en pasos sucesivos los pares de bits que le suministran dos registros de desplazamiento en serie y también de guardar el arrastre para sumarlo con los dos bits del paso siguiente.

La estructura fundamental de un sumador en serie es la representada en la figura 12-12.

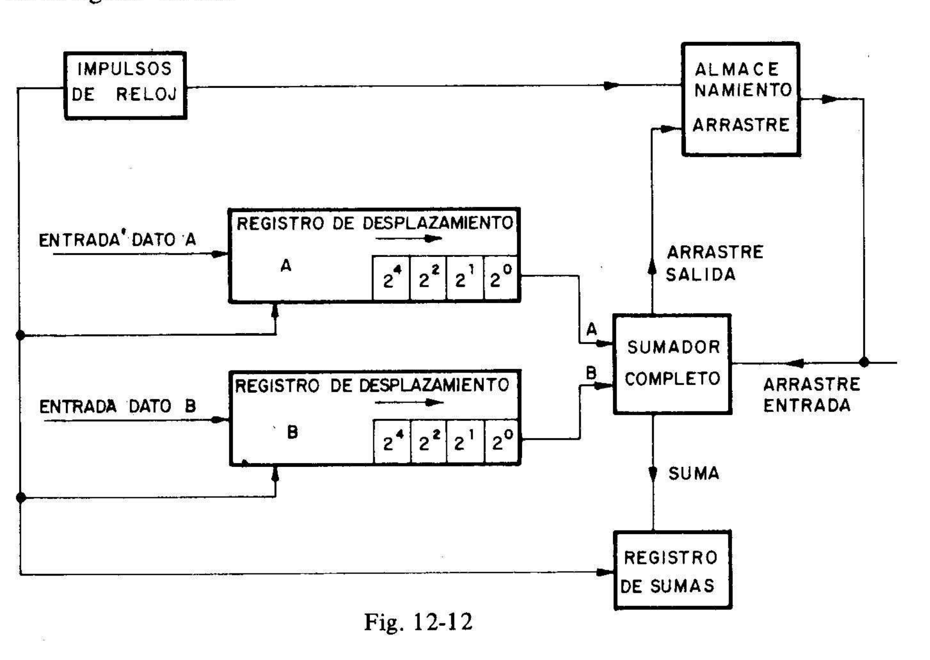


Fig. 12-12

Los registros *A* y *B* se cargan con los dos sumandos, que se supone en el ejemplo de la figura 12-12 que se trata de cifras de 4 bits cada una, representando las sucesivas potencias de 2 al tratarse de números binarios. Cada vez que se produce un impulso de reloj, el registro se desplaza hacia la derecha y saca un bit, que introduce en el sumador completo, quien produce su suma, obteniéndose el resultado por la salida corres-

pondiente y se guarda en el registro suma. Por otra parte, el arrastre obtenido se traslada a una unidad de almacenamiento donde queda depositado.

La llegada de otro impulso de reloj saca de los registros *A* y *B* el par de bits siguientes y los introduce al sumador; pero dicho impulso también se aplica a la unidad de almacenamiento de arrastre de los 2 bits precedentes y lo saca de allí para introducirlo al sumador completo, que al efectuar la suma pasa el resultado al registro suma y el nuevo arrastre vuelve a depositarlo en el almacén de éstos.

Aunque en el sumador serie se emplean registros de desplazamiento, que se estudian en la siguiente lección, resulta bastante fácil comprender su misión.

RESTADORES BINARIOS

Las reglas que rigen la sustracción de dos bits, vienen expuestas en la tabla de la verdad de la figura 12-13, en la que *A* representa al minuendo, *B* al sustraendo, *D* la diferencia (*A–B*) y *C* el acarreo que se produce en el caso de que *B* sea mayor que *A*.

TABLA DE VERDAD DE LA RESTA

A	B	D	C
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Fig. 12-13

De la tabla de la verdad de la figura 12-13, se deduce fácilmente que: $D = A \oplus B$ y $C = \bar{A} \cdot B$. Estas funciones pueden implementarse a base de simples puertas lógicas. Al conjunto de puertas que proporcionan *D* y *C* se les denomina “semirestador” (H.S. en inglés). Análogamente a lo que sucede con el sumador completo, se puede conseguir el “restador completo” (F.S.) mediante la conexión de dos semirrestadores, tal como se indica en la figura 12-14.

En la práctica no se fabrican restadores, sino que para realizar la sustracción se recurre al aprovechamiento de las propiedades de los com-

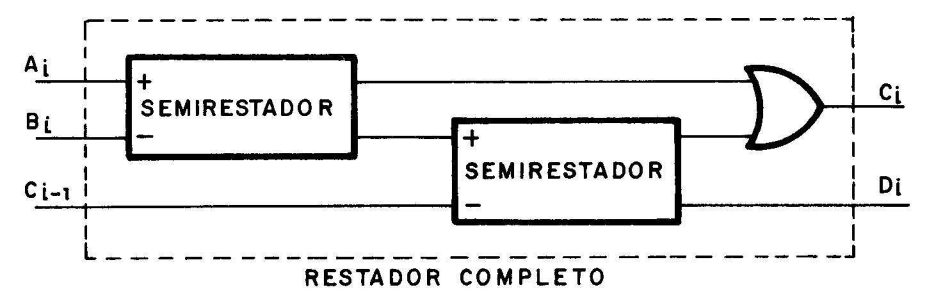


Fig. 12-14

plementos. De esta forma se lleva a cabo la resta mediante la realización de una suma del minuendo con el complemento del sustraendo.

Existen dos tipos de complementos para números binarios:

Complemento a 1.– El complemento a 1 de un número binario de n bits es otro número binario que resulta de la resta entre $2\,n+1$ y el número binario a complementar.

En la práctica, el complemento a 1 de un número binario se obtiene cambiando los ceros por unos y viceversa.

Complemento a 2.– Prácticamente se obtiene hallando en principio el complemento a 1 y añadiendo 1 al mismo.

La propiedad del complemento a 2 consiste en que se puede obtener la resta de dos números binarios, sumando al minuendo el complemento a 2 del sustraendo.

En el caso que el minuendo sea mayor que el sustraendo, al sumar el minuendo el complemento a 2 del sustraendo, se obtiene la diferencia buscada, despreciando el acarreo que se produce, así por ejemplo:

DECIMAL	BINARIO		COMPLEMENTO	
9	1001		1001	
- 4	-0100		+ 1100	(compl. a 2 de
5	0101	(Se desprecia)	1)0101	0100)

En el caso de que el minuendo sea menor que el sustraendo se obtiene el complemento a 2 de la diferencia. Ejemplo:

DECIMAL	BINARIO	COMPLEMENTO
4	0100	0100
- 9	- 1001	+ 0111 (Com. a 2 de 1001)
- 5	1) 0101	1011

En donde 1011 es el complemento a 2 de 0101, en donde 0101 es el número obtenido directamente mediante resta. En este caso el signo obtenido mediante la resta directa es –, lo cual puede definirse mediante el bit de acarreo. Cuando el acarreo es 1, corresponde a signo +. Si se efectua la resta mediante el complemento a 2 y no se produce acarreo significa que el resultado es negativo y viene representado en complemento a 2.

Cuando se emplea el complemento a 1 del sustraendo, si el minuendo es mayor que el sustraendo, al resultado de la suma hay que añadir el acarreo para obtener la resta. Ejemplo:

DECIMAL	BINARIO	COMPLEMENTO
13	1101	1101
- 6	-0110	+ 1001 (Com. a 1 de 0110)
7	0111	10110
		↳+ 1
		0111

Si el minuendo es menor que el sustraendo, el resultado queda expresado en forma de complemento a 1.

DECIMAL	BINARIO	COMPLEMENTO
6	0110	0110
- 13	- 1101	0010 (Com. a 1)
- 7	10111	1000

En este caso el complemento a 1 de 1000 es la diferencia buscada, o sea, 0111.

Luego cuando no se produce acarreo significa que el resultado es negativo y viene expresado en forma de complemento a 1 y cuando hay acarreo, el resultado es positivo y el acarreo hay que añadirlo a la suma para obtener la diferencia directamente.

Por regla general las unidades lógico-aritméticas, trabajan con el complemento a 1 cuando se trata de realizar restas, debido a la sencillez en obtener el complemento a 1 de un número, invirtiendo los bits.

OTRAS OPERACIONES ARITMETICAS

La multiplicación es el resultado de sumar el multiplicando tantas veces como indique el multiplicador. Por lo tanto un multiplicador estará formado esencialmente por circuitos sumadores.

La división es la operación contraria a la multiplicación y se lleva a cabo mediante la repetición de sustracciones, las cuales como se ha visto pueden ser realizadas también a base de circuitos sumadores. En resumen los circuitos empleados en efectuar multiplicaciones, divisiones, etcétera, se basan fundamentalmente en el empleo de los sumadores.

UNIDAD LOGICA ARITMETICA ALU

Actualmente se ofrece en un circuito integrado un elemento capaz de realizar varias operaciones lógicas y varias aritméticas. Dicha unidad, llamada abreviadamente ALU, forma parte dè los microprocesadores y de las unidades centrales de proceso de los ordenadores en general. En la figura 12-15 se muestran las características del circuito integrado SN 74181 N, que contiene una unidad lógico-aritmética para procesamiento de números o palabras de 4 bits.

Esta ALU tiene capacidad para realizar 16 operaciones aritméticas y 16 lógicas con dos palabras de 4 bits. Estas operaciones se seleccionan mediante las entradas S_0, S_1, S_2 y S_3 a las que se conectarán cuatro interruptores. La entrada de datos se realiza por 4 interruptores dispuestos en las patitas A y B ($\bar{A}_0, \bar{A}_1, \bar{A}_2, \bar{A}_3, \bar{B}_0, \bar{B}_1, \bar{B}_2, \bar{B}_3$). El resultado de la operación sale por las patitas F (F_0, F_1, F_2, F_3), pudiéndose visualizar mediante diodos leds. La selección de la operación a efectuar se consigue con M (pin 8), que si vale 0 sirve para operaciones aritméticas

Unidad lógica aritmética de 4 bits

1 - SN 74181 N	2 - F 74181 PC	3 - F 9341 PC
4 - MC 74181 P	5 - DM 74181 N	6 -
7 - ZN 74181 E	8 - N 74181 N	9 -
10 -	11 - FLH 401	12 -
13 - TL 74181 N	14 - SF.C 4181 E	15 - SW 74181 N

diagrama lógico

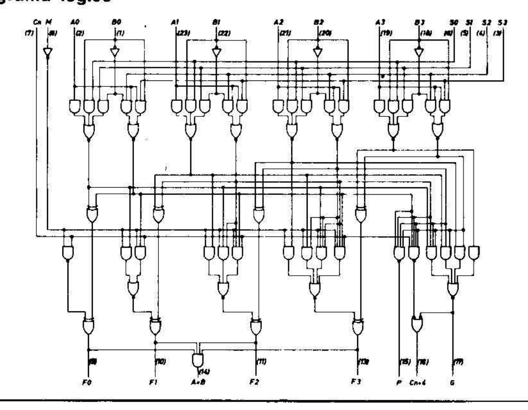
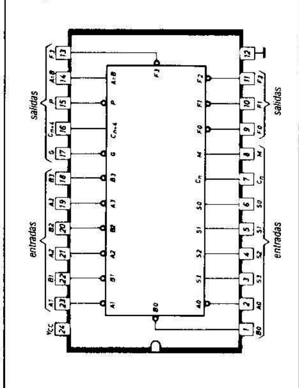


diagrama de conexión

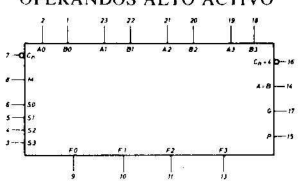


SIMBOLOS LOGICOS

OPERANDOS BAJO ACTIVO



OPERANDOS ALTO ACTIVO



DESCRIPCION. Este dispositivo es una unidad lógica aritmética (Arithmetic Logic Unit) (ALU) paralela de alta velocidad de 4 bits. Controlado por las cuatro entradas de selección de función (SO ... S3) y la entrada de control de modo (M), puede ejecutar todas las 16 posibles operaciones lógicas o 16 operaciones aritméticas diferentes con operandos de bajo activo o alto activo. La tabla de funciones relaciona estas operaciones.

Cuando la entrada de control de modo (M) está alta, todos los acarreos internos están inhibidos y el dispositivo ejecuta operaciones lógicas en cada uno de los bits individuales, tal como se indica en la lista. Cuando la entrada de control de modo está baja, los acarreos quedan habilitados y el dispositivo ejecuta operaciones aritméticas sobre las dos palabras de 4 bits. El dispositivo incorpora un acarreo «adelantado» (look-ahead) interno total y lo proporciona a cualquiera de los dos (ripple carry) acarreo «ripple» entre dispositivo que utilizan la salida $C_n + 4$, o acarreo «adelantado» entre paquetes que utiliza la señal P (carry propagate) y G (carry generate). P y G no quedan afectados por la entrada de acarreo. Cuando las exigencias de velocidad no son muy severas, el dispositivo puede utilizarse en un modo sencillo de ripple carry conectando la señal de salida de acarreo (C_n+4) a la entrada de acarreo (C_n) de la siguiente unidad. Para funcionamiento en alta velocidad el dispositivo se utiliza en unión del circuito de acarreo «adelantado» 74812 o equivalente. Se requiere un paquete de acarreo «adelantado» por cada grupo de cuatro dispositivos. El acarreo adelantado puede suministrarse en varios niveles y ofrece posibilidad de alta velocidad en longitudes de palabra extremadamente grande.

La salida A = B del dispositivo se pone ALTA cuando las cuatro salidas F están altas y puede utilizarse para indicar equivalencia lógica en los 4 bits cuando la unidad está en el modo de sustración. La salida A = B es de colector abierto y puede cablearse AND con otras salidas A = B para conseguir una comparación para más de 4 bits. La señal A = B puede utilizarse con la señal de salida de acarreo para indicar A > B y A < B.

La tabla de funciones relaciona las operaciones aritméticas ejecutadas sin una entrada de acarreo. Un acarreo de entrada añade un uno a cada operación. De aquí que el código LHHL genere A menos D menos 1 (notación de complemento a 2) sin una entrada de acarreo y genere A menos B cuando se aplique acarreo. Como la resta se ejecuta realmente mediante adición complementaria (complemento a 1). una SALIDA DE ACARREO significa DEBE (BORROW); de aquí que sea generado un acarreo cuando haya exceso (overflow) y no se genere cuando no lo hay (underflow).

Como se ha indicado, el dispositivo puede utilizarse con entradas de bajo activo, produciendo salidas de bajo activo o con entradas de alto activo produciendo salidas de alto activo. Para cada caso la tabla relaciona las operaciones que deben hacer los operandos indicados dentro del símbolo lógico.

Fig. 12-15

y si vale 1 para las lógicas. En la figura 12-6 se representa gráficamente los diferentes elementos ya comentados.

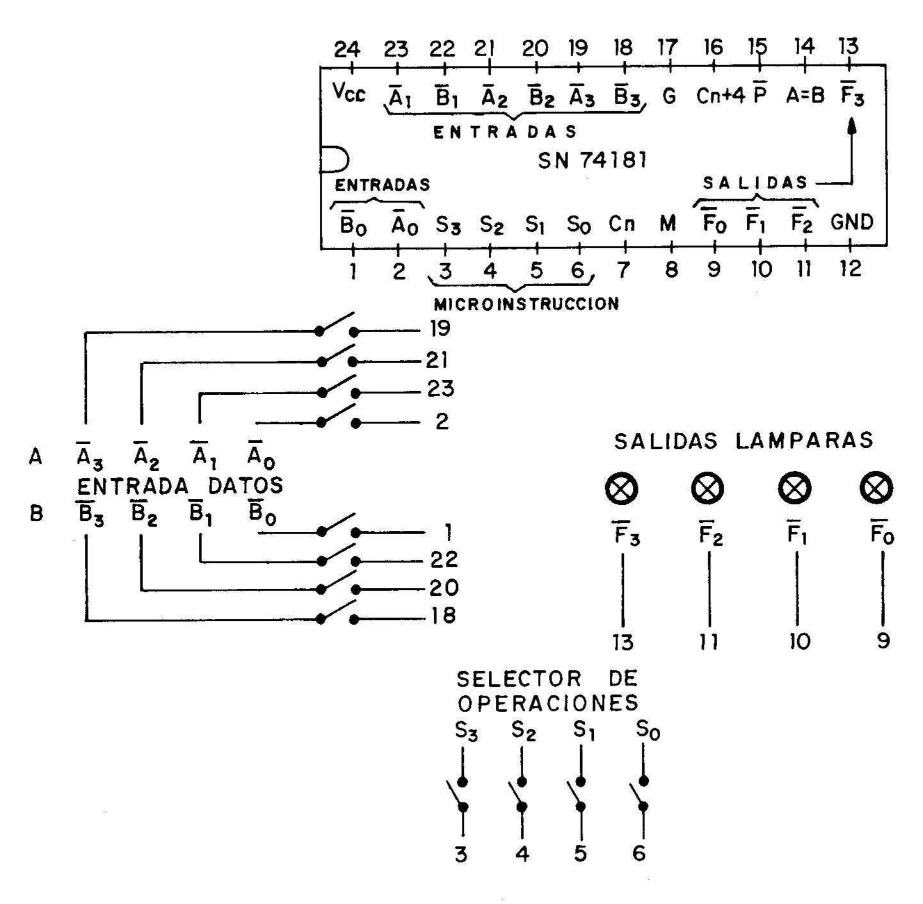


Fig. 12-16

Operaciones aritméticas: $M = 0$ (Conectar al negativo).

Los interruptores de A y B indican nivel 0 hacia abajo y nivel 1 hacia arriba. Las lámparas de salida F indican nivel 0 encendidas y nivel 1 apagadas, debido a que se trabaja con nivel activo bajo, y entonces las entradas y salidas son las inversas.

Hay que tener en cuenta el valor del arrastre de salida (patita 16) al sobrepasar la capacidad de cálculo.

1.ª Operación: A menos 1. $S_3 = S_2 = S_1 = S_0 = 0$.
2.ª Operación: $A \cdot B$ menos 1. $(S_3, S_2, S_1, S_0) = (0-0-0-1)$
3.ª Operación: $A \cdot \overline{B}$ menos 1. (0–0–1–0).
4.ª Operación: NO UTIL. (Menos 1).
5.ª Operación: A más $(A + \overline{B})$· (0–1–0–0).
6.ª Operación: $A \cdot B$ más $(A + \overline{B})$ · (0–1–0–1).
7.ª Operación: A menos B menos 1. (0–1–1–0).
8.ª Operación: A más $\overline{B}$ · (0–1–1–1).
9.ª Operación: A más $(A + B)$ · (1–0–0–0).
10.ª Operación: A más B (1–0–0–1).
11.ª Operación: $A \cdot \overline{B}$ más $(A + B)$. (1–0–1–0).
12.ª Operación: $A + B$. Suma lógica. (1–0–1–1).
13.ª Operación: A más $A = A$ por 2 · (1–1–0–0).
14.ª Operación: $A \cdot B$ más A · (1–1–0–1).
15.ª Operación: $A \cdot \overline{B}$ más A · (1–1–1–0).
16.ª Operación: $F = A$ · (1–1–1–1).

Nota: No confundir las sumas y productos lógicos ($A + B$ y $A \cdot B$) con los aritméticos (A más B y A por B).

Operaciones lógicas. M desconectado.

Como para efectuar estas operaciones se trabaja con nivel lógico positivo, las posiciones de los interruptores de entrada y la de las luces de salida indican los estados lógicos directos y no los inversos como antes.

En la figura 12-17 se presenta la tabla resumida de las operaciones lógicas indicando en cada una la posición de los interruptores de selección S.

CODIFICADORES

En este apartado se trata únicamente de los codificadores binarios, los cuales son subsistemas electrónicos capaces de representar en los terminales de salida, la información presente en sus entradas, de acuerdo con unas reglas predeterminadas. Es decir, al producirse la activación de una de las entradas, las salidas adoptan una cierta combinacion de los estados lógicos.

Fig. 12-17

SELECCION				FUNCION LOGICA	
S_3	S_2	S_1	S_0		
0	0	0	0	$F = \bar{A}$	INVERSOR
0	0	0	1	$F = \overline{A+B}$	puerta NOR
0	0	1	0	$F = \bar{A} \cdot B$	
0	0	1	1	F = logica 0	
0	1	0	0	$F = \overline{A \cdot B}$	puerta NAND
0	1	0	1	$F = \bar{B}$	INVERSOR
0	1	1	0	$F = A \oplus B$	O EXCLUSIVO
0	1	1	1	$F = A \cdot \bar{B}$	
1	0	0	0	$F = \bar{A} + B$	
1	0	0	1	$F = \overline{A \oplus B}$	
1	0	1	0	$F = B$	
1	0	1	1	$F = A \cdot B$	puerta 4
1	1	0	0	F = Logica 1	
1	1	0	1	$F = A + \bar{B}$	
1	1	1	0	$F = A + B$	puerta O
1	1	1	1	$F = A$	

Un ejemplo típico de empleo de codificadores son los que convierten a binario, la información numérica decimal, que se produce al pulsar la tecla de una calculadora. También se emplean codificadores en la transformación de las informaciones alfanuméricas, generadas al pulsar las teclas de un teletipo, a un código binario, como puede ser el ASCII, que se ofrece en la figura 12-18.

Si el sistema debe codificar *N* informaciones de entrada, son precisas *n* salidas, de forma que se cumpla la relación $N \leqslant 2^n$.

Para el diseño de un codificador, se deben seguir los siguientes pasos:

1°) Conociendo las *N* informaciones a codificar, se calculan las salidas *n*, de forma que se cumpla $N \leqslant 2^n$.

2°) Se establecen las reglas de correspondencia entre las informaciones de entrada y los estados de las salidas. La tabla de la verdad que de aquí se deduce deberá proporcionar una correspondencia biunívoca entre entradas y salidas.

FILA	COLUMNA	0	1	2	3	4	5	6	7
	BITS 4321 ⇩ / 765 ➡	000	001	010	011	100	101	110	111
0	0000	NUL	DLE	SP	0	@	P	`	p
1	0001	SOH	DC1	!	1	A	Q	a	q
2	0010	STX	DC2	”	2	B	R	b	r
3	0011	ETX	DC3	#	3	C	S	c	s
4	0100	EOT	DC4	$	4	D	T	d	t
5	0101	ENQ	NAK	%	5	E	U	e	u
6	0110	ACK	SYN	&	6	F	V	f	v
7	0111	BEL	ETB	'	7	G	W	g	w
8	1000	BS	CAN	(	8	H	X	h	x
9	1001	HT	EM	)	9	I	Y	i	y
10	1010	LF	SUB	*	:	J	Z	j	z
11	1011	VT	ESC	+	;	K	[	k	{
12	1100	FF	FS	,	<	L	\	l	¦
13	1101	CR	GS	—	=	M	]	m	}
14	1110	SO	RS	.	>	N	⌒	n	~
15	1111	SI	US	/	?	O	—	o	DEL

Ejemplo: Código para A = 7 - - - - - 1 = 100 0001

Significado en inglés de las leyendas de las columnas 0 y 1

NUL	*Null*
SOH	*Start of Heading*
STX	*Start of Text*
ETX	*End of Text*
EOT	*End of Transmission*
ENQ	*Enquiry*
ACK	*Acknowledge*
BEL	*Bell (audible signal)*
BS	*Backspace*
HT	*Horizontal Tabulation (punched card skip)*
LF	*Line Feed*
VT	*Vertical Tabulation*
FF	*Form Feed*
CR	*Carriage Return*
SO	*Shift Out*
SI	*Shift In*
DLE	*Data Link Escape*
DC1	*Device Control 1*
DC2	*Device Control 2*
DC3	*Device Control 3*
DC4	*Device Control 4*
NAK	*Negative Acknowledge*
SYN	*Synchronous Idle*
ETB	*End of Transmission Block*
CAN	*Cancel*
EM	*End of Medium*
SUB	*Substitute*
ESC	*Escape*
FS	*File Separator*
GS	*Group Separator*
RS	*Record Separator*
US	*Unit Separator*
DEL	*Delete*

Fig. 12-18.–Listado completo del código ASCII.

3º) A partir de la tabla de la verdad se confeccionan las funciones que implementan las salidas del codificador.

Para aclarar estos conceptos se describe un decodificador, en el que las informaciones de entrada consisten en los 10 símbolos de los números decimales, mientras que la salida proporcionará el número en código BCD. Los pasos a seguir serán:

1º) Como en este ejemplo N = 10, *n* deberá ser como mínimo 4.

2º) Tabla de la verdad que se muestra en la figura 12-19.

ENTRADAS	S_3	S_2	S_1	S_0 SALIDAS
E_0 (0)	0	0	0	0
E_1 (1)	0	0	0	1
E_2 (2)	0	0	1	0
E_3 (3)	0	0	1	1
E_4 (4)	0	1	0	0
E_5 (5)	0	1	0	1
E_6 (6)	0	1	1	0
E_7 (7)	0	1	1	1
E_8 (8)	1	0	0	0
E_9 (9)	1	0	0	1

Fig. 12-19

3º) De acuerdo con lo expuesto, las funciones de salida serán:

$$S_0 = E_1 + E_3 + E_5 + E_7 + E_9$$

$$S_1 = E_2 + E_3 + E_6 + E_7$$

$$S_2 = E_4 + E_5 + E_6 + E_7$$

$$S_3 = E_8 + E_9$$

Una forma de implementar las funciones de salida es mediante el empleo de puertas OR, ejercicio que se propone al lector. Sin embargo, los codificadores se desarrollan normalmente utilizando matrices de diodos. En la figura 12-20 se muestra el codificador del ejemplo construido mediante una matriz de diodos.

Cuando en una de las entradas de la matriz de diodos, de la figura 12-20, se presenta un nivel alto, dicho voltaje se transfiere a través de los diodos a las salidas correspondientes.

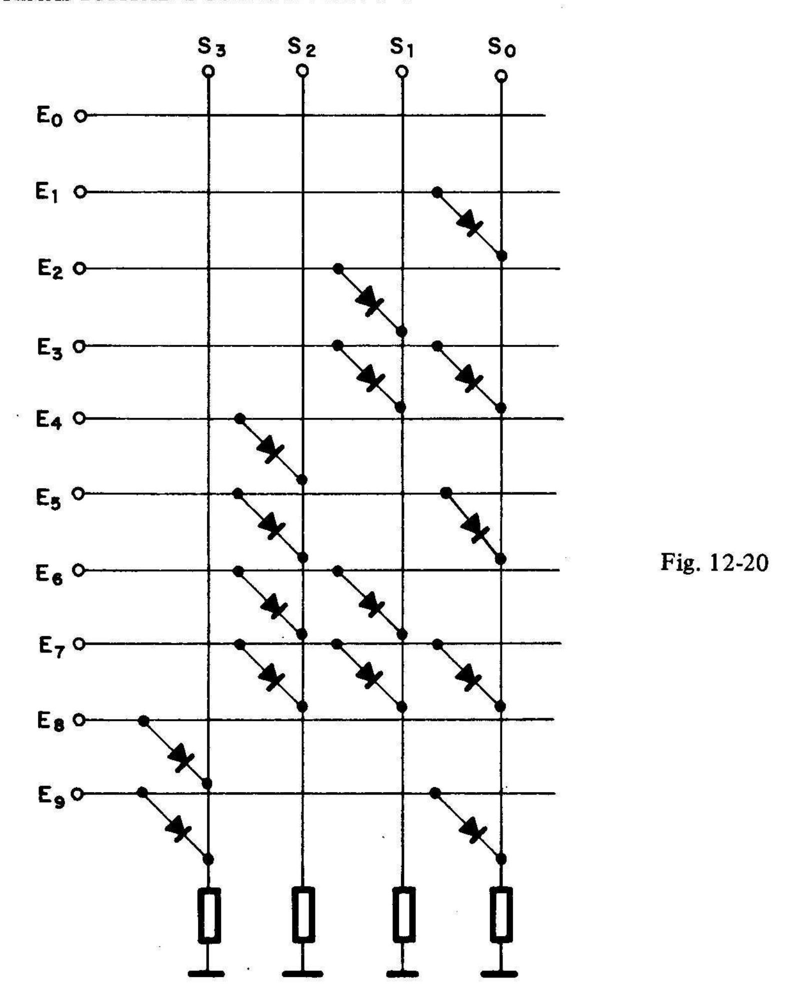


Fig. 12-20

¿Qué ocurre cuando se presentan dos salidas simultáneamente? En el codificador de la figura 12-20, aparecerán activadas las dos salidas correspondientes, produciéndose una información incorrecta. Para evitar este problema se emplean los codificadores "de prioridad", en los que al activarse varias entradas a la vez sólo aparece a la salida la información correspondiente a la entrada que se le haya asignado la mayor prioridad.

Como las matrices de diodos son fácilmente integrables, los fabricantes ofrecen al usuario matrices de diodos con fusibles, con las que se

puede construir el codificador deseado, mediante la rotura de los fusibles adecuados, mediante impulsos de corriente aplicados a sus patillas. Hay matrices de diodos de 5 filas por 5 columnas, 6 x 6, 6 x 8, 8 x 6, etcétera. La figura 12-21 muestra una matriz de diodos de 5 x 5.

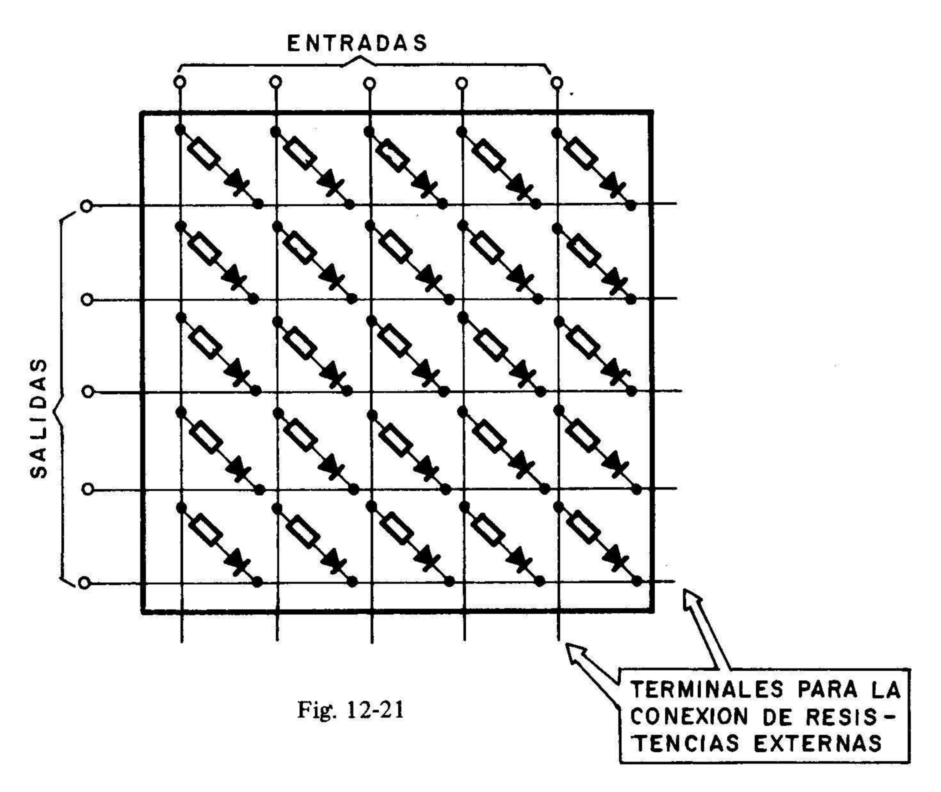


Fig. 12-21

MULTIPLEXORES

Los multiplexores son circuitos combinacionales que constan de los siguientes elementos exteriores: diversas líneas de entrada de datos, un determinado número de entradas de control y sólo una salida de datos. La misión del multiplexor consiste en seleccionar una de sus entradas y transferir el estado lógico presente en ella a la salida. La selección se verifica de acuerdo con la combinación específica de las entradas de control.

De forma simplificada, se puede representar la actuación del multiplexor tal como se presenta en la figura 12-22.

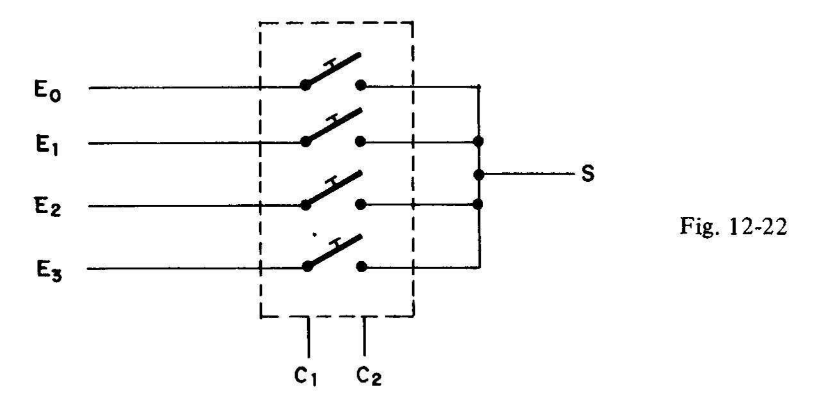


Fig. 12-22

En la figura 12-22, C_1 y C_2 representan las entradas de control, que gobiernan los cuatro interruptores internos, de forma que sólo uno de dichos interruptores se cierra para cada una de las cuatro combinaciones posibles de los estados lógicos de C_1 y C_2.

Si el multiplexor tiene N entradas, requerirá n entradas de control, de forma que se cumpla la siguiente expresión: $2^n \geqslant N$.

Para diseñar un multiplexor se sigue el mismo método, que para cualquier diseño combinacional. En principio se define la tabla de la verdad a partir de la cual se obtienen las funciones de salida del sistema, las cuales si es posible conviene simplificarlas y finalmente se implementan

ENTRADAS DE CONTROL		ENTRADAS DE DATOS				SALIDA
C_1	C_0	E_3	E_2	E_1	E_0	S
0	0	X	X	X	0	0
0	0	X	X	X	1	1
0	1	X	X	0	X	0
0	1	X	X	1	X	1
1	0	X	0	X	X	0
1	0	X	1	X	X	1
1	1	0	X	X	X	0
1	1	1	X	X	X	1

Fig. 12-23

las puertas lógicas necesarias. Se presenta como ejemplo el diseño de un multiplexor de cuatro entradas.

Para un multiplexor de cuatro entradas, se precisan dos entradas de control, o sea, $n = 2$ puesto que $2^{2^{\cdot}} = N = 4$.

La tabla de la verdad correspondiente al multiplexor de cuatro entradas se muestra en la figura 12-23.

La tabla de la verdad de la figura 12-23, se puede representar de forma simplificada como se indica en la figura 12-24.

Fig. 12-24

ENTRADAS DE CONTROL		SALIDA
C_1	C_0	S
0	0	E_0
0	1	E_1
1	0	E_2
1	1	E_3

A continuación, y teniendo en cuenta la tabla de la verdad, se deduce la función de salida:

$$S = E_0 \cdot \overline{C}_0 \cdot \overline{C}_1 + E_1 \cdot C_0 \cdot \overline{C}_1 + E_2 \cdot \overline{C}_0 \cdot C_1 + E_3 \cdot C_0 \cdot C_1 .$$

La función S obtenida se puede implementar prácticamente, tal como se muestra el esquema de la figura 12-25.

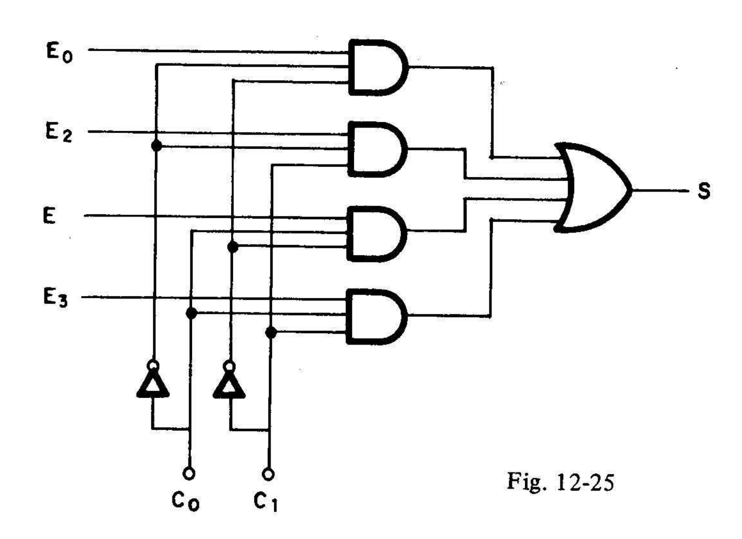


Fig. 12-25

En ciertos tipos de multiplexores existe otra línea de entrada, denominada "estrobe", que presenta la información en la salida del multiplexor, únicamente cuando se activa por un nivel lógico determinado (alto o bajo).

Una de las aplicaciones más características de los multiplexores es la conversión de datos en paralelo a serie. La figura 12-26 presenta un esquema simple de la actuación del multiplexor para llevar a cabo esta conversión. También se usan para el multiplexado en el tiempo de señales y la generación de funciones.

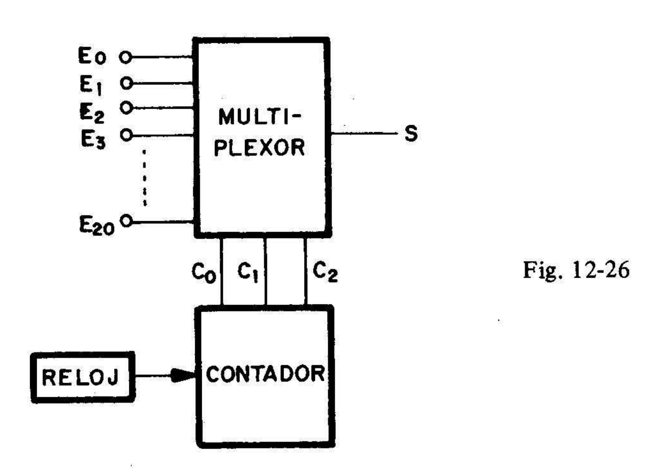


Fig. 12-26

En la figura 12-27 se muestran las características más relevantes del circuito integrado SN 74261 N, de un multiplexor con salidas complementarias de carácter triestado.

DECODIFICADORES

Son circuitos electrónicos, cuya función es la inversa a la que realizan los codificadores, es decir, obtienen una información a partir de su código. Constan de cierto número de entradas y de salidas.

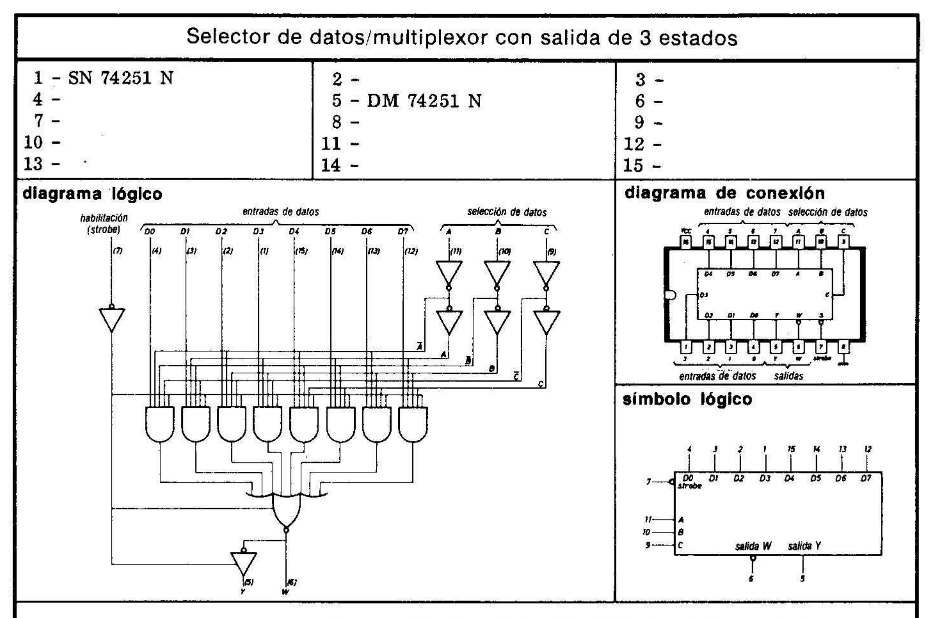
Fundamentalmente hay dos tipos básicos de decodificadores:

1°) Los denominados "uno de N", en los que para cada combinación de las entradas solamente se activa una de sus *N* salidas.

2°) Decodificadores en los que se pueden activar varias salidas para una combinación de sus entradas. Un ejemplo de decodificador de este tipo es el "decodificador-excitador BCD - 7 segmentos"

Selector de datos/multiplexor con salida de 3 estados

1 - SN 74251 N	2 -	3 -
4 -	5 - DM 74251 N	6 -
7 -	8 -	9 -
10 -	11 -	12 -
13 -	14 -	15 -



DESCRIPCION. Este selector de datos multiplexor monolítico/dispone de decodificación binaria en el chip para seleccionar una de ocho fuentes de datos y dispone de una salida de tres estados controladas por strobe. El strobe debe estar a nivel lógico bajo, para habilitar este dispositivo. Las salidas de tres estados permite conectar a un bus común una serie de salidas. Cuando la entrada de strobe está alta, ambas salidas están en el estado de alta impedancia en la cual los transistores superior e inferior de cada salida totem-pole están off, y la salida ni excita ni carga el bus en forma significativa. Cuando el strobe está bajo, las salidas están activadas, y actúan como salidas totem-pole TTL estándar.

Para minimizar la posibilidad de que dos salidas traten de tomar un bus común con niveles lógicos opuestos, el circuito de control de salidas está diseñado de forma que el tiempo de inhabilitación de la salida media sea más corto que el tiempo de habilitación de salida media. El dispositivo tiene diodos limitadores de salida para atenuar las reflexiones sobre la línea de bus.

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación, V_{CC}	4.75	5	5.25	Volts
Corriente de salida nivel ALTO, I_{OH}			- 5.2	mA
Corriente de salida nivel BAJO, I_{OL}			16	mA
Temperatura ambiente de funcionamiento, T_A	0		70	^oC

CARACTERISTICAS ELECTRICAS EN EL MARGEN DE TEMPERATURA RECOMENDADO (a menos que se indique otra cosa)

SIMBOLO	PARAMETRO	MIN.	TIP. (2)	MAX.	UNIDADES	CONDICIONES DE PRUEBA (1)
V_{IH}	Tensión de entrada nivel ALTO	2			Volts	
V_{IL}	Tensión de entrada nivel BAJO			0.8	Volts	
V_I	Tensión limitadora de entrada			- 1.5	Volts	V_{CC} = MIN., I_I = -12 mA
V_{OH}	Tensión de salida nivel ALTO					V_{CC} = MIN., V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OH} = MAX.
V_{OL}	Tensión de salida nivel BAJO					V_{CC} = MIN., V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 16 mA
$I_{O(off)}$	Corriente de salida estado off (estado de impedancia ALTA)			40 - 40	μA μA	V_{CC} = MAX., V_{IH} = 2 V, V_O = 2.4 V V_{CC} = MAX., V_{IH} = 2 V, V_O = 0.4 V
V_O	Tensión limitadora de salida		V_{CC}	- 1.5 + 1.5	Volts Volts	V_{CC} = MAX., V_{IH} = 4.5 V, I_O = -12 mA V_{CC} = MAX., V_{IH} = 4.5 V, I_O = 12 mA
I_I	Corriente de entrada para tensión de entrada máxima			1	mA	V_{CC} = MAX., V_I = 5.5 V
I_{IH}	Corriente de entrada nivel ALTO			40	μA	V_{CC} = MAX., V_I = 2.4 V
I_{IL}	Corriente de entrada nivel BAJO			- 1.6	mA	V_{CC} = MAX., V_I = 0.4 V
I_{OS}	Corriente de salida en cortocircuito (3)	- 18		- 55	mA	V_{CC} = MAX.
I_{CC}	Corriente de alimentación		38	62	mA	V_{CC} = MAX., Todas las entradas a 4,5 V. Todas las salidas abiertas.

Fig. 12-27

y también el "decodificador-excitador de matrices de puntos para el código ASCII".

Un ejemplo simple de decodificador tipo "uno de N" es de BCD - Decimal, que posee cuatro entradas y diez salidas. La tabla de la verdad de este modelo de decodificador se ofrece en la figura 12-28.

ENTRADAS	SALIDAS									
	S_0	S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8	S_9
E_0	0	1	0	1	0	1	0	1	0	1
E_1	0	0	1	1	0	0	1	1	0	0
E_2	0	0	0	0	1	1	1	1	0	0
E_3	0	0	0	0	0	0	0	0	1	1

Fig. 12-28

De la tabla de la verdad de la figura 12-28, se deducen las siguientes funciones de las salidas correspondientes:

$$S_0 = \overline{E_0} \cdot \overline{E_1} \cdot \overline{E_2} \cdot \overline{E_3} \qquad S_5 = E_0 \cdot \overline{E_1} \cdot E_2 \cdot \overline{E_3}$$

$$S_1 = E_0 \cdot \overline{E_1} \cdot \overline{E_2} \cdot \overline{E_3} \qquad S_6 = \overline{E_0} \cdot E_1 \cdot E_2 \cdot \overline{E_3}$$

$$S_2 = \overline{E_0} \cdot E_1 \cdot \overline{E_2} \cdot \overline{E_3} \qquad S_7 = E_0 \cdot E_1 \cdot E_2 \cdot \overline{E_3}$$

$$S_3 = E_0 \cdot E_1 \cdot \overline{E_2} \cdot \overline{E_3} \qquad S_8 = \overline{E_0} \cdot \overline{E_1} \cdot \overline{E_2} \cdot E_3$$

$$S_4 = \overline{E_0} \cdot \overline{E_1} \cdot E_2 \cdot \overline{E_3} \qquad S_9 = E_0 \cdot \overline{E_1} \cdot \overline{E_2} \cdot E_3$$

La implementación de las funciones de salida deducida, puede llevarse a cabo mediante el esquema mostrado en la figura 12-29.

En la figura 12-30 se muestran las características más importantes de otro tipo de decodificador, contenido en el circuito integrado SN 7442 AN. La línea de entrada strobe se emplea cuando se desea que la decodificación interesa que se realice en un instante determinado.

El otro modelo de decodificador en el que se pueden activar varias salidas para una determinada combinación de las entradas puede ser representado por uno muy de actualidad cual es el "decodificador-excitador BCD - 7 segmentos". Los elementos de visualización de siete segmentos, pueden estar constituidos por diodos led o por cristales lí-

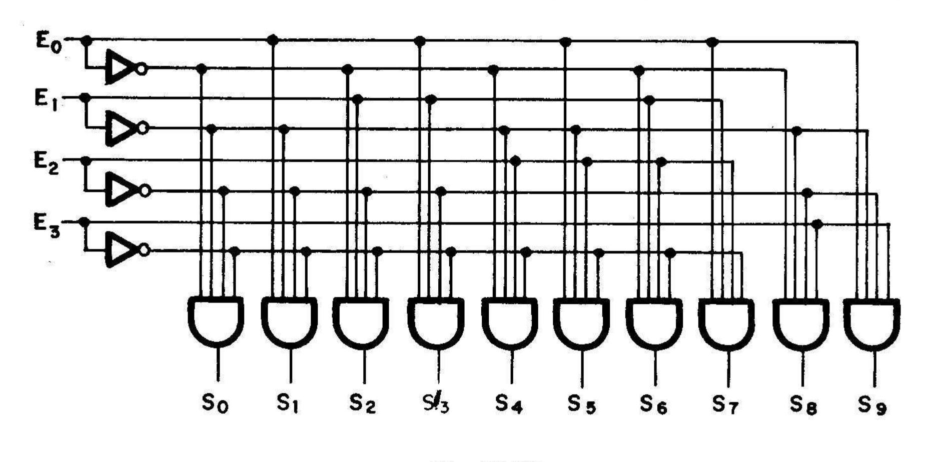


Fig. 12-29

quidos y en estos momentos son muy usados en contadores, relojes, voltímetros, instrumentos digitales, etc. La representación de dichos elementos se muestra en la figura 12-31.

Como quiera que con los cuatro dígitos de entrada correspondientes al código BCD se pueden decodificar 16 símbolos y sólo se emplean 10 en la representación de números decimales, quedan libres 6 combinaciones que se usan para representar otros símbolos. Un ejemplo de representaciones posibles con los siete segmentos, se muestra en la figura 12-32.

Tanto la tabla de la verdad, como la implementación de las puertas lógicas que configuran las salidas de este decodificador son tan sencillas que se deja al lector el ejercicio de obtenerlas.

Aparte de la propia decodificación, los decodificadores también se emplean en la generación de funciones lógicas y como multiplexores.

DEMULTIPLEXORES

La función de "demultiplexado" consiste en la operación contraria a la del multiplexado, es decir, la información procedente de una línea, ha de irse sacando en forma secuencial por varias que actúan como salidas.

Comercialmente no existen los demultiplexores, propiamente dichos y en la práctica para tal fin se emplean los decodificadores del tipo "uno en N" con entrada strobe.

Decodificador de cuatro a diez líneas (1 de 10)

1 - SN 7442 AN	2 - F 7442 PC	3 - F 9352 PC
4 - MC 7442 P	5 - DM 7442 N	6 - DM 8042 N
7 - ZN 7442 E	8 - N 7442 B	9 - T 7442 B1
10 - FJH 261	11 - FLH 281	12 - MIC 7442 N
13 -	14 - SF.C 442 E	15 -

Diagrama lógico

entradas

A B C D

salidas

Símbolo lógico

DESCRIPCION – Estos DECODIFICADORES DECIMALES monolíticos constan de ocho inversores y diez puertas NAND con 4 entradas. Los inversores están conectados por parejas para conseguir que la entrada BCD quede disponible para decodificación por las puertas NAND. La decodificación total de la entrada válida lógica asegura que todas las salidas permanecen inactivas para todas las condiciones de entradas no válidas.

El decodificador TTL/MSI BCD a decimal proporciona a los conocidos circuitos transistor-transistor logic (TTL) entradas y salidas compatibles para uso con otros circuitos TTL o DTL. Los márgenes de ruido dc son típicamente 1 V y la disipación de potencia típicamente 140 mW. Todas las salidas tienen una cargabilidad máxima de 10.

PATILLAS		CARGA
A, B, C, D	Entradas BCD	1 U. L.
$\bar{0}$ a $\bar{9}$	Salida decimal	10 U. L.

1 Unidad de Carga (U. L.) = 40 µA ALTO/1,6 mA BAJO.

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC}	4.75	5.0	5.25	Volts
Temperatura de funcionamiento	0	25	70	°C
Cargab. de salida norm. de cada salida, N			10	U. L.

CARACTERISTICAS ELECTRICAS EN EL MARGEN DE TEMPERATURA DE FUNCIONAMIENTO (si no se especifica otra cosa)

SIMBOLO	PARAMETRO	MIN.	TIP. (2)	MAX.	UNIDADES	CONDICIONES DE PRUEBA (1)
V_{IH}	Tensión de entrada ALTA	2.0			Volts	Tensión de entrada ALTA garantizada
V_{IL}	Tensión de entrada BAJA			0.8	Volts	Tensión de entrada BAJA garantizada
V_{OH}	Tensión de salida ALTA	2.4			Volts	V_{CC}= MIN., I_{OH} = -0.4 mA., V_{IH} = 2.0 V, V_{IL} = 0.8 V
V_{OL}	Tensión de salida BAJA			0.4	Volts	V_{CC}= MIN., I_{OL} = 16 mA., V_{IH} = 2.0 V, V_{IL} = 0.8 V
I_{IH}	Corriente de entrada ALTA			40	µA	V_{CC}= MAX., V_{IN} = 2.4 V } Cada entrada
				1.0	mA	V_{CC}= MAX., V_{IN} = 5.5 V } Cada entrada
I_{IL}	Corriente de entrada BAJA			- 1.6	mA	V_{CC}= MAX., V_{IN} = 0.4 V Cada entrada
I_{OS}	Corr. de salida cortocircuito (3)	- 18		- 55	mA	V_{CC}= MAX.
I_{CC}	Corriente de alimentación		28	56	mA	V_{CC}= MAX.

Fig. 12-30

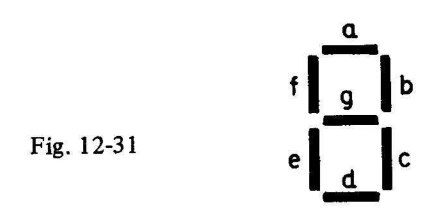
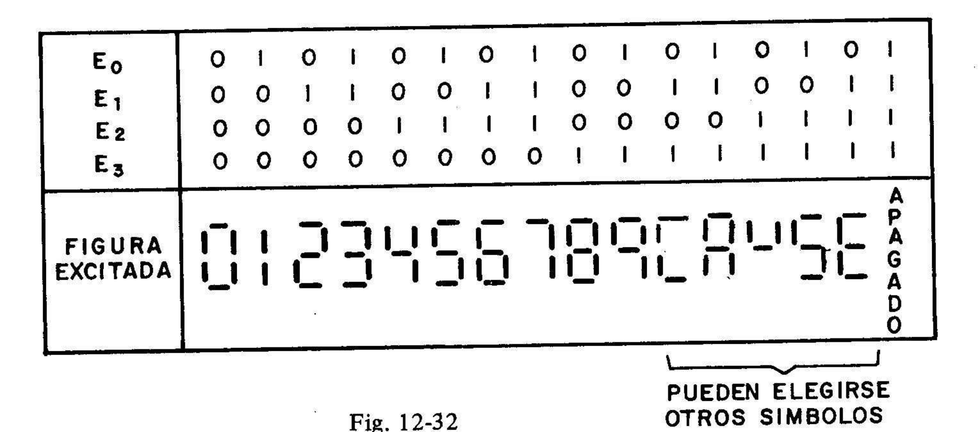


Fig. 12-31



E_0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
E_1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
E_2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
E_3	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
FIGURA EXCITADA	0	1	2	3	4	5	6	7	8	9						APAGADO

PUEDEN ELEGIRSE OTROS SIMBOLOS

Fig. 12-32

En la figura 12-33, se muestra un decodificador que actúa como demultiplexor. Cuando se aplica a las entradas de control una combinación de bits, por ejemplo $C_0 = 0$ *y* $C_1 = 1$, la salida seleccionada será la S_2 y se pondrá a nivel alto cuando también ocurra que la línea de strobe está activada. Por lo tanto, la señal aplicada al "strobe" se transmite a la salida seleccionada de acuerdo con las entradas de control.

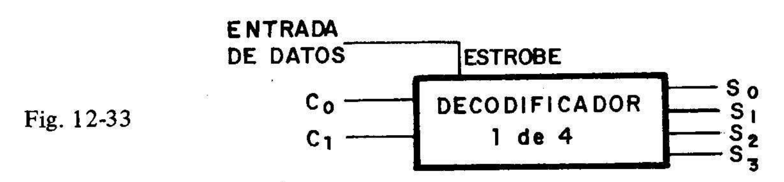


Fig. 12-33

COMPARADORES

Un circuito comparador sirve para comparar dos números binarios y establecer cual de ellos es el mayor, o en otro caso determinar que son iguales.

Un comparador que manipule sólo dos bits es muy sencillo. Si los números a comparar son A y B, pueden ocurrir tres casos:

a) $A > B$. A este suceso se asigna la letra M (Mayor)

b) $A < B$. A este suceso se asigna la letra m (menor)

c) $A = B$. La letra I (Igual) es la que se asigna a este hecho.

Por lo tanto, el circuito combinacional que resuelva el problema de la comparación deberá poseer tres salidas: M, m e I. La tabla de la verdad correspondiente a el presente comparador se muestra en la figura 12-34.

ENTRADAS		SALIDAS		
A	B	M	m	I
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1

Fig. 12-34

Las expresiones correspondientes a las funciones M, m e I, son las siguientes:

$$M = A\,\overline{B}$$

$$m = \overline{A}\,B$$

$$I = \overline{A}\,\overline{B} + A\,B$$

Las funciones de salida del comparador pueden implementarse de acuerdo con el esquema de la figura 12-35.

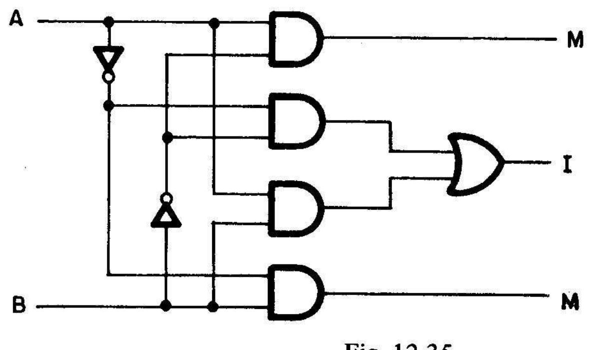


Fig. 12-35

El comparador de un solo bit tiene muy poca aplicación y en el mercado existen comparadores de números binarios de n bits. El diseño de un comparador de varias entradas en paralelo, exige la definición en primer lugar, de todos los casos posible para las funciones M, m e I. En el caso de tratar de números de tres bits A: $A_2 A_1 A_0$ y B: $B_2 B_1 B_0$, la función M, o sea, $A > B$, se presentará cuando:

$$A_2 > B_2 \quad \text{ó} \quad A_2 = B_2 \text{ y } A_1 > B_1 \quad \text{ó}$$

$$A_2 = B_2 \text{ y } A_1 = B_1 \text{ y } A_0 > B_0$$

que podemos expresarlo como:

$$M = M_2 + I_2 \, M_1 + I_2 \, I_1 \, M_0$$

La función m, o sea, $A < B$, se obtendrá cuando suceda:

$$A_2 < B_2 \quad \text{ó} \quad A_2 = B_2 \text{ y } A_1 < B_1 \quad \text{ó}$$

$$A_2 = B_2 \text{ y } A_1 = B_1 \text{ y } A_0 < B_0$$

de donde:

$$m = m_2 + I_2 \cdot m_1 + I_2 \cdot I_1 \cdot m_0$$

La función I ($A = B$) se verificará cuando $A_2 = B_2$, $A_1 = B_1$ y $A_0 = B_0$, es decir, cuando se cumpla:

$$I = I_2 \cdot I_1 \cdot I_0$$

Como se puede deducir de las expresiones comentadas, las funciones M, m e I se obtienen a partir de las M_i, m_i e I_i correspondientes a cada pareja de bits.

RESUMEN

Como colofón a la lección presente dedicada a los circuitos combinacionales, cabe resaltar el hecho de que el estado de sus salidas depende exclusivamente del valor adoptado por sus entradas en el momento considerado.

El diseño de un circuito combinacional no resulta complicado una vez se especifican las características de sus entradas y salidas, o lo que es lo mismo, una vez definida la tabla de la verdad. Las funciones obtenidas de la tabla de la verdad a veces pueden contener gran número de términos, por lo que es muy recomendable intentar simplificar dichas ecuaciones mediante las leyes de Morgan, los diagramas de Karnaugh, etc., ya que ello redundará en el coste de materiales y mano de obra, así como en la fiabilidad del sistema.

LECCION 13

Sistemas digitales secuenciales

INTRODUCCION

Se definen los sistemas digitales secuenciales, como circuitos electrónicos con un número determinado de entradas y otro de salidas, cuyo estado lógico es función además del estado actual de las entradas, de la información almacenada en el interior del circuito. Dicha información almacenada depende de los estados anteriores adoptados por las entradas. De esta forma se puede decir, que un circuito secuencial es aquél cuya información de salida en un momento determinado es función, tanto de la información actual de las entradas, como de la pasada, o sea, de la historia anterior de las mismas.

Los sistemas secuenciales constan de una parte dedicada a la memorización y otra puramente combinacional.

En los sistemas combinacionales estudiados en la lección precedente, sus salidas sólo eran función del estado de las entradas en el momento considerado.

FUNCION MEMORIA

Se llama memoria el circuito que es capaz de almacenar una información suministrada por sus entradas. Esta función se puede constituir con puertas lógicas ya conocidas y, por tanto, se puede considerar como una aplicación muy importante de las mismas.

El gran uso de señales de mando no permanentes impulsa la gran demanda de las memorias. Como idea simple del funcionamiento de una memoria, recuérdese la puesta en marcha y el paro de cualquier dispositivo, en el que se usen pulsadores normales: Una actuación en el pulsa-

dor de "marcha" produce el inicio del funcionamiento y aunque deje de pulsarse continúa el mismo; otro tanto pasa con el paro: una leve pulsación produce el paro permanente.

El esquema básico de una función memoria se presenta en la figura 13-1:

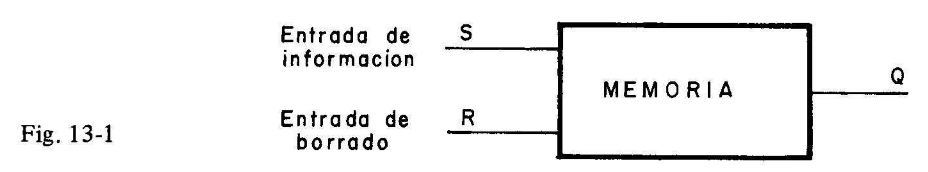


Fig. 13-1

El esquema de la figura anterior presenta una memoria, cuya entrada de información (o puesta a 1) se ha denominado S. Aplicado un impulso a dicha entrada la salida Q pasa a adoptar el nivel lógico 1 (H). Otra entrada, llamada R, sirve para borrar la información previamente aplicada por S, es decir, para suprimir el nivel 1 de la salida Q, provocando en ésta un nivel 0 (L).

Los elementos básicos de memoria son los que disponen de dos estados estables de funcionamiento (biestables) y reciben el nombre de básculas. También se les llama flip-flop. A partir de los diversos elementos básicos de memoria, luego se construyen otros más complicados como son los registros y los contadores.

Según la lógica utilizada y el tipo de disparo, los flip-flop se clasifican en cuatro clases principales:

a) R-S
b) J-K
c) D
d) T

El disparo que activa a los biestables puede lograrse al alcanzarse un determinado nivel de tensión, o bien, al producirse un flanco o transición de nivel lógico. Por otra parte existen flip-flop que se disparan sincrónicamente a través de impulsos de reloj y otros cuyo disparo es asíncrono.

BASCULAS R - S

Las básculas R-S, llamadas también flip flop R-S, son las memorias más sencillas de las que se derivan otras más complejas. Su importancia

es muy grande por este motivo y en la figura 13-2 se muestra el esquema general al que responde la báscula R-S.

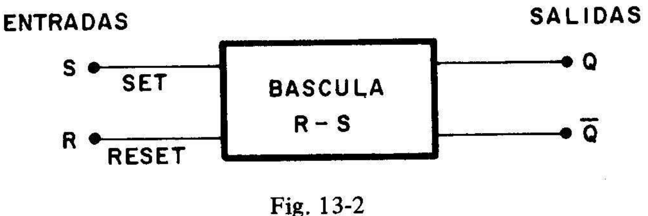


Fig. 13-2

La báscula R-S responde al circuito fundamental de memoria, pero como se aprecia en la figura 13-2, además de la salida Q dispone de otra inversa, llamada $\bar{Q}$, que es con frecuencia empleada. Al aplicar un nivel "1" a la entrada S (Set o puesta a 1), la salida Q pasa a 1 y la $\bar{Q}$ a 0. Un impulso lógico alto en la entrada R (Reset o puesta a 0) pasa las salidas al estado contrario. Los niveles que se aplican a la báscula no deben ser permanentes, es decir, con aplicar un nivel alto en la entrada S, durante el tiempo preciso para cargar la báscula, es suficiente y aunque luego la entrada S pase a nivel bajo, la báscula mantendrá $Q = 1$, hasta que no se active la entrada R.

A continuación se describen diversos tipos de básculas R-S.

BASCULA R-S ASINCRONA CON PUERTAS NOR

Un flip-flop que es un circuito elemental de memoria se emplea para almacenar una información durante un período de tiempo y posteriormente borrarla o almacenar una nueva información. En un flip-flop la información consiste en un bit, 1 ó 0. La báscula R-S que se estudia está constituida por dos puertas NOR, realimentadas entre sí, tal como se muestra en la figura 13-3.

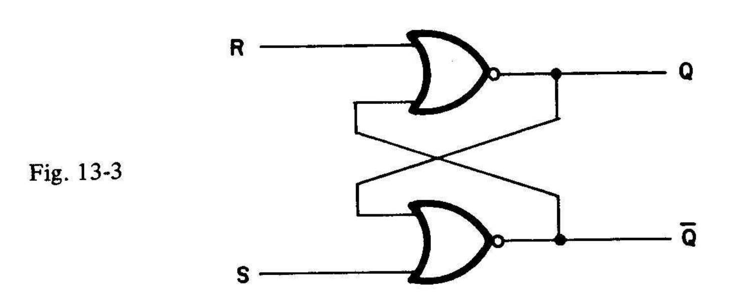


Fig. 13-3

Se recomienda al lector seguir el desarrollo del funcionamiento de esta báscula elemental con sumo cuidado, para posteriormente comprender los circuitos más complejos basados en la interconexión de células elementales. El problema de las básculas en cuanto a su funcionamiento es consecuencia de la interconexión de las puertas que la forman, en la que la salida de una de ellas es entrada de la otra y viceversa.

Supongamos que las entradas S y R de la báscula están con nivel 0. La puerta inferior, si se supone que $Q = 0$, estará con las dos entradas a nivel 0, con lo cual su salida $\overline{Q} = 1$. Dicho nivel 1 realimenta una de las entradas de la puerta NOR superior con lo que su salida será $Q = 0$. La figura 13-4 muestra el estado de las entradas y salidas descrito en este supuesto.

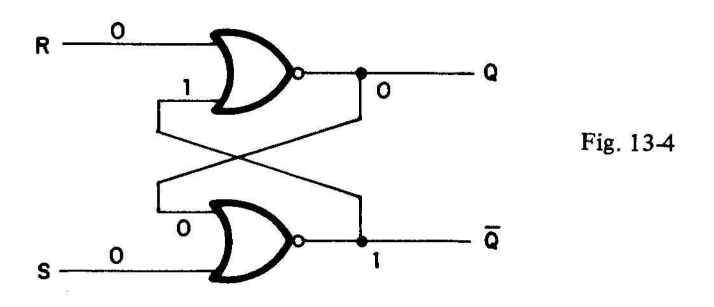


Fig. 13-4

Si en el estado de la figura 13-4, se aplica un nivel 1 a la entrada S, la NOR inferior cambiará su salida $\overline{Q}$ a nivel 0, con lo que la NOR superior recibirá dos ceros por sus entradas y su salida Q pasará a valer nivel 1. Este estado se refleja en la figura 13-5, sobre la que se puede comprender que una vez adoptado el nuevo estado, la báscula lo mantiene aunque la entrada S cambie a nivel 0. Por lo tanto, debido a la realimenta-

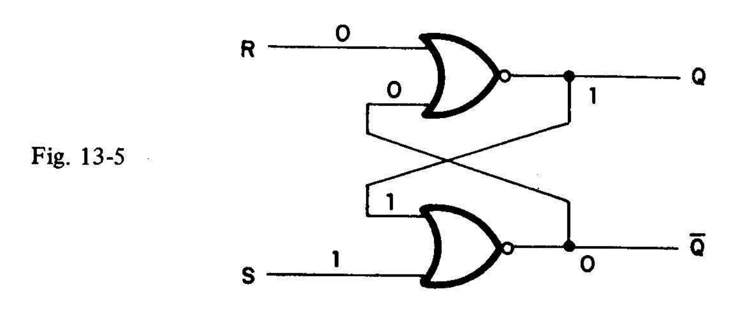


Fig. 13-5

ción de las puertas, una vez aplicado un impulso de nivel 1 a la entrada S, la báscula permanece cargada con dicho nivel, lo que supone que su salida $Q = 1$ y la $\bar{Q} = 0$.

Para que la báscula que tiene almacenado un nivel 1 ($Q = 1$) pase a almacenar un 0, ó a borrarse, es necesario aplicar un impulso de nivel lógico alto a la entrada R, con lo que el estado de este tipo de memoria retorna al expresado inicialmente en la figura 13-4.

El diagrama de tiempos de la báscula R-S con puertas NOR que refleja las transiciones de las salidas según los estados que adoptan las entradas puede verse en la figura 13-6.

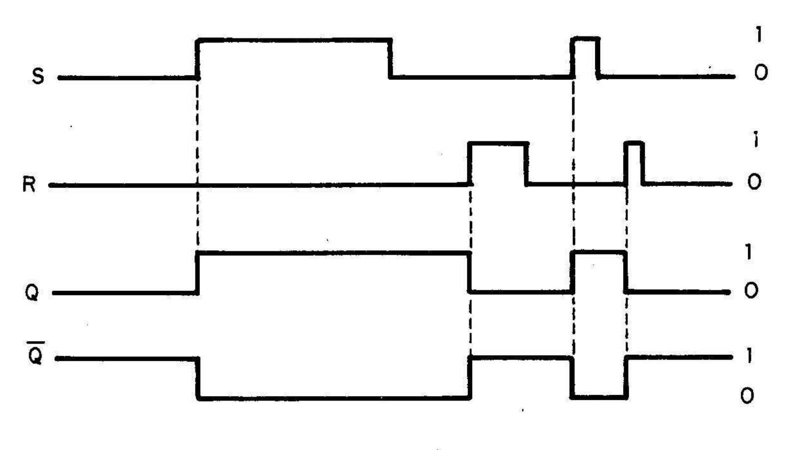


Fig. 13-6

Conviene señalar que en este tipo de báscula no se deben aplicar simultáneamente dos niveles 1 a las entradas S y R, puesto que al tener las dos puertas NOR una de sus entradas con nivel 1, las salidas de ambas serían 0, lo cual implica una contradicción evidente de la memoria, que en este caso generaría dos salidas Q y $\bar{Q}$ iguales. Teniendo en cuenta este hecho en la figura 13-7 se muestra la tabla de la verdad de la báscula R-S con puertas NOR, en la que Q_n y $\bar{Q}_n$ representan los estados actuales y Q_{n-1} y $\bar{Q}_{n-1}$ los estados anteriores de las salidas.

En la práctica y dado un circuito integrado conteniendo las dos puertas NOR, debido a la imposibilidad constructiva de que ambas tengan el mismo retraso de propagación, al bascular del estado de indeterminación ($S = R = 1$) al estado en que $S = R = 0$, la báscula toma un estado particular siempre fijo y que la experimentación puede averiguar.

S	R	Q_n	$\overline{Q}_n$
0	0	Q_{n-1}	$\overline{Q}_{n-1}$
0	1	0	1
1	0	1	0
1	1	INDETERMINADO	

Fig. 13-7

Finalmente y tomando en consideración el diagrama de tiempos de la figura 13-6, se comprueba que la transición de los estados de la salida de esta báscula se produce con el "flanco" ascendente del impulso aplicado a las entradas *R* y *S*.

BASCULA R-S ASINCRONA CON PUERTAS NAND

Este tipo de báscula es similar al estudiado anteriormente, pero emplea puertas NAND en la implementación del circuito electrónico, tal como se muestra en la figura 13-8.

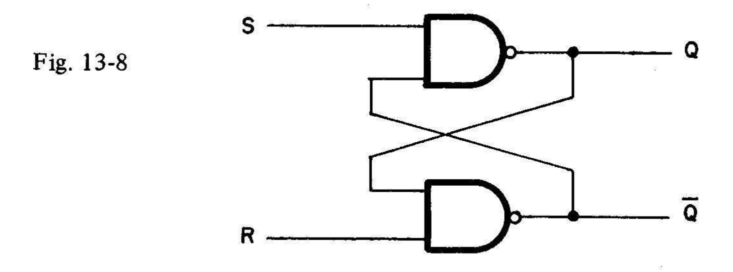


Fig. 13-8

La diferencia fundamental del flip-flop R-S con puertas NAND, con respecto al que utiliza puertas NOR, consiste en que se activa (Q = 1) y se borra (Q = 0) cuando las entradas *S* y *R* pasan de nivel lógico 1 a nivel lógico 0, respectivamente. Es decir, las entradas activan a la báscula con los flancos descendentes de sus impulsos.

Si las entradas *S* y *R* están a nivel 1, como muestra la figura 13-9 y se supone que la salida *Q* estaba a nivel 0, la puerta NAND inferior al recibir por una de sus entradas un nivel 0 y por otra (R) un nivel 1, dará

una salida $\bar{Q} = 1$, mientras que la NAND superior al tener las dos entradas a nivel 1 originará que $Q = 0$.

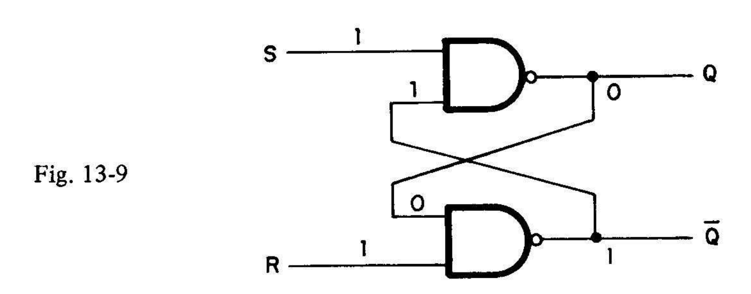


Fig. 13-9

Si en el estado inicial o de reposo, mostrado en la figura 13-9, se aplica un nivel 0 en la entrada *S*, la NAND superior al tener una de sus entradas (S) a nivel bajo, origina que su salida valga $Q = 1$, la cual al realimentar una entrada de la NAND inferior, ésta recibe dos niveles 1 por sus entradas y causa en su salida que $\bar{Q} = 0$. Este nuevo estado de la báscula, que permanece debido a la realimentación entre las puertas, aunque *S* a continuación vuelva a nivel 1, se ofrece en la figura 13-10.

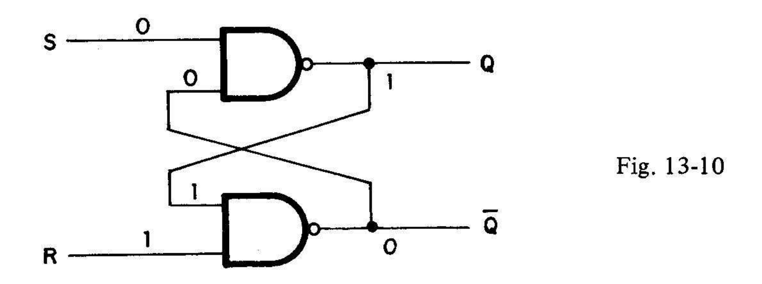


Fig. 13-10

Para pasar del estado activo ($Q = 1$) al de reposo de la figura 13-9, es necesario aplicar un nivel 0, que en este tipo de básculas es el activo, a la entrada *R* durante un período de tiempo determinado y suficiente (del orden de nanosegundos) para bascular el flip-flop.

Del funcionamiento comentado se deduce el diagrama de tiempos para la báscula R-S con puertas NAND mostrado en la figura 13-11.

También en la báscula R-S con puertas NAND existe una condición no permitida en las entradas de la misma. Dicha condición es aquella para la cual tanto *S* como *R* tienen nivel lógico 0, puesto que produce

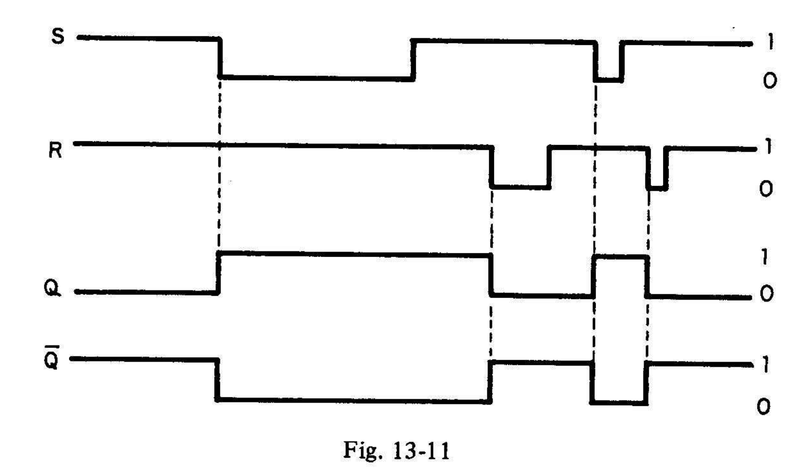


Fig. 13-11

resultados contradictorios en las salidas de las puertas, $Q = \overline{Q} = 1$. La tabla de la verdad correspondiente a este tipo de báscula se muestra en la figura 13-12.

S	R	Q_n	$\overline{Q}_n$
0	0	INDETERMINADO	
0	1	1	0
1	0	0	1
1	1	Q_{n-1}	$\overline{Q}_{n-1}$

Fig. 13-12

BASCULAS R-S SINCRONAS

Las básculas hasta ahora comentadas son asíncronas, porque cambian de estado ante la aplicación de un impulso en sus entradas S ó R. Mediante una ligera modificación en el circuito de las mencionadas básculas, se obtiene una nueva versión, conocida con el nombre de "síncrona" o con entrada de disparo.

Las básculas síncronas poseen una entrada suplementaria de control C_p que gobierna el instante en que se produce la transición entre los estados lógicos de sus salidas. Hasta que no se reciba la señal de activa-

ción en C_p, generalmente producida por un reloj, no se produce el basculado del flip flop, aunque estén presentes en las entradas S y R los niveles lógicos necesarios para realizar la transición.

Igual que en el caso de las básculas asíncronas, existen dos tipos de básculas síncronas:

a) Básculas síncronas con puertas NOR
b) Básculas síncronas con puertas NAND

BASCULA R-S SINCRONA CON PUERTAS NOR

El circuito al que hace referencia este epígrafe se representa en la figura 13-13 y consta de dos puertas NOR y de dos puertas AND.

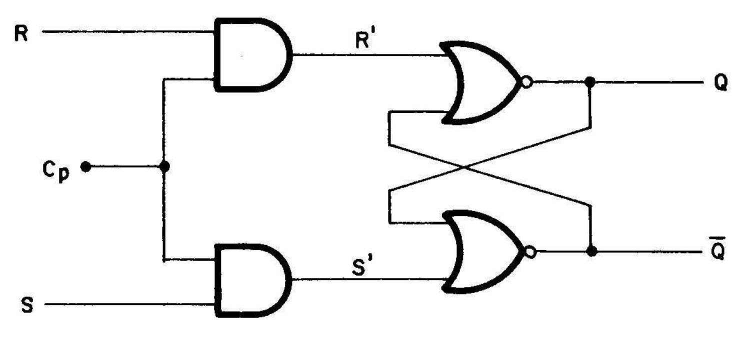


Fig. 13-13

Mientras no exista C_p, las salidas de las puertas AND se encuentran permanentemente a nivel cero. Estos niveles cero al quedar aplicados a las entradas R' y S' del flip flop R-S con puertas NOR, no pueden ocasionar ningún cambio en la salida de dicha báscula. Por lo tanto, la aplicación de niveles 1 en las entradas R y S no son útiles mientras no se produzca simultáneamente la activación de Cp.

En el caso de que C_p reciba un nivel 1, si al mismo tiempo la entrada S también vale 1, la puerta AND inferior saca un 1, que al aplicarlo a la entrada S' del flip flop R-S ocasiona el basculado del circuito a la situación en que $Q = 1$ y $\bar{Q} = 0$. En caso de existir niveles 1 en C_p y la entrada R, la salida de la báscula síncrona adoptará la situación $Q = 1$ y $\bar{Q} = 0$.

El diagrama de tiempos correspondiente a la báscula síncrona con puertas NOR se ofrece en la figura 13-14.

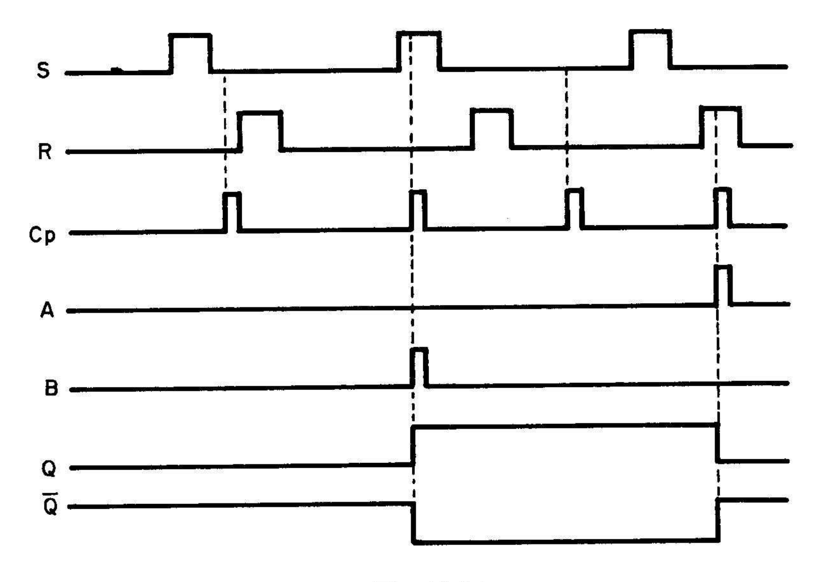


Fig. 13-14

BASCULA R-S SINCRONA CON PUERTAS NAND

Esta báscula consta además del flip flop asíncrono con dos puertas NAND, de un circuito previo basado en dos puertas NAND, que transmite al flip-flop las señales aplicadas a las entradas S y R, sólo cuando se activa la línea de sincronización C_p. Ver la figura 13-15.

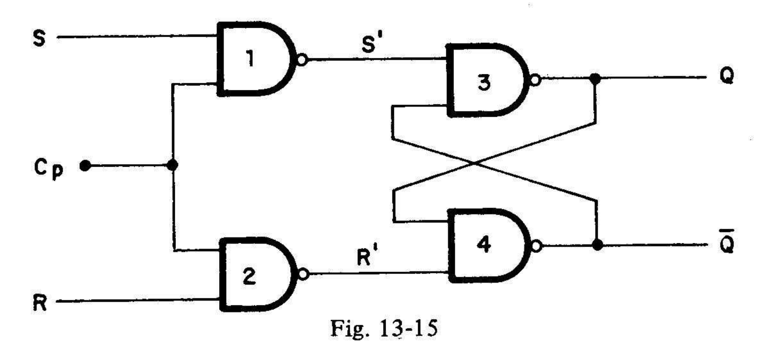


Fig. 13-15

Cuando en el circuito de la figura 13-15, se aplica un nivel lógico 1, simultáneamente a C_p y a la entrada S, la puerta NAND 1 produce un

nivel 0 en su salida, que al aplicarse a la entrada S' de la puerta NAND 3, produce el basculado de la memoria a la situación en que $Q = 1$. De forma similar, cuando $C_p = R = 1$, la NAND 2 transmite un nivel 0 a la entrada R' de la NAND 4 y la salida Q pasa a nivel 0.

El diagrama de tiempos de la báscula R-S síncrona con puertas NAND, se ofrece en la figura 13-16.

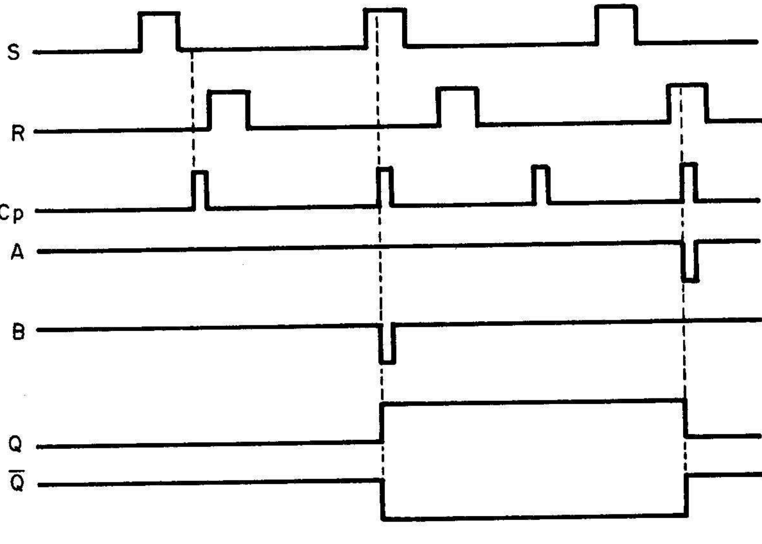


Fig. 13-16

BASCULA R-S PRINCIPAL SECUNDARIA

En la figura 13-17 se ofrece la constitución interna de este tipo de báscula, así como la representación de los circuitos integrados que

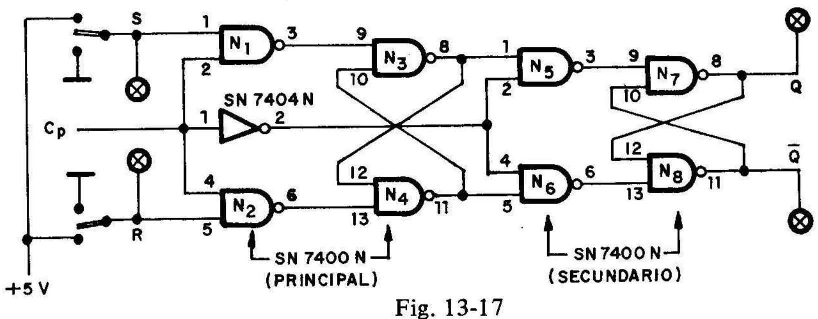


Fig. 13-17

pueden usarse para implementarse (dos 7400 y un 7404), las patillas de los mismos que se interconectan y cuatro lamparitas indicadoras del nivel lógico que se introduce en las entradas S y R, a través de los interruptores y el nivel que se obtiene en las salidas Q y $\bar{Q}$ de la báscula.

Se trata simplemente de una doble báscula R-S constituida por 4 puertas *NAND* la llamada principal, y por otras 4, la llamada secundaria.

Los impulsos de reloj se aplican directamente a la primera y a través de un inversor a la segunda. A continuación se explica su funcionamiento:

a) Sin CP

Cuando no existe impulso de reloj, las patillas 2 y 4 de la báscula principal se encuentran a nivel cero. Por tanto, cualquiera que sea el nivel aplicado a las entradas S y R (patillas 1 y 5, respectivamente), las salidas de las *NAND* N_1 y N_2 quedarán enclavadas en nivel 1. Ello supone que la báscula R-S constituida por las puertas N_3 y N_4 no podrá variar de estado, sea cual fuere. Es decir, cualquier variación en los niveles de las entradas S y R no se transmite a la sección secundaria porque la ausencia de CP bloquea la principal, cayendo a cero la patilla 6. Ello da lugar al basculamiento de la R-S formada por N_7 y N_8, obteniéndose nivel cero en $\bar{Q}$ y nivel 1 en Q. Adviértase que N_5 recibe nivel 1 en su entrada 2 y nivel cero en su entrada 1, por lo que su salida (patilla 3) suministra nivel 1. Dicho de otro modo, las excitaciones en S y R que se habían almacenado en la sección principal al subir el CP pasan a la secundaria al desaparecer dicho CP.

NOTA: Por producir efectos contrapuestos, la situación de $R = S = 1$ produce resultados indeterminados en la salida.

El diagrama de funcionamiento de una báscula R-S principal-secundaria se muestra en la figura 13-18.

b) Con CP

En el caso de existir CP en la entrada, la sección bloqueada es la secundaria. En efecto, el inversor SN 7404 transmite un nivel cero a las entradas 2 y 4 de las puertas N_5 y N_6 respectivamente, cuyas salidas (patillas 3 y 6) permanecerán enclavadas al nivel 1. En estas condiciones

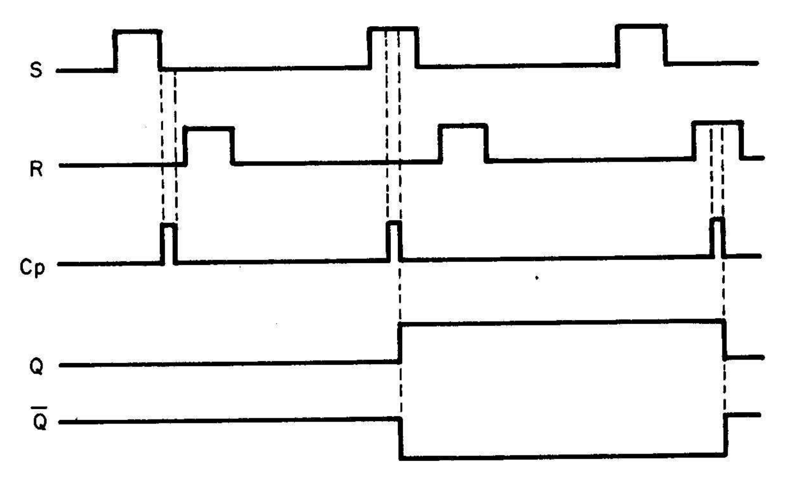


Fig. 13-18

la báscula R-S formada por las puertas N_7 y N_8 no podrá bascular. Tampoco ahora se transmitirán a las salidas Q y $\bar{Q}$ las variaciones de nivel aplicadas a las entradas S y R.

Al mismo tiempo, supongamos que S pasa a nivel 1. La puerta N_1 recibirá por tanto nivel 1 en sus dos entradas (patillas 1 y 2), suministrando a su salida (patilla 3) nivel cero. Ello provoca el basculamiento del flip-flop formado por N_3 y N_4, que pasará a nivel 1 en su salida 8 y a nivel cero en su salida 11, Por supuesto, si el nivel 1 se aplica a la entrada R, por un mecanismo análogo al explicado, se obtendrán un nivel 0 en la salida 8 y un nivel 1 en la salida 11 antes citadas. Dicho de otro modo, las excitaciones en S y R se almacenan en la sección principal, cuando existe CP, pero aún no producen ningún efecto en las salidas Q y $\bar{Q}$.

c) Sin CP nuevamente

Se considera ahora que el impulso de reloj del apartado *b*) desaparece. La sección principal queda de nuevo bloqueada y la secundaria se desbloquea a través del inversor.

Recuérdese que si S pasó a 1 cuando existía CP, dicho nivel 1 quedó almacenado en la salida 8 de la puerta N_3. Entonces, N_5 recibe nivel 1 en su patilla 1 y nivel 1 a través del inversor en su patilla 2, con lo que su salida (patilla 3) cae a cero, haciendo que la báscula formada por N_7

y N_8 pase a nivel 1, puesto que la patilla 9 de N_7 es su entrada de puesta a 1. Nótese que N_6 recibe nivel 1 a través del inversor en su patilla 4 y nivel cero en su patilla 5, procedente de la salida 11 de N_4. Por ello, su salida 6 permanece en 1. También ha de recordarse que si R pasó a 1 cuando CP existía, se provocó un nivel cero en la salida 8 de N_3 y un nivel 1 en la salida 11 de N_4. Entonces, al desaparecer el CP, la puerta N_6 recibe en su pata 5 nivel 1 y en su pata 4 también.

En la figura 13-19 puede verse la tabla de verdad del sistema.

ENTRADAS			SALIDAS	
RELOJ	S	R	Q	$\overline{Q}$
⎍	L	L	Q_0	$\overline{Q}_0$
⎍	H	L	H	L
⎍	L	H	L	H
⎍	H	H	INDETERMINADO	

H = NIVEL 1
L = NIVEL 0

Fig. 13-19

BASCULA D

La báscula D es un elemento empleado para retrasar la transferencia de la señal aplicada a su entrada (llamada D) hasta la salida. En efecto, dicha señal de entrada pasa a la salida cuando llega un impulso de reloj CP. Mientras el CP no esté presente, la señal de entrada no aparece en la salida.

Una báscula D puede obtenerse por medio de una modificación en el circuito de una R-S con entrada de disparo, según se manifiesta en la figura 13-20.

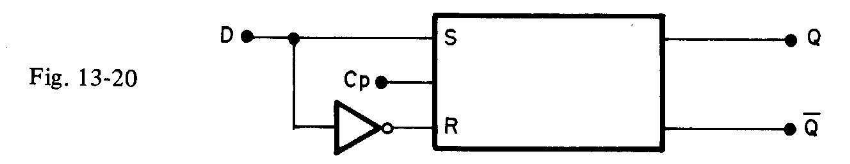


Fig. 13-20

La tabla de verdad de una báscula R-S con CP era la que ahora se muestra en la figura 13-21.

Fig. 13-21

S	R	Qn+1
0	0	Qn
1	0	1
0	1	0
1	1	Indeterminado

En la tabla anterior Q_{n+1} representa el estado de la salida Q_n tras la aplicación del impulso de reloj. Q_n representa el estado de la salida Q antes del impulso de reloj.

Cuando la báscula se emplea con la adición de un circuito inversor entre la entrada llamada D y la R, se tienen, según la tabla de la figura 13-21, los estados simultáneos $S = 0$, $R = 1$, o bien $S = 1$ y $R = 0$. Para el primer caso, $S = 0$ y $R = 1$, se observa que la salida Q_{n+1} adopta el nivel 0, como S. Para el segundo caso, $S = 1$ y $R = 0$, la salida Q_{n+1} adopta el nivel 1, como S.

En conclusión, la salida del circuito (Q_{n+1}) adopta el mismo nivel que la entrada D (que al mismo tiempo es la S) tras la aplicación del impulso de reloj CP.

En la figura 13-22 se muestra el diagrama de funcionamiento ya descrito de la báscula D.

Circuito práctico de la báscula D

Los dos tipos de báscula D que se pueden realizar utilizando una báscula R-S con entrada de disparo y un inversor son:

a) Con R-S de puertas *NOR*. El circuito correspondiente se muestra en la figura 13-23.

b) Con R-S de puertas *NAND*. Su circuito es el de la figura 13-24.

BASCULA J-K PRINCIPAL SECUNDARIA

En anteriores apartados se estudiaron las tablas de la verdad de las básculas R-S con puertas NOR y NAND y en ambos tipos se compro-

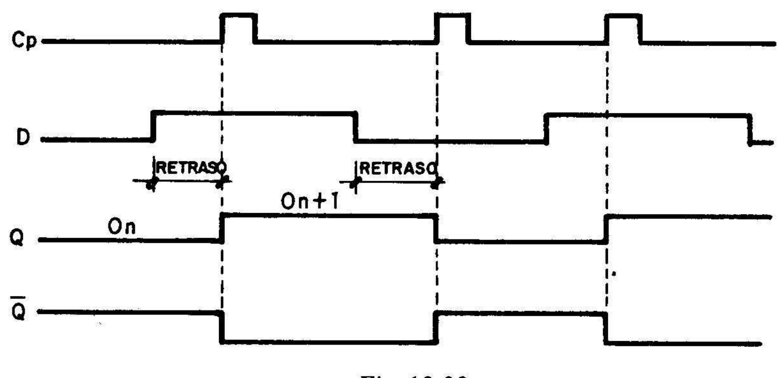


Fig. 13-22

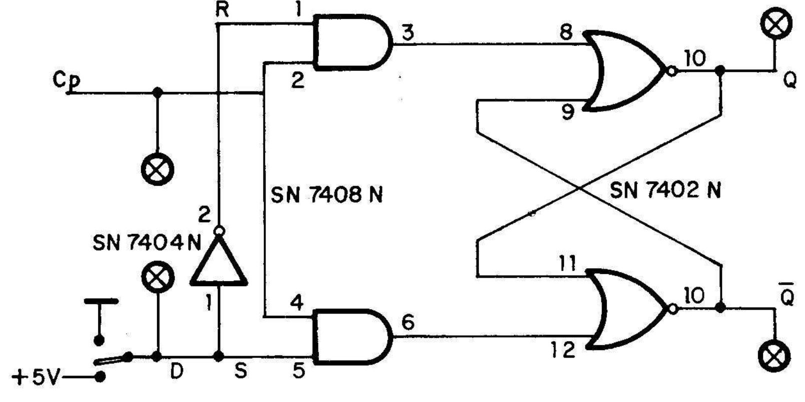


Fig. 13-23

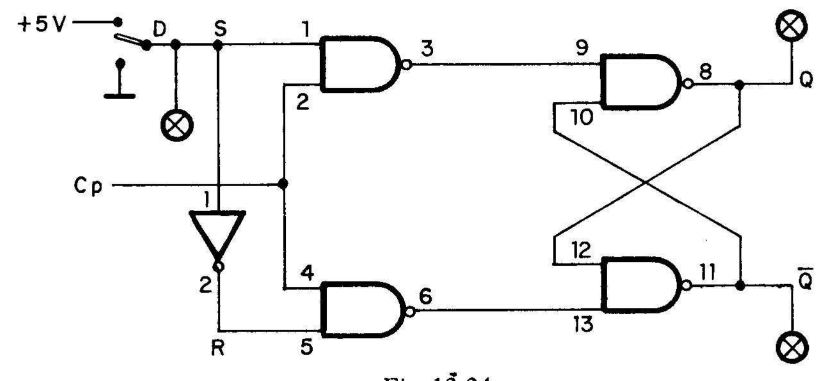


Fig. 13-24

bó que existía una condición de indeterminación. En el circuito con puertas NOR, dicha condición se producía cuando $S = R = 1$ y en el de puertas NAND cuando $S = R = 0$. *La báscula* J-K elimina este problema.

La báscula J-K dispone de dos entradas denominadas J y K, así como una entrada de señal de reloj para la sincronización, que recibe la representación de C_k. Llanando Q_n al estado de la salida Q, un instante antes de la llegada del impulso C_k, se puede comprender el funcionamiento de la báscula J-K según su tabla de la verdad presentada en la figura 13-25.

Fig. 13-25

J	K	Qn+1
0	0	Qn
1	0	1
0	1	0
1	1	$\overline{Qn}$

El esquema por bloques de este tipo de báscula se muestra en la figura 13-26.

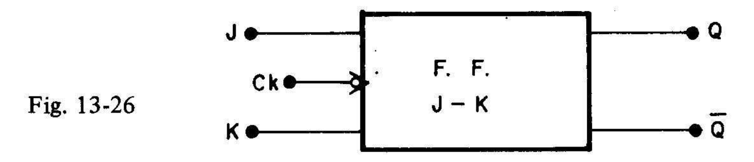


Fig. 13-26

En la figura 13-27 se presenta el circuito lógico al que responde la báscul,a J-K principal-secundaria.

Apréciese en la figura 13-27 que se trata de dos básculas R-S llamadas respectivamente principal (M) y secundaria (S). Los impulsos de reloj C_k se aplican de forma directa a la sección M, e invertidos a la S. La disposición es análoga a la de la báscula R-S principal-secundaria, con la diferencia de que las *NAND* N_1 y N_2, que en la R-S disponen sólo de dos entradas, presentan tres en esta ocasión. A esta tercera entrada se le aplica una realimentación desde la salida, tomada de Q para N_2 y de $\overline{Q}$ para N_1.

Dada la simetría del circuito, se puede partir del supuesto $Q = 1$ y $\overline{Q} = 0$, obteniendo el cambio a $Q = 0$ y $\overline{Q} = 1$, con cada C_k que llegue.

Podemos resumir entonces el funcionamiento de una báscula J-K principal-secundaria cuando $J = K = 1$, expresando que se produce la in-

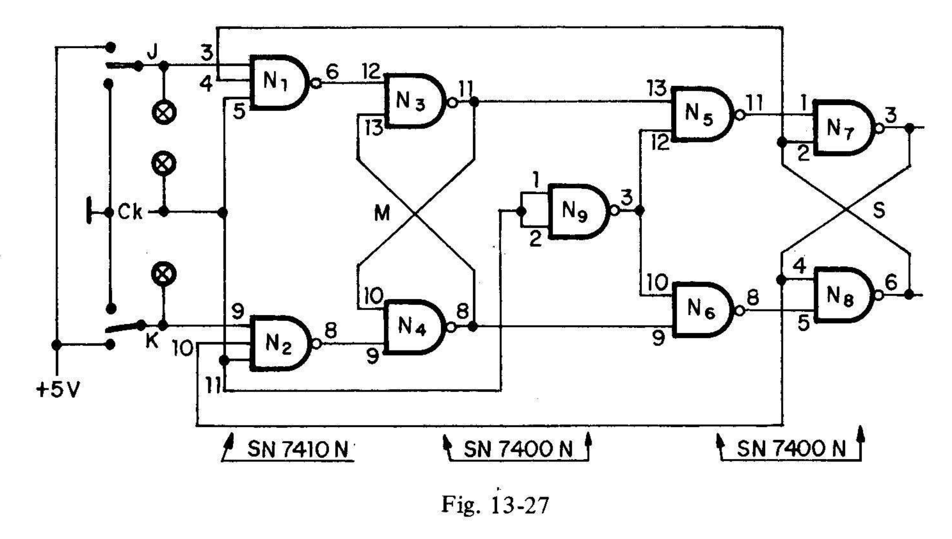


Fig. 13-27

versión en el estado de las salidas por cada impulso de reloj C_k. Se tiene pues que $Q_{n+1} = \overline{Q}_n$.

El funcionamiento del circuito es el siguiente:

a) Sin C_k

Cuando no existe impulso de reloj, las patillas 5 y 11 de N_1 y N_2 se encuentran a nivel cero. Por tanto, cualquiera que sea el nivel aplicado a las demás entradas (J, K y de realimentación) sus salidas (patitas 6 y 8 respectivamente) permanecerán enclavadas en el nivel 1. Esto supone que la báscula R-S constituida por las puertas N_3 y N_4 no podrá variar de estado, sea cual fuere. Es decir, cualquier variación en los niveles de las entradas J y K no se transmite a la sección secundaria porque la ausencia de C_k bloquea la principal.

b) Con C_k

Existiendo impulso de reloj, C_k, se bloquea la sección secundaria. En efecto, el inversor N_9 transmite un nivel cero a las entradas 10 y 12 de las puertas N_6 y N_5 respectivamente, cuyas salidas (patillas 8 y 9) permanecerán enclavadas a nivel 1. En estas condiciones, la báscula R-S formada por las puertas N_7 y N_8 no podrá bascular. Tampoco ahora se transmitirá a las salidas Q y $\overline{Q}$ las variaciones de nivel aplicadas a las entradas J y K.

Si se supone al mismo tiempo que J pasa al nivel 1, encontrándose las salidas en la condición $Q = 0$ y $\bar{Q} = 1$, la puerta N_1 recibirá el nivel 1 en sus entradas (patillas 3, 4 y 5), suministrando a su salida (patilla 6) nivel cero. Ello provoca el cambio de estado en la báscula formada por N_3 y N_4, que pasará a nivel 1 en su salida 11 y a nivel cero en su salida 8. Mientras tanto, N_2 se mantendrá a nivel 1 en su salida, ya que tanto su entrada K (patilla 9) como su entrada, procedente de $Q = 0$, se encuentran a nivel cero.

Por supuesto, si el nivel 1 se aplica a le entrada K por un mecanismo análogo al explicado, se obtendrá un nivel cero en la salida 11 de N_3 y un nivel 1 en la salida de N_4. Dicho de otra manera, las excitaciones en J y K se almacenan en la sección principal cuando existe reloj C_k, pero aún no producen ningún efecto en las salidas Q y Q.

c) Sin C_k nuevamente

Si ahora se considera que el impulso de reloj C_k del apartado *b*) desaparece, la sección principal queda de nuevo bloqueada y la secundaria se desbloquea a través del inversor. Recuérdese que si J pasó a 1 cuando existía C_k, dicho nivel 1 quedó almacenado en la salida 11 de la puerta N_3. Entonces, N_5 recibe nivel 1 en su patita 13 y nivel 1, a través del inversor N_9, en su patilla 12, con lo que su salida (patilla 11) cae a cero, lo que hace que la báscula formada por N_7 y N_8 pase a nivel 1, puesto que la patilla 1 de N_7 es su entrada de puesta a 1.

Nótese que N_6 recibe nivel 1 a través del inversor en su patita 10 y nivel 0 en su patita 9 procedente de la salida 8 de N_4; por todo ello su salida 8 permanece en 1.

Además, si K pasó a 1 cuando C_k existía, se provocó un nivel cero en la salida 11 de N_3 y un nivel 1 en la salida 8 de N_4. Al desaparecer C_k, la puerta N_6 recibe por su patilla 9 nivel 1 y en su patilla 10 también nivel 1 a través del inversor, por lo que su salida (patita 8) cae a cero, dando lugar al basculamiento de la R-S formada por N_7 y N_8, obteniendo nivel cero en Q y nivel 1 en $\bar{Q}$. Adviértase que ahora N_5 recibe nivel 1 en su entrada 12 y nivel cero en su entrada 13, por lo que su salida (patilla 11) suministra nivel 1. Dicho de otro modo, las excitaciones en J y K que se habían almacenado en la sección principal al subir el C_k, pasan a la secundaria, al desaparecer dicho C_k.

Caso en que $J = 1$ y $K = 1$

Cuando J y K se encuentra simultáneamente en estado 1, existiendo C_k, sin cuya presencia la báscula principal se encuentra bloqueada, y suponiendo que $Q = 0$ y $\bar{Q} = 1$, la puerta N_1 suministra por su salida (patita 6) un nivel cero, ya que sus tres entradas (patitas 3, 4 y 5) reci-

ben nivel 1. Por tanto, la báscula R-S formada por N_3 y N_4 basculará, dando nivel 1 en su salida 11 de N_3, y nivel cero en su salida 8 de N_4. Mientras tanto, la puerta N_2 suministrará nivel 1 en su salida 8, ya que desde $Q = 0$ recibe en su entrada 10 un nivel cero. Al desaparecer C_k entrará en acción la báscula secundaria y la salida Q pasará a nivel 1, mientras que la $\bar{Q}$ pasará a nivel cero; es decir, las salidas se han invertido.

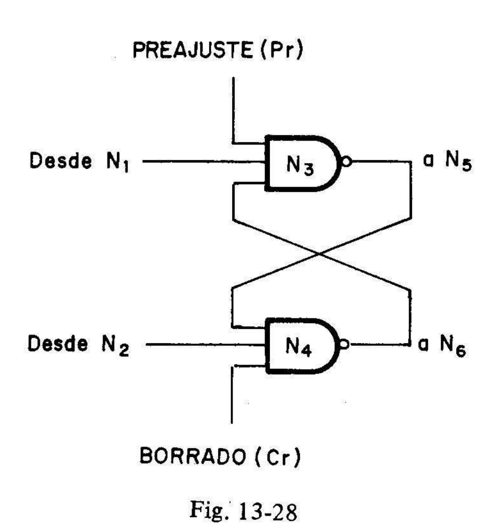


Fig. 13-28

Puesta a 0 y puesta a 1

En cualquier momento puede interesar que la salida Q pase a cero o a 1 sin accionar las entradas J y K. Para ello hay que habilitar otras dos entradas directas, que se denominan borrado (Cr) y preajuste (Pr). Estas entradas se añaden a las puertas N_4 y N_3 respectivamente, como se aprecia en la figura 13-28.

Cuando $C_k = 0$, única condición para la actuación sobre Pr o Cr (recuérdese que $C_k = 1$ bloquea la sección secundaria), se puede forzar a cero la salida Q con sólo aplicar nivel cero a la entrada Cr. En efecto, N_4 pasa instantáneamente a nivel 1, lo que provoca la caída a cero de N_6, entrada de puesta a cero de la sección secundaria. Q pasa por tanto a nivel cero.

Igualmente, aplicando nivel cero a la entrada Pr la puerta N_3 pasa a nivel 1; inmediatamente, la puerta N_5 cae a nivel cero, con lo que, por ser la entrada de puesta a 1 de la sección secundaria, dará lugar al forzar Q para que se ponga a 1. Es decir, provoca el estado $Q = 1$. Cuando no se desee efecto alguno en Pr y Cr, éstas entradas directas han de colocarse a nivel 1.

En la figura 13-29 se representa el diagrama de estado lógico-tiempo de una báscula J-K principal-secundaria, como resumen gráfico de su funcionamiento.

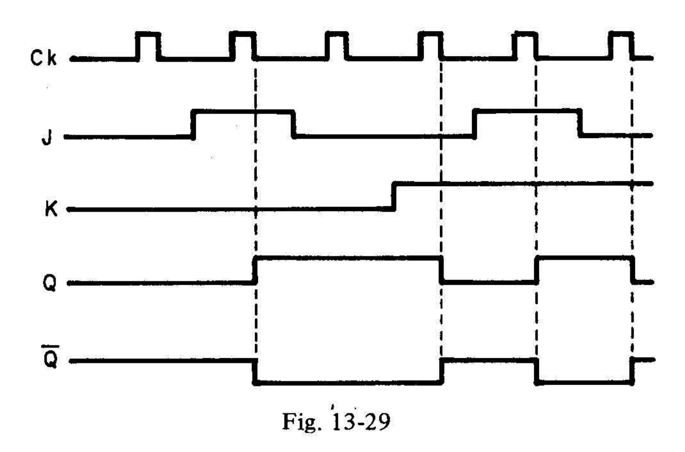


Fig. 13-29

BASCULA J-K PRINCIPAL-SECUNDARIA EN CIRCUITO INTEGRADO

Anteriormente se ha comprobado el funcionamiento y circuito de la báscula J-K principal-secundaria. Se necesitaban nueve puertas *NAND*, dos de ellas de tres entradas, con un total de tres circuitos integrados. Pues bien, el circuito de dicha báscula puede conseguirse de forma mucho más simple, utilizando un c.i. por el estilo del SN 7476 N. Figura 13-30

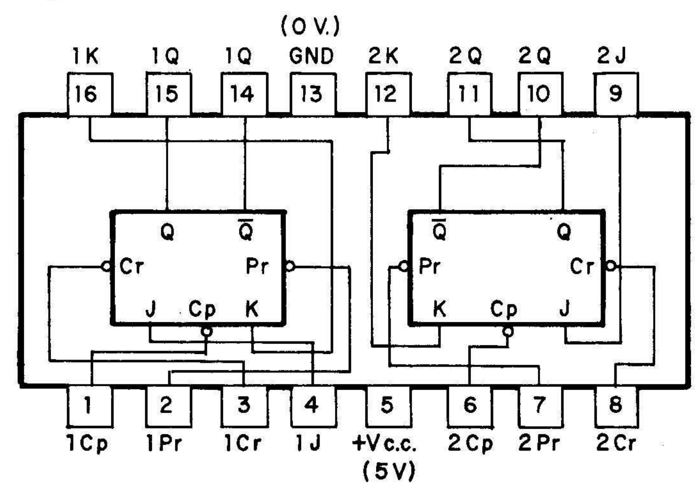


Fig. 13-30

El c.i. SN 7476 N representado en la figura 13-30 contiene un flip-flop J-K principal-secundario, incorporando además las entradas preajuste (*Pr*) y borrado (*Cr*) de puesta a 1 y a 0, respectivamente.

En la figura 13-31 se muestra el montaje con el cual se prueba de forma práctica el funcionamiento de este c.i., utilizando para empezar el flip-flop de la izquierda, designando con 1 a sus contactos exteriores.

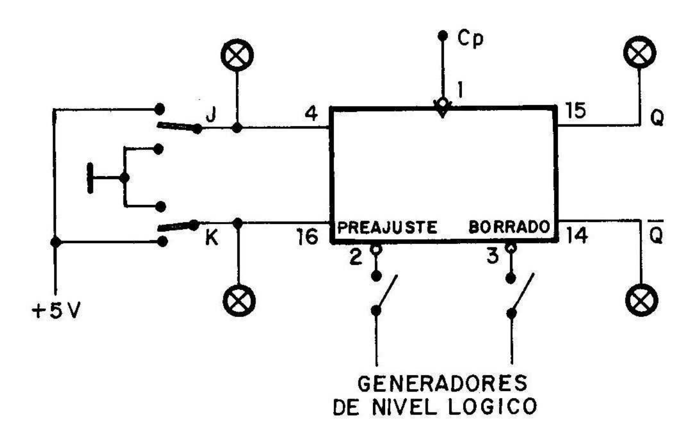


Fig. 13-31

Condiciones de funcionamiento

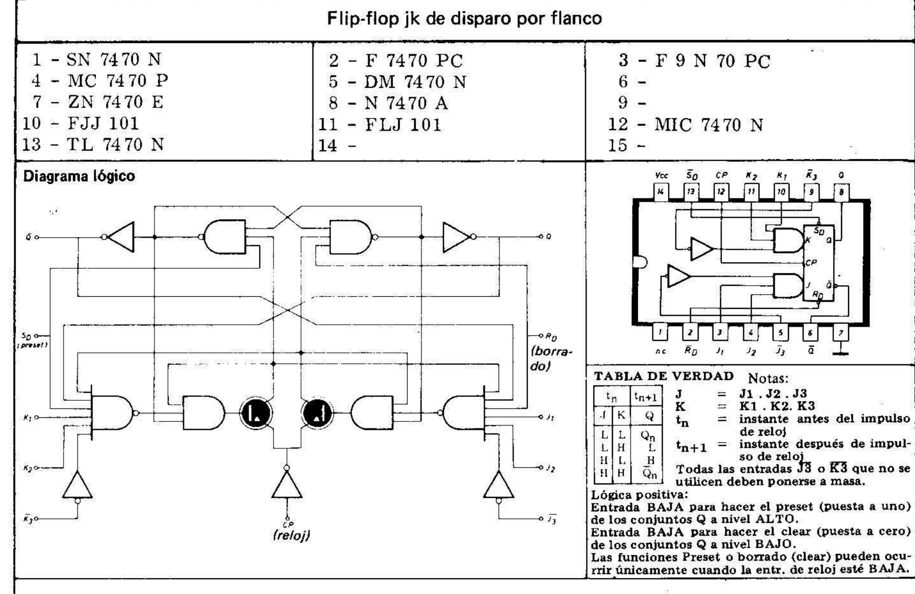
a) Funcionamiento normal: Exige que las entradas de preajuste y de borrado se encuentren simultáneamente a nivel 1.

b) Puesta a 1: Cuando se desea forzar a 1 la salida Q, la entrada de preajuste se colocará a nivel cero permaneciendo la de borrado a nivel 1.

c) Puesta a cero: Cuando se desea forzar a cero la salida Q, la entrada de borrado se colocará a nivel cero, permaneciendo la de preajuste a nivel 1.

d) Situación no estable: Cuando tanto preajuste como borrado se encuentren a nivel cero de forma simultánea, las dos salidas Q y $\overline{Q}$ pasan a nivel 1. Esta situación, sin embargo, no es estable, es decir, no persiste cuando *Pr* y *Cr* retornan a su estado inactivo (nivel 1).

A continuación y desde la figura 13-32, hasta la 13-36, se ofrecen las características más importantes de circuitos integrados muy empleados que contienen diferentes tipos de básculas en su interior.



Flip-flop jk de disparo por flanco

1 - SN 7470 N	2 - F 7470 PC	3 - F 9 N 70 PC
4 - MC 7470 P	5 - DM 7470 N	6 -
7 - ZN 7470 E	8 - N 7470 A	9 -
10 - FJJ 101	11 - FLJ 101	12 - MIC 7470 N
13 - TL 7470 N	14 -	15 -

Diagrama lógico

TABLA DE VERDAD

t_n		t_{n+1}
J	K	Q
L	L	Q_n
L	H	L
H	L	H
H	H	$\bar{Q}_n$

Notas:

J = J1 . J2 . J3
K = K1 . K2. K3
t_n = instante antes del impulso de reloj
t_{n+1} = instante después de impulso de reloj

Todas las entradas $\overline{J3}$ o $\overline{K3}$ que no se utilicen deben ponerse a masa.

Lógica positiva:
Entrada BAJA para hacer el preset (puesta a uno) de los conjuntos Q a nivel ALTO.
Entrada BAJA para hacer el clear (puesta a cero) de los conjuntos Q a nivel BAJO.
Las funciones Preset o borrado (clear) pueden ocurrir únicamente cuando la entr. de reloj esté BAJA.

DESCRIPCION – Este dispositivo es un flip-flop JK de disparo por flanco con puerta a la entrada que ofrece entradas directas de borrado y preset, y salidas complementarias Q y q. La información en las entradas J y K es transferida a las salidas en el flanco positivo del impulso de reloj.

El disparo de reloj de acoplo directo se produce a un nivel de tensión específico del impulso de reloj, cuando se ha sobrepasado la tensión de umbral de entrada de reloj, las entradas con puerta quedan bloqueadas.

Estos flip-flop están diseñados para aplicaciones de media a alta velocidad y ofrece un ahorro significativo en la disipación de potencia y número de circuitos del sistema cuando se requiera entrada a través de puerta.

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC}	4.75	5.0	5.25	Volts
Temperatura ambiente de funcionamiento	0	25	70	°C
Cargab. de salida norm. de cada salida, N			10	U.L.
Tiempo de transición de impulso del reloj a nivel ALTO t_1 (clock)	5.0		150	ns
Anchura del impulso de reloj, t_p (clock)	20			ns
Anchura del impulso de preset, $t_{p(preset)}$	25			ns
Anchura del impulso de borrado $t_{p(clear)}$	25			ns

CARACTERISTICAS ELECTRICAS EN EL MARGEN DE TEMPERATURA DE FUNCIONAMIENTO
(si no se especifica otra cosa)

SIMBOLO	PARAMETRO	MIN.	TIP. (2)	MAX.	UNIDADES	COND. DE PRUEBA (1)
V_{IH}	Tensión de entrada ALTA	2.0			Volts	Entrada ALTA garantizada
V_{IL}	Tensión de entrada BAJA			0.8	Volts	Entrada BAJA garantizada
V_{OH}	Tensión de salida ALTA	2.4	3.5		Volts	V_{CC}= MIN., I_{OH} = - 0.4 mA
V_{OL}	Tensión de salida BAJA		0.22	0.4	Volts	V_{CC}= MIN., I_{OL} = 16 mA
I_{IH}	Corriente de entrada ALTA en J1,J2,$\overline{J3}$,K1,K2,$\overline{K3}$ o reloj			40 1.0	μA mA	V_{CC} = MAX., V_{IN} = 2.4 V V_{CC} = MAX., V_{IN} = 5.5 V
	Corriente de entrada ALTA para borrado o preset			80 1.0	μA mA	V_{CC} = MAX., V_{IN} = 2.4 V V_{CC} = MAX., V_{IN} = 5.5 V
I_{IL}	Corriente de entrada BAJA para J1,J2,$\overline{J3}$,K1,K2,$\overline{K3}$ o reloj			- 1.6	mA	V_{CC} = MAX., V_{IN} = 0.4 V
	Corriente de entrada BAJA para borrado o preset			- 3.2	mA	V_{CC} = MAX., V_{IN} = 0.4 V
I_{OS}	Corr. de sal. en cortoc. (3)	- 18		- 57	mA	V_{CC} = MAX., V_{IN} = 0 V
I_{CC}	Corriente de alimentación		13	26	mA	V_{CC} = MAX., V_{IN} = 5.0 V

Fig. 13-32

Flip-flop JK maestro/auxiliar con entradas AND

1 - SN 7472 N	2 - F 7472 PC	3 - F 9 N 72 PC
4 - MC 7472 P	5 - DM 7472 N	6 - DM 8540 N
7 - ZN 7472 E	8 - N 7472 A	9 - T 7472 B 1
10 - FJJ 111	11 - FLJ 111	12 - MIC 7472 N
13 - TL 7472 N	14 - SF.C 472 E	15 - SW 7472 N

Diagrama lógico

Q, preset (S_D), K1, K2, K3, $\bar{Q}$, borrado (R_D), J1, J2, J3, reloj (C_P)

V_{cc}, $\bar{S}_D$, $\bar{C}_P$, K3, K2, K1, Q — Nc, $\bar{R}_D$, J1, J2, J3, $\bar{Q}$

TABLA DE VERDAD

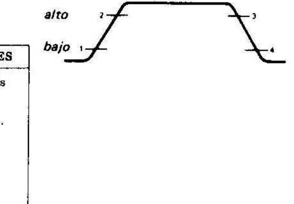
t_n		t_{n+1}
J	K	Q
L	L	Q_n
L	H	L
H	L	H
H	H	$\bar{Q}_n$

Notas:
J = J1 . J2 . J3
K = K1 . K2 . K3
t_n – instante antes del impulso de reloj
t_{n+1} – instante después del impulso de reloj

Lógica positiva:
Entr. BAJA para preset de Q a niv.ALTO
Entr. BAJA para clear de Q a niv.BAJO
Preset y borr. son independientes del reloj.

DESCRIPCION – Este dispositivo es un flip-flop JK maestro/auxiliar con entradas con puerta AND. Las entradas con puerta AND para entrar en la sección maestro están controladas por el impulso de reloj. El impulso de reloj regula también el estado de los transistores de acoplamiento que conectan las secciones maestro y auxiliar. La secuencia de funcionamiento es como sigue:
1 – Aisla auxiliar de maestro.
2 – Entra la información de las entradas con puerta AND al maestro.
3 – Inhabilita entradas de puerta AND.
4 – Transfiere la información del maestro al auxiliar.

FORMA DE ONDA DEL RELOJ



CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC}	4.75	5.0	5.25	Volts
Margen de temp. ambiente	0	25	70	^oC
Cargab. de sal. normalizada de cada sal., N			10	U.L.
Anchura del impulso de reloj, $t_{p(clock)}$	20			ns
Anchura del impulso de preset, $t_{p(preset)}$	25			ns
Anchura del impulso de borrado $t_{p(clear)}$	25			ns
Tiempo de estab. (setup) de entr. t_{setup}	$t_{p(clock)}$			
Tiempo de manten. de entrada, t_{hold}	0			

CARACTERISTICAS ELECTRICAS EN EL MARGEN DE TEMPERATURA DE FUNCIONAMIENTO
(si no se especifica otra cosa)

SIMBOLO	PARAMETRO	MIN.	TIP. (2)	MAX.	UNIDADES	COND. DE PRUEBA (1)
V_{IH}	Tensión de entrada ALTA	2.0			Volts	Entrada ALTA garantizada
V_{IL}	Tensión de entrada BAJA			0.8	Volts	Entrada BAJA garantizada
V_{OH}	Tensión de salida ALTA	2.4	3.5		Volts	V_{CC} = MIN., I_{OH} = -0.4 mA
V_{OL}	Tensión de salida BAJA		0.22	0.4	Volts	V_{CC} = MIN., I_{OL} = 16 mA
I_{IH}	Corr. de entrada ALTA en J1-J2, J3, K1, K2 o K3			40 1.0	μA mA	V_{CC} = MAX., V_{IN} = 2.4 V V_{CC} = MAX., V_{IN} = 5.5 V
	Corr. de entrada ALTA en borrado, preset o reloj			80 1.0	μA mA	V_{CC} = MAX., V_{IN} = 2.4 V V_{CC} = MAX., V_{IN} = 5.5 V
I_{IL}	Corriente de entrada BAJA en J1, J2, J3, K1, K2, o K3			- 1.6	mA	V_{CC} = MAX., V_{IN} = 0.4 V
	Entrada de corriente BAJA en borrado, preset o reloj			- 3.2	mA	V_{CC} = MAX., V_{IN} = 0.4 V
I_{OS}	Corr. de sal. en cortocir. (3)	-18		- 57	mA	V_{CC} = MAX., V_{IN} = 0 V
I_{CC}	Corriente de alimentación		10	20	mA	V_{CC} = MAX., V_{IN} = 5.0 V

Fig. 13-33

Flip-flop dual JK maestro/auxiliar con reloj y borrado separados

1 - SN 7473 N	2 - F 7473 PC	3 - F 9 N 73 PC
4 - MC 7473 P	5 - DM 7473 N	6 - DM 8501 N
7 - ZN 7473 E	8 - N 7473 A	9 - T 7473 B1
10 - FJJ 121	11 - FLJ 121	12 - MIC 7473 N
13 - TL 7473 N	14 - SF.C 473 E	15 - SW 7473 N

Diagrama lógico

(cada flip-flop)

Q Q̄ K J BORRADO (R_D) RELOJ (CP)

J Q̄ Q K Q Q̄
CP R_D K Vcc $\overline{CP}$ $\overline{R_D}$ J

TABLA DE VERDAD

t_n		t_{n+1}
J	K	Q
L	L	Q_n
L	H	L
H	L	H
H	H	$\overline{Q}_n$

Notas:
t_n = Instante antes del impulso de reloj
t_{n+1} = Instante después del impulso de reloj

Lógica positiva:
Entr. BAJA para clear de Q a nivel ALTO
El borrado es independiente del reloj.

DESCRIPCION – Este dispositivo es un flip-flop dual JK maestro/auxiliar con entradas separadas de borrado y reloj en cada flip-flop. Las entradas a la sección maestro están controladas por el impulso de reloj. El impulso de reloj regula también el estado de los transistores de acoplamiento que conectan las secciones maestro y auxiliar. La secuencia de funcionamiento es como sigue:

1 – Aislar auxiliar de maestro.
2 – Entrar la información de las entradas J y K al maestro.
3 – Incapacitar las entradas J y K.
4 – Transferir la información del maestro al auxiliar.

FORMA DE ONDA DEL RELOJ



CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC}	4.75	5.0	5.25	Volts
Margen de temperatura ambiente	0	25	70	°C
Cargab. de salida norm. de cada salida, N			10	U.L.
Anchura del impulso de reloj $t_{p(clock)}$	20			ns
Anchura del impulso de borrado $t_{p(clear)}$	25			ns
Tiempo de estab. (Setup) de entrada $t_{(setup)}$	$\geq t_{p(clock)}$			
Tiempo de manten. (Hold) de entrada, t_{hold}	0			

CARACTERISTICAS ELECTRICAS EN EL MARGEN DE TEMPERATURA DE FUNCIONAMIENTO
(si no se especifica otra cosa)

SIMBOLO	PARAMETRO	MIN.	TIP. (2)	MAX.	UNIDADES	COND. PRUEBA (1)
V_{IH}	Tensión de entrada ALTA	2.0			Volts	Entrada ALTA Garantizada
V_{IL}	Tensión de entrada BAJA			0.8	Volts	Entrada BAJA Garantizada
V_{OH}	Tensión de salida ALTA	2.4	3.5		Volts	V_{CC} = MIN., I_{OH} = -0.4 mA
V_{OL}	Tensión de salida BAJA		0.22	0.4	Volts	V_{CC} = MIN., I_{OL} = 16 mA
I_{IH}	Corr. de entr. ALTA en J o K			40 1.0	µA mA	V_{CC} = MAX., V_{IN} = 2.4 V V_{CC} = MAX., V_{IN} = 5.5 V
	Corr. de entr. ALTA en borrado, o reloj			80 1.0	µA mA	V_{CC} = MAX., V_{IN} = 2.4 V V_{CC} = MAX., V_{IN} = 5.5 V
I_{IL}	Corr. de entr. BAJA en J o K			- 1.6	mA	V_{CC} = MAX., V_{IN} = 0.4 V
	Entrada de corriente BAJA en borrado, o reloj			- 3.2	mA	V_{CC} = MAX., V_{IN} = 0.4 V
I_{OS}	Corr. de sal. en c. (3)	-18		- 57	mA	V_{CC} = MAX., V_{IN} = 0 V
I_{CC}	Corriente de alimentación		20	40	mA	V_{CC} = MAX.

Fig. 13-34

Flip-flop de disparo por flanco tipo D dual

1 - SN 7474 N	2 - F 7474 PC	3 - F 9 N 74 PC
4 - MC 7479 P	5 - DM 7474 N	6 - DM 8510 N
7 - ZN 7474 E	8 - N 7474 A	9 - T 7474 B1
10 - FJJ 131	11 - FLJ 141	12 - MIC 7474 N
13 - TL 7474 N	14 - SF.C 474 E	15 - SW 7474 N

Diagrama lógico (cada flip-flop)

PRESET (S_D)

BORRADO (R_D)

CLOCK (CP)

D

Q

$\bar{Q}$

Vcc $\bar{R}_D$ D CP $\bar{S}_D$ Q $\bar{Q}$

14 13 12 11 10 9 8

1 2 3 4 5 6 7

$\bar{R}_D$ D CP $\bar{S}_D$ Q $\bar{Q}$

TABLA DE VERDAD (cada flip-flop)

t_n	t_{n+1}	
ENTR	SALIDA	SALIDA
D	Q	$\bar{Q}$
L	L	H
H	H	L

Notas:
t_n = instante antes del impulso de reloj
t_{n+1} = instante después del impulso de reloj
Lógica positiva:
Entr. BAJA preset de Q a nivel ALTO
Entr. BAJA clear de Q a nivel BAJO
Preset y borrado (clear) son independientes del reloj.

DESCRIPCION – Este dispositivo es un flip-flop tipo D dual por disparo de flanco con entradas directas de borrado y preset así como salidas Q y Q. La información en la entrada es transferida a las salidas en el flanco positivo del impulso de reloj. Está diseñado para utilizarse en aplicaciones de media a alta velocidad.

Los disparos del reloj ocurren a un nivel de tensión del impulso de reloj y no está directamente relacionado con el tiempo de transición del impulso hacia positivo. Una vez que se ha sobrepasado la tensión de umbral de la entrada de reloj, la entrada de datos (D) queda bloqueada y la información presente no será transferida a la salida.

Diagrama esquemático

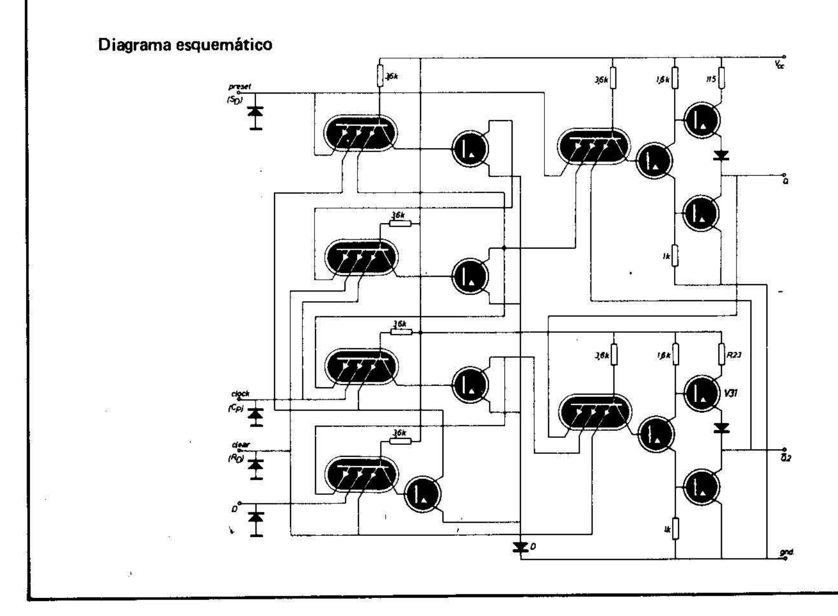


Fig. 13-35

Flip-flop dual JK maestro/auxiliar con entradas separadas de preset, borrado (clear) y reloj (clock)

1 - SN 7476 N	2 - F 7476 PC	3 - F 9 N 76 PC
4 - MC 7476 P	5 - DM 7476 N	6 - DM 8500 N
7 - ZN 7476 E	8 - N 7476 A	9 - T 7476 B1
10 - FJJ 191	11 - FLJ 131	12 - MIC 7476 N
13 - TL 7476 N	14 - SF.C 476 E	15 - SW 7476 N

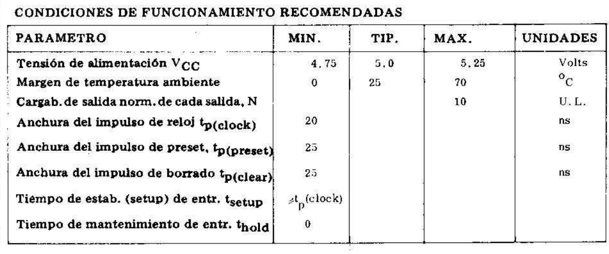
Diagrama lógico

(cada flip-flop)

Lógica positiva:
Entr. BAJA para preset de Q a nivel ALTO
Entr. BAJA para clear de Q a nivel BAJO
Preset y borrado son independientes del reloj

DESCRIPCION – Este dispositivo es un flip-flop dual JK maestro/auxiliar con entradas separadas de borrado (clear) o reloj. Las entradas a la sección maestro están controladas por el impulso de reloj. El impulso de reloj regula también el estado de los transistores de acoplamiento que conectan las secciones maestro y auxiliar. La secuencia de funcionamiento es como sigue:

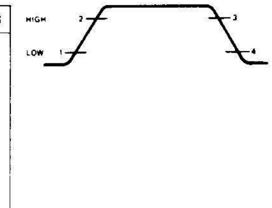
1 – Aislar auxiliar de maestro
2 – Entrar la información de las entradas J a K al maestro
3 – Inhabilitar entradas J a K
4 – Transferir la información del maestro al auxiliar.



CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC}	4.75	5.0	5.25	Volts
Margen de temperatura ambiente	0	25	70	°C
Cargab. de salida norm. de cada salida, N			10	U.L.
Anchura del impulso de reloj $t_{p(clock)}$	20			ns
Anchura del impulso de preset, $t_{p(preset)}$	25			ns
Anchura del impulso de borrado $t_{p(clear)}$	25			ns
Tiempo de estab. (setup) de entr. t_{setup}	$\geq t_p$(clock)			
Tiempo de mantenimiento de entr. t_{hold}	0			

FORMA DE ONDA DEL RELOJ



CARACTERISTICAS ELECTRICAS EN EL MARGEN DE TEMPERATURA DE FUNCIONAMIENTO
(si no se especifica otra cosa)

SIMBOLO	PARAMETRO	MIN.	TIP. (2)	MAX.	UNIDADES	COND. PRUEBA (1)
V_{IH}	Tensión de entrada ALTA	2.0			Volts	Entrada ALTA garantizada
V_{IL}	Tensión de entrada BAJA			0.8	Volts	Entrada BAJA garantizada
V_{OH}	Tensión de salida ALTA	2.4	3.5		Volts	V_{CC} = MIN., I_{OH} = -0.4 mA
V_{OL}	Tensión de salida BAJA		0.22	0.4	Volts	V_{CC} = MIN., I_{OL} = 16 mA
I_{IH}	Corr. de entrada ALTA en J o K			40 1.0	μA mA	V_{CC} = MAX., V_{IN} = 2.4 V V_{CC} = MAX., V_{IN} = 5.5 V
	Corriente de entrada ALTA en borrado, preset o reloj			80 1.0	μA mA	V_{CC} = MAX., V_{IN} = 2.4 V V_{CC} = MAX., V_{IN} = 5.5 V
I_{IL}	Corr. de entrada BAJA en J o K			-1.6	mA	V_{CC} = MAX., V_{IN} = 0.4 V
	Entrada de corriente BAJA en borrado, preset o reloj			-3.2	mA	V_{CC} = MAX., V_{IN} = 0.4 V
I_{OS}	Corr. de sal. en cortocircuito (3)	-18		-57	mA	V_{CC} = MAX., V_{IN} = 0 V
I_{CC}	Corriente de alimentación		20	40	mA	V_{CC} = MAX.

Fig. 13-36

OTRAS BASCULAS Y FLIP FLOP

Dada la importancia que tiene, se recuerda en principio a la báscula D, cuyo esquema se muestra en la figura 13-37, sólo existe una entrada de información, llamada *D*. A partir de esta entrada y mediante el uso de un inversor, las entradas *R* y *S* del flip flop síncrono R-S, reciben siempre estados opuestos, evitándose de esta forma la condición de indeterminación.

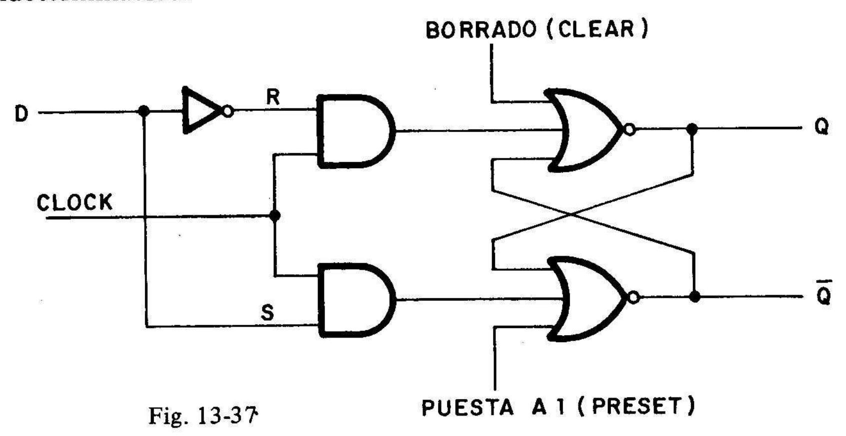


Fig. 13-37

Cuando la entrada de clock está a nivel 1 y por la entrada *D*, se introduce un 1, la báscula pasa a cargarse con $Q = 1$ y cuando el clock tiene un nivel 1 y $D = 0$, la salida $Q = 0$. Para usar correctamente la báscula *D*, se aplica a la entrada *D*, la información que se quiere memorizar, junto con el impulso de reloj y antes que *D* cambie de valor se elimina la señal de reloj. Desaparecida la señal de reloj, el estado de la báscula ya no cambia.

En la figura 13-38 se muestra el diagrama de tiempos de la báscula *D*.

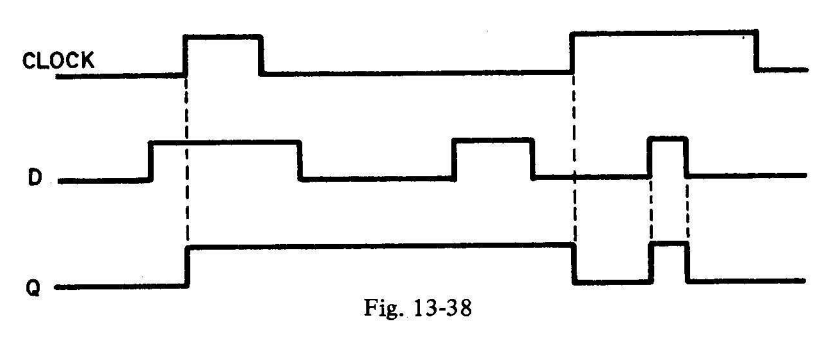


Fig. 13-38

El flip flop *T* (toggle) se puede considerar una versión simplificada del J-K. Es parecido, porque bascula en todos los impulsos de reloj, bien en el flanco ascendente o en el descendente, según la configuración de.su circuito.

Puede construirse básicamente un flip flop *T* a partir de uno del tipo R-S, como se refleja en la figura 13-39 y es bastante usado en contadores, divisores, etc.

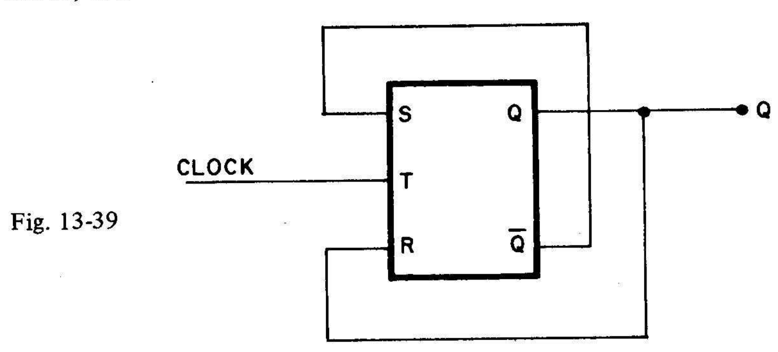


Fig. 13-39

REGISTROS DE DESPLAZAMIENTO. CARACTERISTICAS GENERALES

Un registro de desplazamiento consiste en la unión en serie de un número *n* de células de memoria, bien sea del tipo R-S o del tipo J-K (principal-secundaria). Teniendo en cuenta que cada flip-flop puede almacenar una información de 1 bit, un registro de desplazamiento almacena la información correspondiente a *n* bits.

Los flip-flop están conectados entre sí de forma que la salida de cada uno va directamente unida a la entrada del siguiente, es decir, las salidas Q y $\overline{Q}$ se unen respectivamente a las entradas S y R o J y K del siguiente.

Las entradas de reloj (CP o C_K) de todos ellos se encuentran unidas en paralelo.

El comportamiento de un registro de desplazamiento es el siguiente: una información se aplica a la entrada del primer flip-flop, dispuesto en D. Al llegar un impulso de reloj a las entradas C_K la información que éste contenía se trasvasa al segundo, y así sucesivamente. En general, existen circuitos de desplazamiento hacia la derecha o hacia la izquierda, como también de desplazamiento controlado, o sea, que se puede elegir a voluntad.

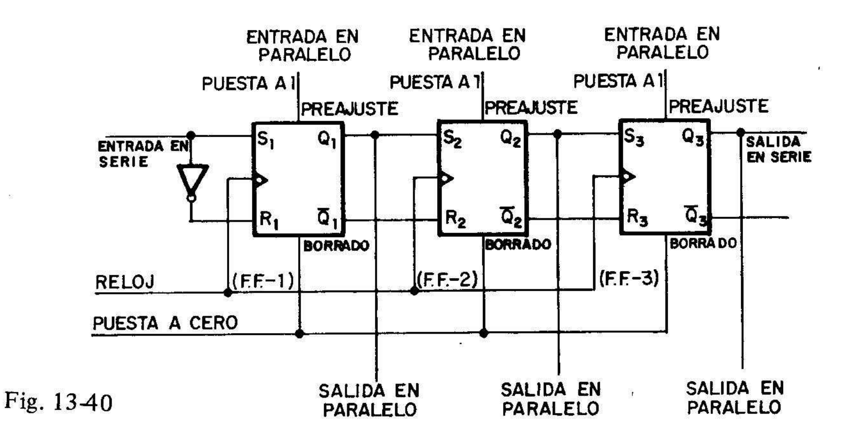


Fig. 13-40

CIRCUITO DE UN REGISTRO DE DESPLAZAMIENTO

En la figura 13-40 se ofrece el circuito de un registro de desplazamiento, formado por biestables R-S principal-secundario, para 3 bits.

Este circuito responde a una interconexión de flip-flop, actuando el primero como biestable *D*, que recibe los impulsos sucesivos de información que se desea desplazar paso a paso. Dispone de tres salidas en paralelo, constituidas por las salidas *Q* de cada báscula, y una salida en serie, a base de la última de ellas.

Además se ha añadido una entrada de puesta a cero (Clear) en paralelo con todos los flip-flop para borrado de la información antes mencionada. Las entradas de preajuste permiten poner a 1 cada etapa individualmente.

La información puede aplicarse secuencialmente por la entrada en serie (registro de entrada en serie y salida en serie) o bien en paralelo (convertidor de serie a paralelo).

También puede introducirse la información en paralelo utilizando las entradas de igual denominación y obtenerse, también en paralelo (registro de entrada en paralelo y salida en paralelo), o bien por la salida en serie (convertidor de paralelo a serie).

Funcionamiento del circuito

Antes de proceder a la entrada de datos es menester borrar las informaciones que almacena cada flip-flop, para lo cual se aplica un cero a la entrada de puesta a cero, que actúa sobre todas las etapas a través de sus entradas de borrado. Seguidamente, la entrada de puesta a cero se pasa

a 1. Las entradas de preajuste han de colocarse a nivel 1, en cuyo estado y como es conocido, son inactivas. Después se introducen los impulsos de información por la entrada en serie.

El primer bit, o sea, el menos significativo, se almacena en el F.F. 1 (flip-flop 1) cuando el impulso de reloj pasa de 0 a 1 (sección Master). Al caer el reloj de 1 a 0, la información se transfiere a la salida de F.F. 1 (sección secundaria), es decir, a Q_1.

Al llegar el segundo impulso de reloj, la siguiente información presente en la entrada serie pasa a la sección principal de F.F. 1, mientras que el estado de Q_1 pasa a igual sección de F.F. 2.

Al caer a cero el reloj, la información presente ya en la sección principal de F.F. 1 se transfiere a su salida Q_1 (sección secundaria). Simultáneamente, y por análogo mecanismo, la precedente información que se aplicó a la entrada serie (almacenada en la sección Master de F.F. 2) pasa a la salida Q_2 (sección secundaria). El proceso continúa hasta que los tres bits quedan almacenados en el registro, ocupando de menos a más significación, los flip-flop F.F. 3, F.F. 2 y F.F. 1, respectivamente.

Registro de entrada en serie y salida serie

En el circuito de la figura13-40puede aplicarse la información de entrada por el terminal indicado como "entrada en serie" e ir obteniéndola secuencialmente por la "salida en serie" al ritmo de aplicación de los impulsos de reloj, C_K. En este caso no existen las líneas de "salida en paralelo" tomadas directamente de Q_1, Q_2 y Q_3. Este tipo de registro recibe el nombre de "registro de entrada en serie y salida en serie".

En este tipo de registro la entrada de información se realiza por la "entrada en serie" hasta que todos los flip-flop estén cargados. Una vez conseguido esto, se interrumpen los impulsos de reloj y las informaciones presentes en Q_1, Q_2 y Q_3 se obtienen simultáneamente en las "salidas en paralelo".

MONTAJE PRACTICO DE UN REGISTRO DE ENTRADA EN SERIE Y SALIDA EN SERIE

Como primera aplicación práctica de los registros de desplazamiento se propone un registro de entrada en serie y salida en serie con capacidad para 4 bits. Se usarán flip-flop del tipo J-K principal-secundaria cuyo funcionamiento en esta aplicación no varía respecto a los R-S. En la figura 13-41 se presenta este registro.

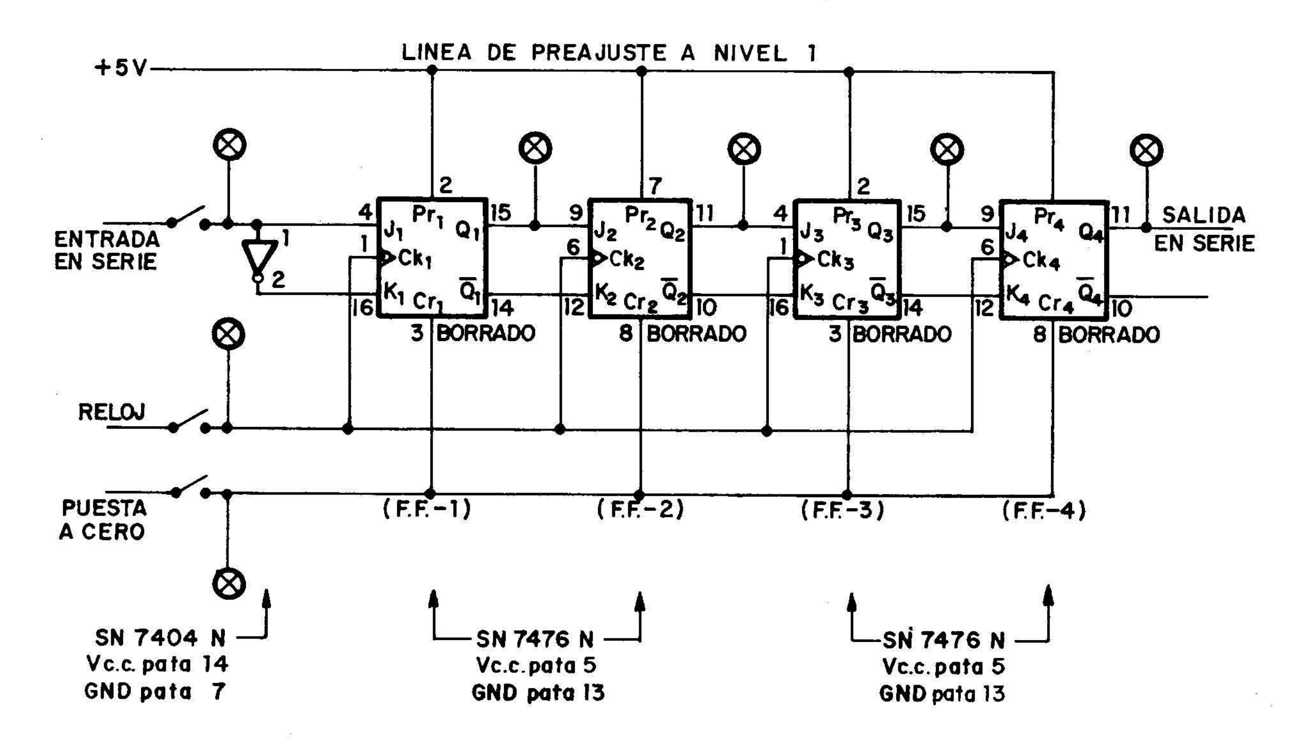

LINEA DE PREAJUSTE A NIVEL 1
+5V
ENTRADA EN SERIE
RELOJ
PUESTA A CERO
SALIDA EN SERIE
3 BORRADO
8 BORRADO
3 BORRADO
8 BORRADO
(F.F.-1)
(F.F.-2)
(F.F.-3)
(F.F.-4)
SN 7404 N
Vc.c. pata 14
GND pata 7
SN 7476 N
Vc.c. pata 5
GND pata 13
SN 7476 N
Vc.c. pata 5
GND pata 13

Fig. 13-41

Operaciones a realizar

Se trata de cargar al registro con una información de 4 bits secuencialmente aplicados, para lo cual el orden de las operaciones a realizar es el siguiente:

1°) Montar el circuito sin olvidar las alimentaciones de los tres c.i.

2°) Aplicar las tensiones correspondientes.

3°) Pasar a nivel cero la entrada general de puesta a cero, con lo que las salidas Q de todos los F.F. quedan a nivel cero. De esta forma se borra cualquier información previamente almacenada.

4°) Pasar a nivel 1 la entrada general de puesta a cero, con lo que queda inactiva.

5°) Colocar el reloj (realizado con un pulsador) a nivel cero.

6°) Aplicar a la entrada serie un bit cualquiera, por ejemplo el 1.

7°) Accionar el reloj generando un impulso. El bit 1 introducido en la entrada serie se almacena en F.F. 1. El indicador de nivel colocado a la salida de F.F. 1 así lo testifica.

8°) Aplicar a la entrada serie otro bit cualquiera, por ejemplo el cero.

9°) Accionar el reloj generando un impulso. Este bit cero pasa a cargarse en F.F. 1, desplazando al bit 1 anterior, el cual pasa a F.F. 2. Los indicadores de nivel situados a la salida de F.F. 1 y F.F. 2 así lo manifiestan.

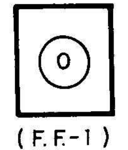
10°) Aplicar a la entrada serie otro bit cualquiera, como puede ser el 1.

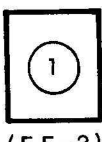
11°) Accionar el reloj generando un impulso. Observar los indicadores e interpretar su resultado.

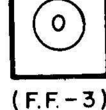
12°) Aplicar a la entrada serie otro bit cualquiera, por ejemplo el cero.

13°) Accionar el reloj generando un impulso. Observar los indicadores de nivel lógico e interpretar el resultado.

NOTA: El registro ha quedado ya cargado. Interrumpiendo el accionamiento del reloj, el estado de los F.F. queda representado gráficamente en la figura 13-42.







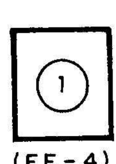


Fig. 13-42

14°) Aplicar un nuevo impulso de reloj. Todos los bits almacenados avanzan un paso, quedando el registro tal como se indica en la figura 13-43.

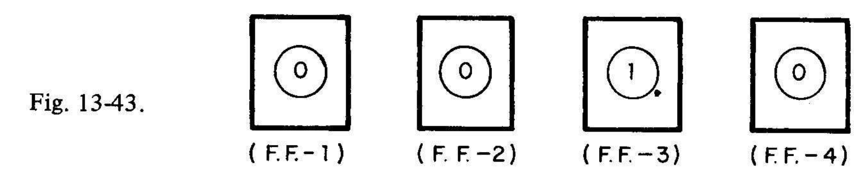


Fig. 13-43.

15°) Aplicar un nuevo impulso de reloj, con lo que se avanza un paso más y el nuevo estado de los F.F. es el de la figura 13-44.

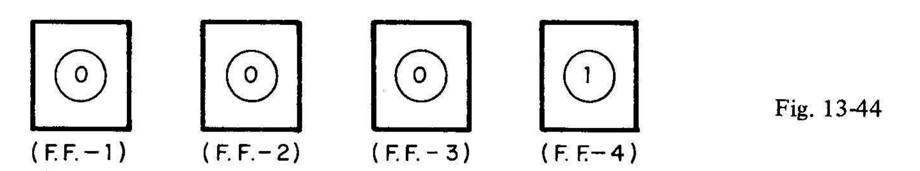


Fig. 13-44

16°) Aplicar un nuevo impulso de reloj. Tras el nuevo avance de un paso el estado de los F.F. se representa en la figura 13-45.

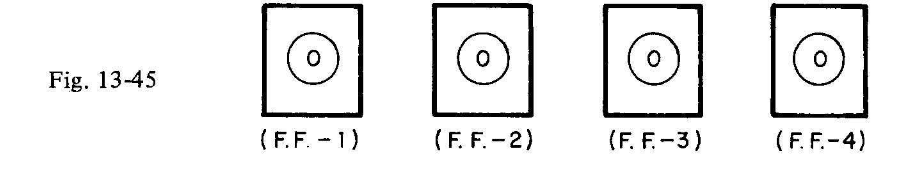


Fig. 13-45

17°) Cargar nuevamente el registro con 4 bits cualesquiera mediante un proceso análogo al seguido con anterioridad.

18°) Una vez efectuada la carga conectar el terminal correspondiente a la "salida en serie" con el terminal correspondiente a la "entrada en serie".

19°) Accionar repetidamente el reloj. A cada accionamiento, el registro avanza un paso, con lo que los bits cargados en cada etapa se van desplazando en anillo de forma ininterrumpida, recorriendo el ciclo una y otra vez.

20°) Sustituir el pulsador de reloj por un oscilador o generador de impulsos regulándolo a una frecuencia baja. Observar de esta forma el desplazamiento en anillo de los bits cargados.

REGISTRO DE ENTRADA EN PARALELO Y SALIDA EN SERIE

La información puede aplicarse de forma simultánea a todos los flip-flop del registro utilizando las líneas de preajuste (*Pr*), luego por cada impulso de reloj C_K, y comenzando por el bit menos significativo, todos ellos van obteniéndose secuencialmente por la salida en serie. En este caso es preciso añadir al circuito un sistema que permita la entrada simultánea de información en los flip-flop, circuito formado por tantas puertas *NAND* como flip-flop existan, como se presenta en la figura 13-46

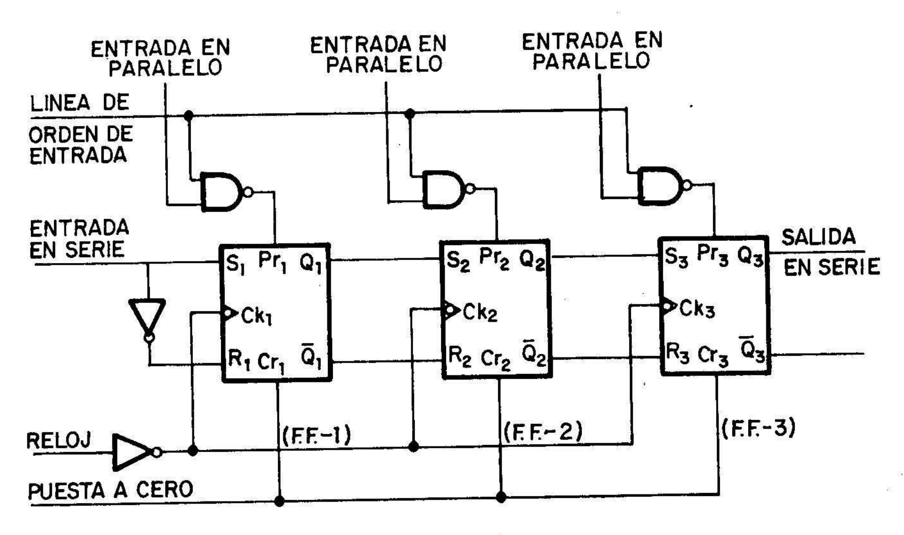


Fig. 13-46

El bit de menos peso se almacena en el F.F. 3, así que si se aplica a las "entradas en paralelo" una información de 3 bits tal como la 0 0 1, donde el 1 es el bit menos significativo, se debe tener en cuenta que cada bit se aplica a una sola entrada de preajuste: el 1 a la de F.F. 3, y los otros dos bit cero a las de los F.F. 2 y F.F. 1, respectivamente.

A continuación se aplica nivel 1 a la "línea de orden de entrada" con lo que la *NAND* correspondiente a F.F. 3 suministra nivel cero a *Pr* de dicho flip-flop, forzando su salida Q_3 a nivel 1. Las *NAND* correspondientes a F.F. 2 y F.F. 1 suministran nivel 1 a *Pr* de dichos flip-flop, con lo que sus salidas Q_2 y Q_1, respectivamente, no se verán afectadas, permaneciendo en cero (suponiendo que los estados previos de los flip-

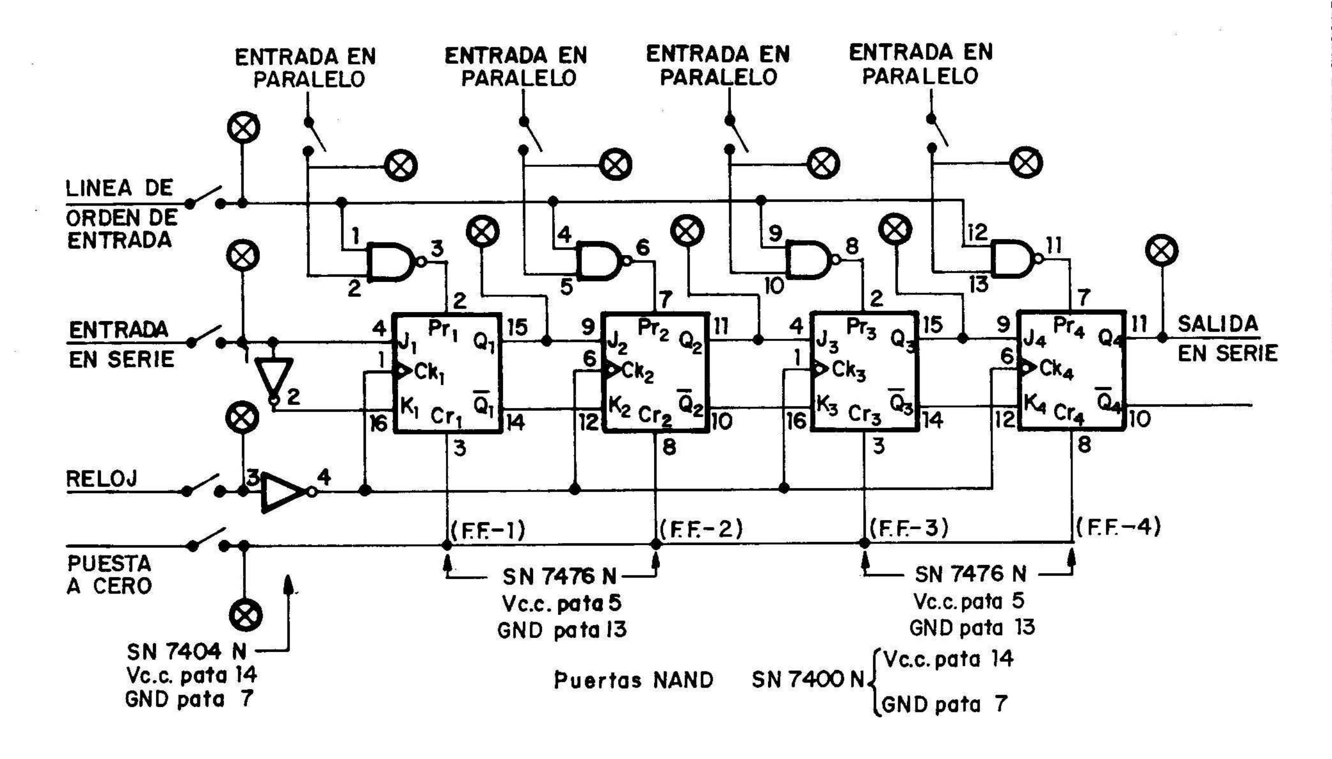

ENTRADA EN PARALELO
ENTRADA EN PARALELO
ENTRADA EN PARALELO
ENTRADA EN PARALELO
LINEA DE ORDEN DE ENTRADA
ENTRADA EN SERIE
RELOJ
PUESTA A CERO
SALIDA EN SERIE
(F.F.-1)
(F.F.-2)
(F.F.-3)
(F.F.-4)
SN 7476 N
Vc.c. pata 5
GND pata 13
SN 7476 N
Vc.c. pata 5
GND pata 13
SN 7404 N
Vc.c. pata 14
GND pata 7
Puertas NAND
SN 7400 N
Vc.c. pata 14
GND pata 7

Fig. 13-47

flop sean cero, tras un borrado utilizando la entrada de "puesta a cero"). El inversor de reloj permite su actuación durante el flanco ascendente del impulso.

Realización práctica

A continuación se describe un registro de entrada en paralelo y salida en serie para 4 bits, formado por flip-flop J-K principal-secundaria, cuyo comportamiento en estas aplicaciones ya se indicó que era el mismo que los R-S. El circuito se representa en la figura 13-47.

Operaciones a realizar

Se trata de cargar el registro con 4 bits de forma simultánea, para lo cual se procede con el siguiente orden:

1°) Montar el circuito sin olvidar las alimentaciones de los 4 c.i.

2°) Aplicar las tensiones adecuadas.

3°) Colocar la entrada serie a nivel cero.

4°) Colocar el reloj, obtenido mediante pulsador, a nivel cero.

5°) Colocar a nivel cero la línea de orden de entrada.

6°) Pasar a nivel cero la entrada general de puesta a cero.

7°) Pasar a nivel 1 la entrada general de puesta a cero.

8°) Aplicar con los interruptores de entrada en paralelo 4 bits cualesquiera.

9°) Pasar a nivel 1 la línea de orden de entrada. Observar que los indicadores de nivel lógico testifican que el registro ha sido cargado.

10°) Pasar a nivel cero la línea de orden de entrada. Los preajustes de cada flip-flop en estado 1 quedan desactivados.

11°) Aplicar sucesivos impulsos de reloj y observar que cada uno de ellos produce el desplazamiento de los bits memorizados, los cuales van apareciendo secuencialmente en la salida en serie.

REGISTRO DE ENTRADA EN PARALELO Y SALIDA EN PARALELO

La información se aplica en paralelo de forma idéntica a como se indicó en la sección anterior. Para la lectura de la citada información se

agregan al circuito tantas puertas *Y* como flip-flop existan. En la figura 13-48 se muestra el caso que se describe para 3 bits.

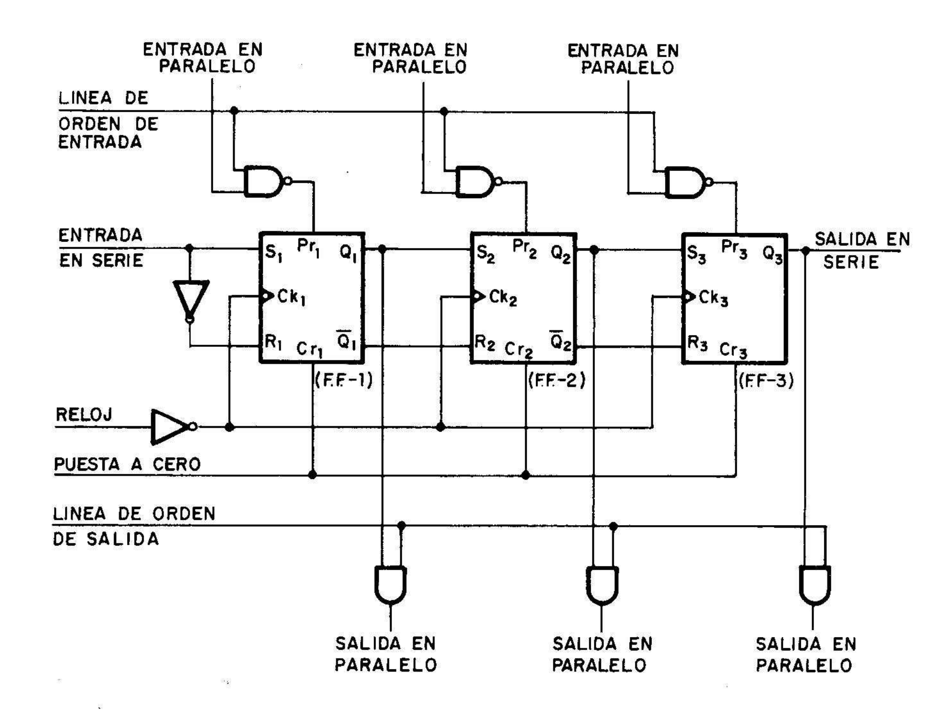


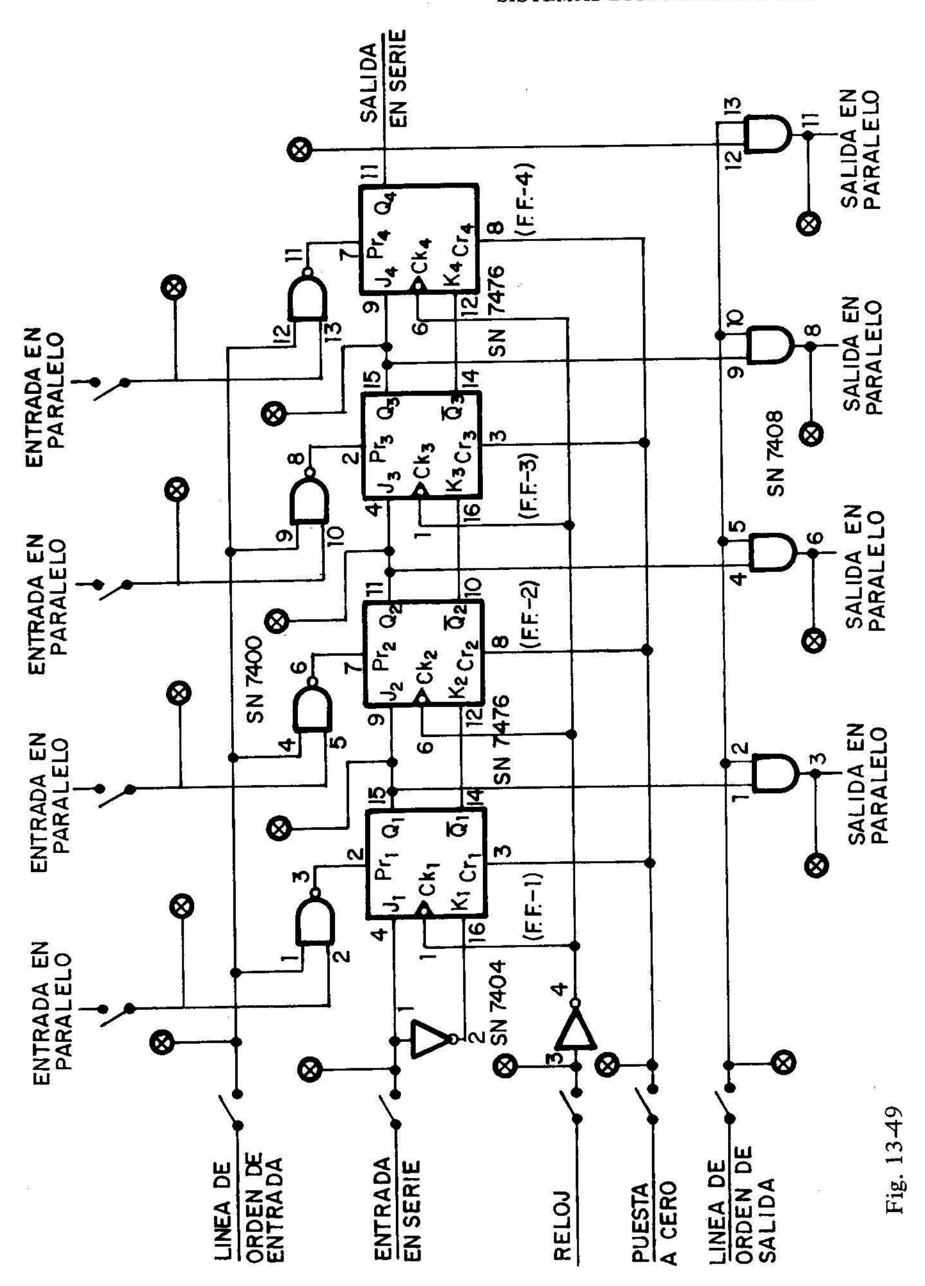
Fig. 13-48

Cuando se desea efectuar la lectura de las salidas del registro se aplica nivel 1 a la "línea de orden de salida", suministrando asimismo nivel 1 cada puerta *Y* cuya otra entrada (Q_1 o Q_2 o Q_3) se encuentre a nivel cero.

El circuito de la figura 13-49 corresponde a un tipo con entrada en paralelo y salida en paralelo para 4 bits, a base de flip-flop J-K principal-secundaria.

Circuitos integrados que se utilizan

F.F. 1 y F.F. 2: Un c.i. tipo SN 7476 N $\quad V_{cc}$ = pata 5
F.F. 3 y F.F. 4: Un c.i. tipo SN 7476 N $\quad G_{ND}$ = pata 13



ENTRADA EN PARALELO
ENTRADA EN PARALELO
ENTRADA EN PARALELO
ENTRADA EN PARALELO
SALIDA EN SERIE
SALIDA EN PARALELO
SALIDA EN PARALELO
SALIDA EN PARALELO
SALIDA EN PARALELO
LINEA DE ORDEN DE ENTRADA
ENTRADA EN SERIE
RELOJ
PUESTA A CERO
LINEA DE ORDEN DE SALIDA
SN 7400
SN 7476
SN 7476
SN 7404
SN 7408
(F.F.-1)
(F.F.-2)
(F.F.-3)
(F.F.-4)

Fig. 13-49

Inversores: Un c.i. tipo SN 7404 N — V_{cc} = pata 14, G_{ND} = pata 7

Puertas *NAND*: Un c.i. tipo SN 7400 N — V_{cc} = pata 14, G_{ND} = pata 7

Puertas *Y*: Un c.i. tipo SN 7408 N — V_{cc} = pata14, G_{ND} = pata 7

Operaciones a realizar

1°) Cargar el registro (según el procedimiento explicado en la práctica anterior) con 4 bits cualesquiera. Durante el proceso de carga, mantener a cero a la línea de orden de salida.

2°) Se procede a continuación a la lectura en paralelo del registro, aplicando nivel 1 a la línea de orden de salida. Comprobar que los indicadores de estado lógico conectados a cada salida en paralelo reflejan el estado de cada bit introducido en paralelo.

REGISTROS DE DESPLAZAMIENTO EN UN SOLO CIRCUITO INTEGRADO

Los diversos tipos de registros estudiados hasta ahora utilizaban flip-flop independientes interconectados en cascada. Ahora se presentan circuitos integrados que contienen la totalidad del registro.

SN 7491

Se trata de un registro de desplazamiento de entrada serie y salida en serie para 8 bits. Su circuito interno a base de básculas R-S principal-secundaria se representa en la figura 13-50.

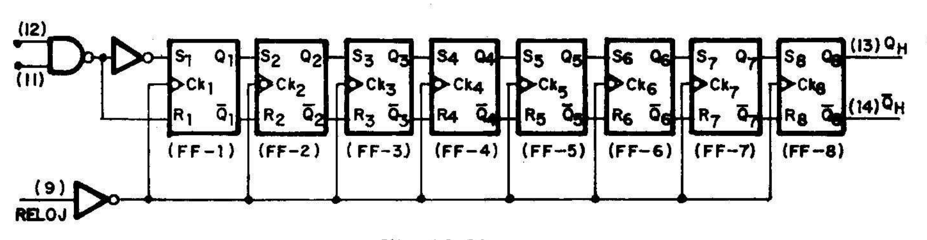


Fig. 13-50

La disipación de potencia es de 175 mW, con una frecuencia máxima de reloj de 18 MHz.

En la figura 13-51 se representa la tabla de verdad a la que responde dicho circuito.

ENTRADAS en tn		SALIDAS en tn+8	
A	B	Q_H	$\overline{Q}_H$
1	1	1	0
0	X	0	1
X	0	0	1

X = indiferente

Fig. 13-51

En la tabla anterior t_n representa el instante en que comienzan los impulsos de reloj. Asimismo, t_{n+8} representa el instante en que se han sucedido 8 transiciones bajo-alto de reloj. La vista superior de este circuito en su versión de doble en línea (DIL) se muestra en la figura 13-52.

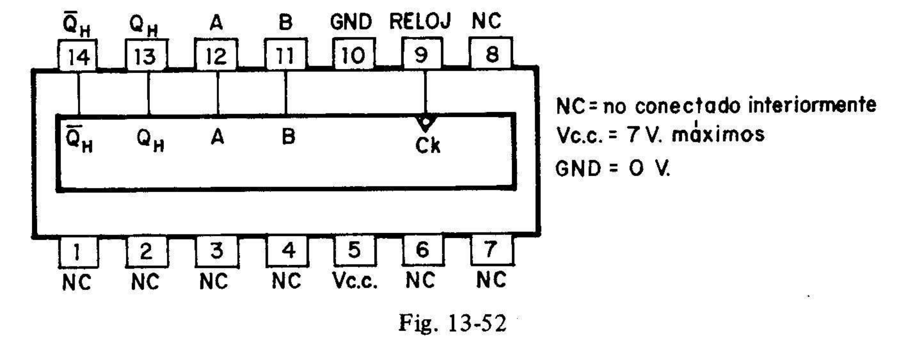


Fig. 13-52

En la figura 13-53 se representa el diagrama estado lógico-tiempo a que obedece este circuito.

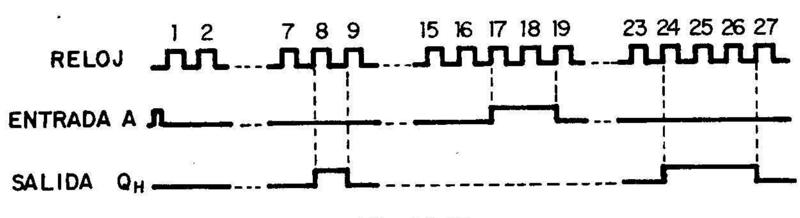


Fig. 13-53

Operaciones de comprobación

1.ª) Conectar el circuito, teniendo en cuenta que el positivo de alimentación se aplica por la patilla 5 y la masa por la 10.

2.ª) Colocar los interruptores de las entradas A y B a nivel 1. Ello equivale, a través de los dos inversores, a la aplicación de nivel 1 en la entrada de información S_1.

3.ª) Aplicar 8 impulsos de reloj.

4.ª) Comprobar que, según el diagrama estado lógico-tiempo, al comenzar el octavo impulso el indicador conectado en la salida Q_H manifiesta la aparición del nivel 1 en dicha salida serie.

5.ª) Colocar el interruptor de la entrada A a nivel 0 y el interruptor de la entrada B en la posición que sea (es indiferente). Ello equivale a aplicar a la entrada S_1 un nivel cero.

6.ª) Aplicar ocho impulsos de reloj.

7.ª) Comprobar que al comenzar el impulso número ocho el indicador lógico conectado a la salida serie Q_H manifiesta un nivel lógico cero.

8.ª) Comprobar que se cumple la tercera fila de la tabla de verdad.

Existen en este tipo de registro las variantes SN 74 L 91, SN 5491 A y SN 54 L 91, entre cuyas características más destacables se citan las siguientes:

SN 74 L 91: disipación de potencia 17,5 mW y frecuencia máxima de reloj 6,5 MHz.

SN 5491 A: Como el 7491, pero con un margen de temperatura entre −55 y 125 °C (temperaturas militares).

SN 54 L 91: Como el 74 L 91, pero con un margen de temperatura entre −55 y 125°C.

Los tipos SN 74 y SN 74 L presentan por su parte un margen de temperatura entre 0 y 70°C.

SN 7496

Se trata de un registro de cinco bits, con un retraso en el tiempo de propagación de 25 nanosegundos y una disipación típica de 240 mW. Dispone de 5 flip-flop principal-secundario que realizan la conversión de 5 bits serie a paralelo, o también de paralelo a serie. Puede usarse asi-

mismo para almacenamiento de cinco bits o bien como registro de entrada en serie y salida en serie. Su esquema por bloques se representa en la figura 13-54.

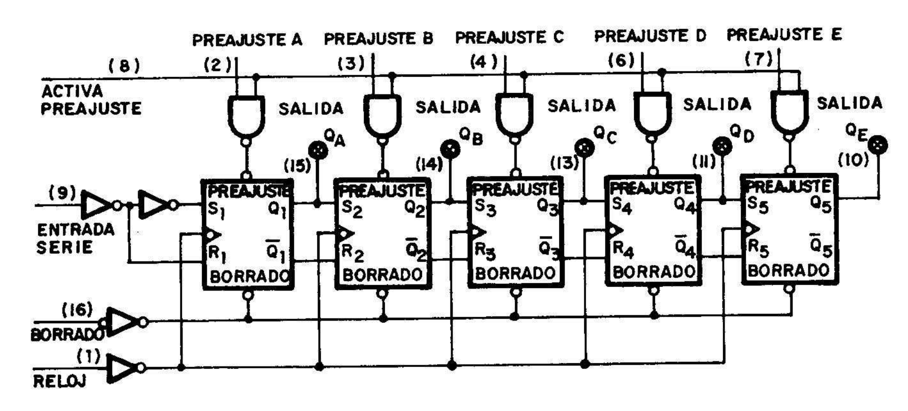


Fig. 13-54

La vista superior de este circuito integrado se representa en la figura 13-55.

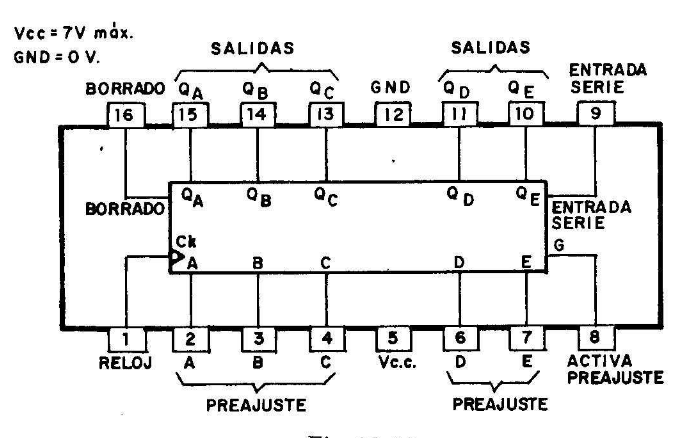


Fig. 13-55

La tabla de verdad se indica en la figura 13-56.

ENTRADAS									SALIDAS				
BORRADO	ACTIVA PREAJUSTE	PREAJUSTE					RELOJ	SERIE	Q_A	Q_B	Q_C	Q_D	Q_E
		A	B	C	D	E							
0	0	X	X	X	X	X	X	X	0	0	0	0	0
0	X	0	0	0	0	0	X	X	0	0	0	0	0
1	1	1	1	1	1	1	X	X	1	1	1	1	1
1	1	0	0	0	0	0	0	X	Q_{AO}	Q_{BO}	Q_{CO}	Q_{DO}	Q_{EO}
1	1	1	0	1	0	1	0	X	1	Q_{BO}	1	Q_{DO}	1
1	0	X	X	X	X	X	0	X	Q_{AO}	Q_{BO}	Q_{CO}	Q_{DO}	Q_{EO}
1	0	X	X	X	X	X	↑	1	1	Q_{AN}	Q_{BN}	Q_{CN}	Q_{DN}
1	0	X	X	X	X	X	↑	0	0	Q_{AN}	Q_{BN}	Q_{CN}	Q_{DN}

Fig. 13-56

En esta tabla, el significado de las abreviaturas es el siguiente:

x = indiferente. No aplicar ningún impulso ni transición.

Q_{AO}, Q_{BO} ... = estados de Q_A, Q_B ... antes de la aplicación de los impulsos de entrada.

Q_{AN}, Q_{BN} ... = estados de Q_A, Q_B ... inmediatamente anterior a la transición bajo-alto del reloj.

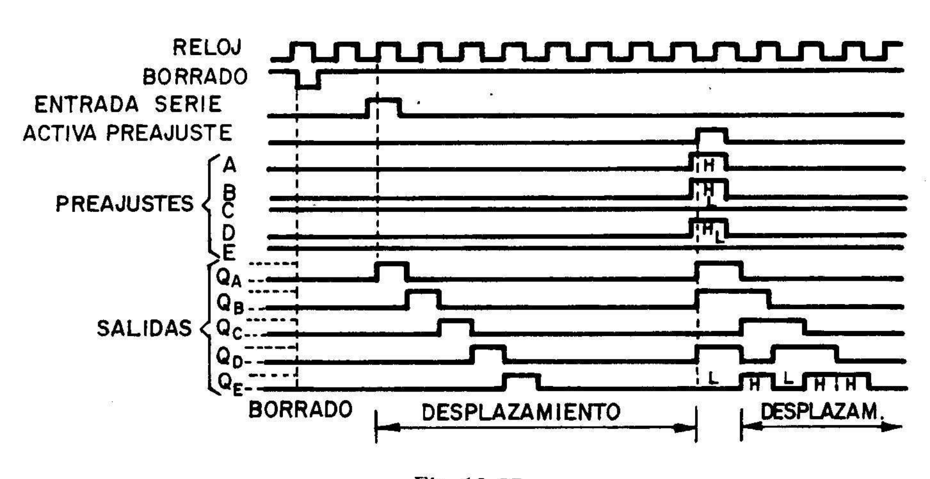


Fig. 13-57

Comprobaciones

Para la comprobación del funcionamiento de este registro, y de acuerdo con los conocimientos adquiridos en las prácticas anteriores, se procederá a cargarlo en serie y en paralelo y a desplazar los bits paso a paso, una vez realizada cada tipo de carga. Utilizar el mínimo número posible de indicadores de estado lógico.

En la figura 13-57 se representa el diagrama estado lógico-tiempo a que este registro responde.

Finalmente, se presentan con detalle las principales características de algunos c.i. que contienen registros. Figuras 13-58 a 13-61.

CONTADORES. CARACTERISTICAS GENERALES

Los contadores binarios son circuitos electrónicos basados en la interconexión de diferentes tipos de flip flop, que se diferencian de los registros de desplazamiento en que tienen por misión sacar la información en una forma determinada, aprovechando al máximo los distintos estados que pueden obtenerse con un número determinado de flip flops. Generalmente los contadores se emplean para contar el número de impulsos aplicados a su entrada.

La mayor parte de los contadores proporcionan su información de salida en código 8421, 2421, BCD, etc., pero se puede obtener cualquier forma de codificación diseñando adecuadamente la configuración del contador.

Las aplicaciones de los contadores son muy diversas y caben destacar las de cómputo, secuenciadores de operaciones, división de frecuencias, manipulación aritmética y medición de tiempos.

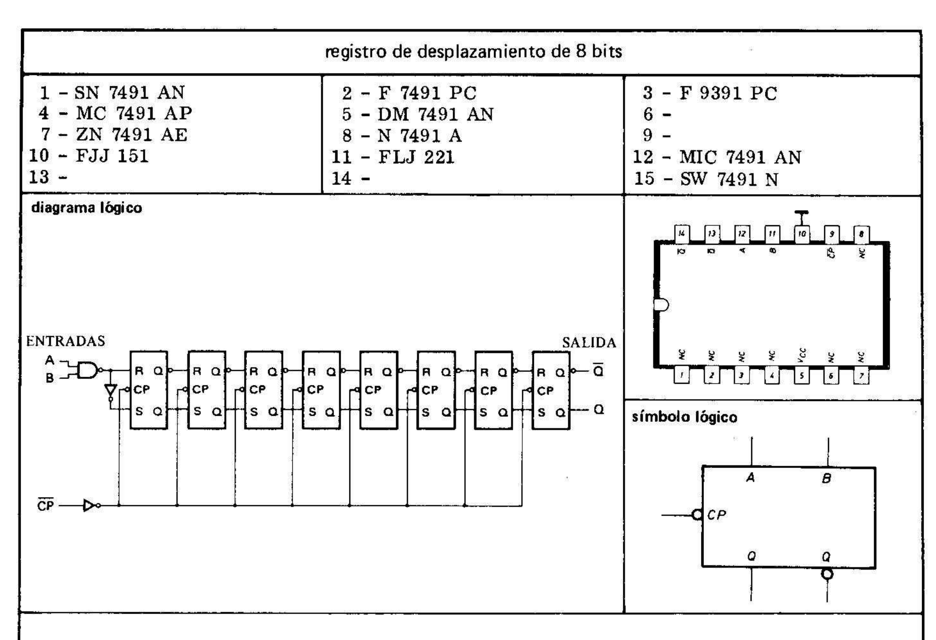
Los contadores emplean en su constitución flip flop J-K, R-S, D y T y se clasifican en dos grandes grupos:

1°) Contadores asíncronos o contadores serie.

2°) Contadores síncronos o contadores paralelo.

Los contadores síncronos se caracterizan porque todos sus flip flop cambian de estado simultáneamente, mientras que en los asíncronos el cambio de un flip flop activa al siguiente de la cadena.

Se llama "módulo" al número de estados sucesivos a través de los cuales el contador realiza una secuencia antes de que se repita, o sea, el número de estados diferentes que pueden adoptar los flip flop que con-



registro de desplazamiento de 8 bits

1 - SN 7491 AN	2 - F 7491 PC	3 - F 9391 PC
4 - MC 7491 AP	5 - DM 7491 AN	6 -
7 - ZN 7491 AE	8 - N 7491 A	9 -
10 - FJJ 151	11 - FLJ 221	12 - MIC 7491 AN
13 -	14 -	15 - SW 7491 N

DESCRIPCION.–Este dispositivo es un registro de desplazamiento de 8 bits de entrada serie, salida serie que utiliza tecnología TTL. Está compuesto de ocho flip-flops RS maestro/auxiliar, puerta de entrada y un excitador de reloj. El registro es capaz de almacenar y transferir datos de acuerdo con un reloj hasta 18 MHz manteniendo un nivel de inmunidad de ruido típico de 1 V. La disipación de potencia es típicamente 175 mW; se dispone en las salidas de una cargabilidad máxima de 10.
Los datos de un solo carril y el control de entrada pasan por una puerta a través de las entradas A y B y un inversor interno para formar las entradas complementarias al primer bit del registro de desplazamiento. La excitación para la línea de reloj interna común está proporcionada por un excitador de reloj inversor. Cada una de las entradas (A, B y $\overline{CP}$) aparecen como únicamente una carga de entrada TTL.
El inversor/excitador de impulso de reloj hace que se desplace la información a la salida en el flanco positivo de un impulso de reloj de entrada, haciendo por tanto al registro de desplazamiento perfectamente compatible con otras funciones síncronas de disparo por flanco.

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC} (Nota 10)	4.75	5.0	5.25	Volts
Margen de temper. ambiente de funcionam.	0	25	70	°C
Carg. de salida normal. de las salidas			10	U.L.
Anchura de impulso de reloj, $t_{p(clok)}$	25			ns
Tiempo de estab. (setup) de entr., t_{setup}	25			ns
Tiempo de manten. de entr., t_{hold}	0			

CARACTERISTICAS ELECTRICAS EN EL MARGEN DE TEMPERATURA Y FUNCIONAMIENTO
(si no se especifica otra cosa)

SIMBOL.	PARAMETRO	MIN.	TIP.(2)	MAX.	UNIDADES	COND. DE PRUEBA (1)
V_{IH}	Tensión de entrada ALTA	2.0			Volts	V_{IH} garantizada
V_{IL}	Tensión de entrada BAJA			0.8	Volts	V_{IL} garantizada
V_{OH}	Tensión de salida ALTA	2.4	3.5		Volts	V_{CC}= MIN., I_{OH} = -0.4 mA
V_{OL}	Tensión de salida BAJA		0.22	0.4	Volts	V_{CC}= MIN., I_{OL} = 16 mA
I_{IH}	Corr. de entrada ALTA			40	μA	V_{CC}= MAX., V_{IN} = 2.4 V
				1.0	mA	V_{CC}= MAX., V_{IN} = 5.5 V
I_{IL}	Corr. de entrada BAJA			- 1.6	mA	V_{CC}= MAX., V_{IN} = 0.4 V
I_{OS}	Corr. de salida en cort. (3)	- 18		- 57	mA	V_{OUT}= 0 V V_{CC}= MAX.
I_{CC}	Corriente de alimentación		35	58	mA	V_{IN} = 4.5 V

Fig. 13-58

registro de desplazamiento de 4 bits

1 - SN 7494 N	2 - F 7494 PC	3 - F 9394 PC
4 - MC 7494 P	5 -	6 -
7 - ZN 7494 E	8 - N 7494 B	9 -
10 -	11 - FLJ 231	12 - MIC 7494 N
13 -	14 -	15 - SW 7494 N

diagrama lógico

símbolo lógico

DESCRIPCION.—El dispositivo está compuesto de cuatro flip-flops RS maestro/auxiliar, cuatro puertas AND-OR-INVERT y cuatro inversores-excitadores. La interconexión interna de estas funciones proporciona un registro muy versátil que ejecuta operaciones de desplazamiento a derechas como registro serie de entrada, serie de salida o como convertidor serie paralelo de fuente dual. Pueden conectarse en serie varios de estos registros para formar uno de n-bits.

Todos los flip-flops se ponen simultáneamente en estado BAJO aplicando una tensión de nivel ALTO a la entrada de borrado (clear). Esta condición puede aplicarse independientemente del estado de la entrada de reloj, pero no independientemente del estado de la entrada de preset. La entrada de preset es independiente de los estados de reloj y borrado.

Los flip-flops se ponen simultáneamente en estado ALTO desde cualquiera de las dos fuentes de entrada preset. Las entradas preset $P1_A$ a $P1_D$ se activan durante el tiempo en que se aplica un impulso positivo a preset 1 si preset 2 está en nivel BAJO. Cuando se invierten los niveles lógicos en preset 1 y preset 2, se activan las entradas de preset desde $P2_A$ hasta $P2_D$.

La transferencia de información a las salidas se produce cuando la entrada de reloj pasa de nivel BAJO a nivel ALTO. Como los flip-flops son circuitos RS maestro/auxiliar, la información adecuada debe aparecer en las entradas RS de cada flip-flop antes de producirse el flanco ascendente de la forma de onda de la entrada de reloj. La entrada serie proporciona esta información al primer flip-flop. Las salidas de los flip-flops subsiguientes proporcionan información a las restantes entradas RS. La entrada de borrado (clear), preset 1 y preset 2 deben estar en estado BAJO cuando se produzcan los impulsos de reloj.

PATILLAS		CARGA
$P1_A$ - $P2_D$	Entradas preset	1 U.L.
PL1	Entrada preset 1	4 U.L.
PL2	Entrada preset 2	4 U.L.
D_S	Entradas de datos serie	1 U.L.
C_P	Entrada de reloj	1 U.L.
C_L	Entrada de reloj	1 U.L.
Q_D	Salida de datos serie	10 U.L.

1 unidad de carga (U.L.) = 40 μA ALTO/1,6 mA BAJO.

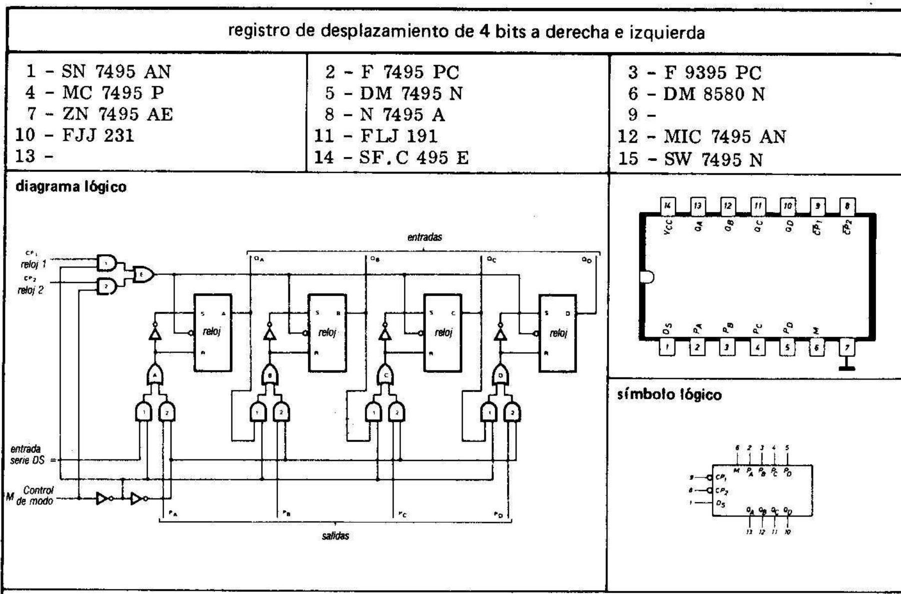
CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC} (Nota 10)	4.75	5.0	5.5	Volts
Temperatura ambiente de funcionamiento	0	25	70	°C
Cargabilidad de salida norm. de cada salida			10	U.L.
Anchura del impulso de reloj, $t_{p(clock)}$	35			ns
Anchura del impulso de preset, $t_{p(preset)}$	30			ns
Anchura del impulso de borrado, $t_{p(clear)}$	30			ns
Tiempo de establecimiento de entrada serie t_{setup} (ALTO)	35			ns
Tiempo de establecimiento de entrada serie t_{setup} (BAJO)	25			ns
Tiempo de manten. de entr. serie, t_{hold}	0			

Fig. 13-59

registro de desplazamiento de 4 bits a derecha e izquierda

1 - SN 7495 AN	2 - F 7495 PC	3 - F 9395 PC
4 - MC 7495 P	5 - DM 7495 N	6 - DM 8580 N
7 - ZN 7495 AE	8 - N 7495 A	9 -
10 - FJJ 231	11 - FLJ 191	12 - MIC 7495 AN
13 -	14 - SF.C 495 E	15 - SW 7495 N



DESCRIPCION.–El Registro de Desplazamiento está compuesto por cuatro flip-flops RS maestro/auxiliar, cuatro puertas AND-OR-INVERT, una puerta AND-OR y seis excitadores-inversores. Las interconexiones interna de estas funciones proporcionan un registro versátil que puede efectuar operaciones de desplazamiento a derecha o desplazamiento a izquierda dependiendo del nivel de entrada lógico al control de modo. Pueden concertarse varios de estos registros en serie para formar un registro de n-bits de desplazamiento a derecha o desplazamiento a izquierda. Este registro puede utilizarse también como registro de almacenamiento de entrada paralelo, salida paralelo con control de puerta (modo).

Cuando se aplica un nivel BAJO a la entrada de control de modo, las puertas AND número 1 quedan habilitadas y las puertas AND número 2 quedan inhibidas. En este modo la salida de cada flip-flop queda acoplada a las entradas RS de los flip-flops siguientes ejecutándose la operación de desplazamiento a derecha cuando se producen los impulsos de reloj en la entrada 1 de reloj. En este modo son admitidos datos en serie por la entrada serie. El reloj 2 y las entradas paralelo A hasta D quedan inhibidas por las puertas AND número 2.

Cuando se aplica a la entrada de control de modo un nivel ALTO, las puertas AND número 1 quedan inhibidas (desacoplando las salidas de las entradas RS sucesivas para evitar el desplazamiento a la derecha) y las puertas AND número 2 quedan habilitadas para permitir la entrada de datos a través de las entradas paralelo A hasta B y reloj 2. Este modo permite la carga paralelo del registro, o mediante interconexión interna, funcionamiento de desplazamiento a la izquierda. En este modo, puede conseguirse el desplazamiento a la izquierda conectando la salida de cada flip-flop a la entrada paralelo de flip-flop anterior (Q_D a entrada C, y así sucesivamente), dirigiendo los datos en serie a la entrada D.

La actuación del reloj (clocking) en el registro de desplazamiento se efectúa a través de la puerta AND-OR E la cual permite fuentes separadas de reloj para utlizarse en los modos de desplazamiento a derecha y desplazamiento a izquierda. Si ambos modos pueden controlarse con un mismo reloj, la entrada de reloj puede aplicarse en forma común a reloj 1 y reloj 2. La información debe estar presente en las entradas RS de los flip-flops maestro-auxiliar antes de la aplicación del impulso de reloj. La transferencia de la información a las patillas de salida se produce cuando la entrada de reloj pasa de nivel ALTO a BAJO.

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC} (Ver Nota 10)	4.75	5.0	5.25	Volts
Temperatura ambiente de funcionamiento	0	25	70	°C
Cargabilidad de salida de cada salida: nivel ALTO			20	U.L.
Cargabilidad de salida de cada salida: nivel BAJO			10	U.L.
Anchura del impulso de reloj, $t_{p(clock)}$	15	10		ns
Tiempo de establecimiento requerido en las entradas serie A, B, C, o D, t_{setup} (Ver Fig. A).	10			ns
Tiempo de mantenimiento requerido en las entradas serie A, B, C, o D, t_{hold} (Ver Fig. A)	0			ns
Tiempo de establecimiento de nivel BAJO requerido en el control de modo (t_1 en Fig. B) (Con respecto a entrada de reloj 1)	15			ns
Tiempo de establecimiento de nivel ALTO requerido en el control de modo (t_2 en Fig. B) (Con respecto a entrada de reloj 2)	15			ns
Tiempo de establecimiento de nivel BAJO requerido en el control de modo (t_3 en Fig. B) (Con respecto a la entrada de reloj 2)	5.0			ns
Tiempo de establecimiento de nivel ALTO requerido en control de modo (t_4 en Fig. B) (Con respecto a entrada de reloj 1)	5.0			ns

Fig. 13-60

registro de desplazamiento de 5 bits

1 - SN 7496 N	2 - F 7496 PC	3 - F 9396 PC
4 - MC 7496 P	5 - DM 7496 N	6 -
7 - ZN 7496 E	8 - N 7496 B	9 -
10 - FJJ 241	11 - FLJ 261	12 - MIC 7496 N
13 -	14 -	15 - SW 7496 N

diagrama lógico

símbolo lógico

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC} (V. Nota 10)	4.75	5.0	5.25	Volts
Temperatura ambiente de funcionamiento	0	25	70	°C
Anchura del impulso de reloj, $t_{p(clock)}$	35			ns
Anchura impulso de preset, $t_{p(preset)}$	30			ns
Anchura impulso de borrado, $t_{p(clear)}$	30			ns
Tiempo de establ. de entr. serie, $t_{(setup)}$	30			ns
Tiempo de manten. de entr. serie, t_{hold}	0			ns

DESCRIPCION.–El Registro de Desplazamiento de 5 bits está compuesto por cinco flip-flops RS maestro/auxiliar conectados para realizar la conversión paralelo a serie o serie a paralelo de datos binarios. Como están accesibles tanto las entradas como las salidas de todos los flip-flops, puede realizarse la operación entrada paralelo/salida paralelo o entrada serie/salida serie.

Todos los flip-flops pueden ponerse independientemente en estado ALTO aplicando una tensión de nivel ALTO a la entrada de preset del flip-flop específico y a la entrada de present común. La entrada de habilitación (Enable) paralelo permite la puesta a uno (setting) de cada flip-flop independientemente o la puesta a uno de dos o más flip-flops simultáneamente. El preset es independiente del estado de la entrada de reloj o de la de borrado (clear).

La transferencia de información a las patillas de salida se produce cuando la entrada de reloj pasa de un nivel BAJO A un nivel ALTO. Como los flip-flops son circuitos RS maestro/auxiliar, la información debe aparecer en las entradas RS de cada flip-flop antes de que se produzca el flanco de subida de la tensión de entrada de reloj. La entrada serie proporciona esta información al primer flip-flop, mientras las salidas de los flip-flops subsecuentes proporcionan información a las restantes entradas RS. La entrada de borrado (clear) debe estar a nivel ALTO y la entrada de preset a nivel BAJO cuando se produzcan los impulsos de reloj.

PATILLAS		CARGA
PL	Entrada de carga paralelo	5 U.L.
P_A, P_B, P_C, P_D, P_E	Entradas de datos paralelo	1 U.L.
D_S	Entradas de datos serie	1 U.L.
CP	Entrada de reloj	1 U.L.
$\overline{C}_L$	Entrada de borrado (clear)	1 U.L.
Q_A, Q_B, Q_C, Q_D, Q_E	Salidas de datos paralelo	10 U.L.

1 unidad de carga (U.L.) = 40 μA ALTO/1,6 mA BAJO.

Fig. 13-61

figuran al contador. Los módulos más sencillos son los que coinciden con las potencias de 2.

Se llaman contadores ascendentes a los que incrementan el valor del contaje con la llegada de impulsos y contadores descendentes los que decrementan dicho valor.

CONTADORES ASINCRONOS

Como se ha dicho antes un contador asíncrono es el que propaga la activación de sus flip flop encadenadamente uno a continuación de otro.

En la figura 13-62 se muestra el circuito de un contador ascendente, que cuenta en código binario 8421 y consta de cuatro flip flop J-K.

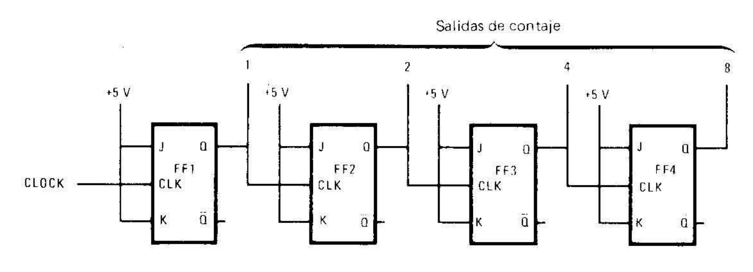


Fig. 13-62

En la figura 13-63 se muestra el diagrama de tiempos que se produce en las salidas de los diferentes flip flop que forman el contador ascendente, al recibir sucesivamente los impulsos de clock. Nótese como el contenido de los flip flop se incrementa en código binario con la llegada de cada impulso de reloj.

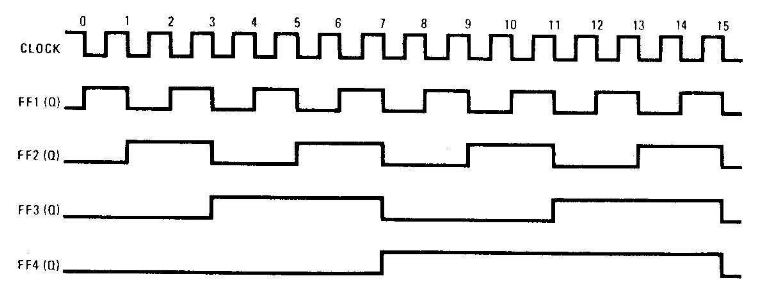


Fig. 13-63

Si en vez de unir las salidas Q de los flip flop con la entrada de clock del siguiente, unimos las salidas $\bar{Q}$, el contador produce un contaje decreciente, tal como se muestra en la figura 13-64.

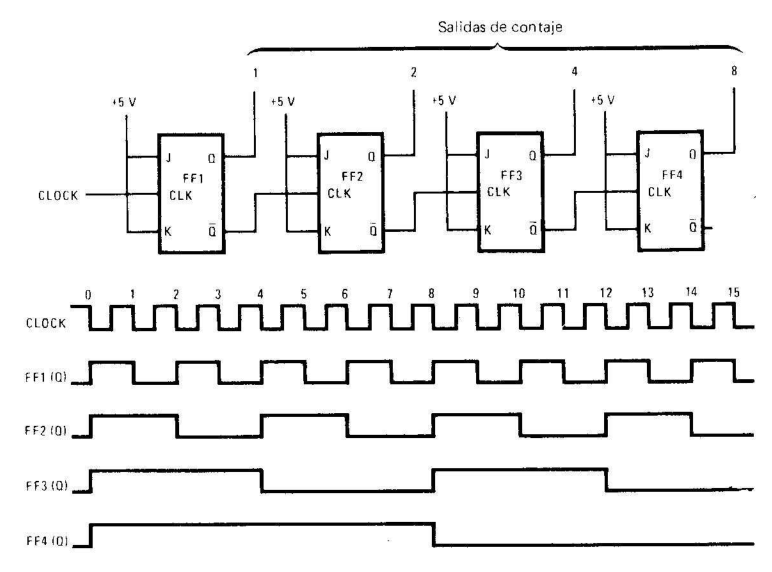


Fig. 13-64

Un parámetro muy notable de un contador es su velocidad de cómputo. Así si el contador consta de cuatro flip flop y cada uno tiene un retardo de propagación de 25 ns, el retardo total en propagarse el flanco descendente de un impulso de clock a través de los cuatro flip flop será de 100 ns. Durante dicho tiempo los flip flop cambian de estado sus salidas y el cómputo que indica el contador será incorrecto.

La limitación de la frecuencia máxima de los impulsos de reloj es la principal desventaja de los contadores asíncronos. Así en el caso del ejemplo comentado anteriormente, con un retardo mínimo de 100 ns entre los flancos descendentes de los impulsos de reloj, la frecuencia de contaje máxima será de 10 MHz.

CONTADOR ASINCRONO ASCENDENTE/ DESCENDENTE (UP/DOWN)

Se puede combinar en un sólo circuito a un contador que tenga capacidad para contar de forma ascendente o descendente, según el estado

de una señal de control. El esquema de la figura 13-65, muestra la forma de emplear una puerta OR, para conectar a la entrada de reloj del siguiente flip flop de la cadena, bien la salida Q, o bien la salida $\bar{Q}$ del flip flop anterior.

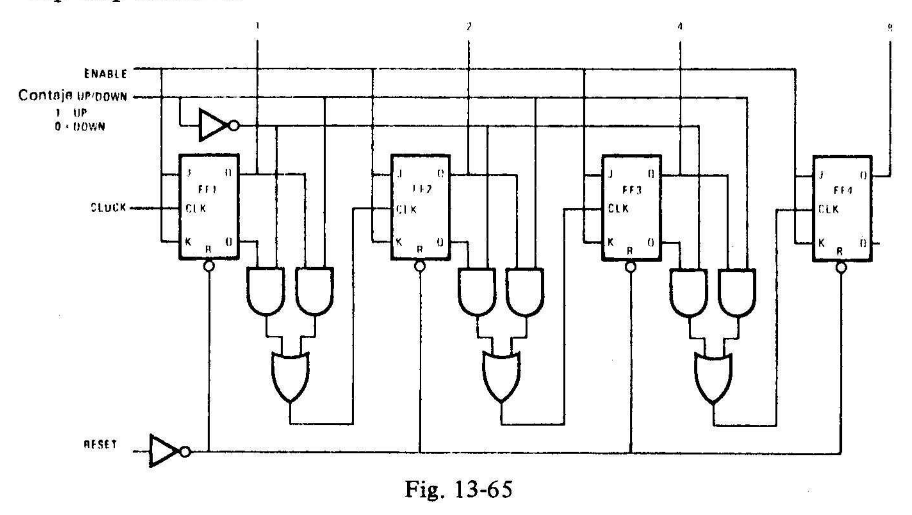


Fig. 13-65

Obsérvese sobre la figura 13-65, que las entradas J y K de cada flip flop están conectadas conjuntamente a una señal de control "enable", de forma que cuando ésta tiene un nivel lógico cero, de acuerdo con el comportamiento de las básculas J-K, las mismas no cambian de estado cuando se las aplica impulsos de reloj. De esta manera, el contador guarda el último cómputo, mientras la señal enable esté a nivel bajo.

Finalmente, cuando a la línea de selección de contaje, se aplica un nivel 1, sólo una de las puertas AND que atacan a la OR, es posible que saque nivel 1 y en este caso es la correspondiente a la que en la otra entrada recibe la salida Q del flip flop. Por tanto por la puerta OR pasará al flip flop siguiente el estado de la salida Q del anterior, con lo que el cómputo del contador será ascendente. En caso de aplicar nivel 0 a la línea de selección de contaje, será la salida $\bar{Q}$ la que se aplicará al flip flop siguiente con lo que el contador será de tipo descendente.

CONTADORES SINCRONOS

Aunque también los contadores síncronos emplean flip flop J-K, éstos son activados por una señal común, cambiando de estado simultáneamente.

En la figura 13-66 se aprecia el esquema típico de un contador síncrono, en el que las entradas *J* y *K* de cualquier flip flop, están conectadas a las salidas *Q* de todos los flip flop anteriores a través de una puerta AND. Por lo tanto cada flip flop cambiará de estado a la llegada de un impulso de clock, sólo cuando todos los flip flop anteriores proporcionen un nivel 1 por sus salidas *Q*.

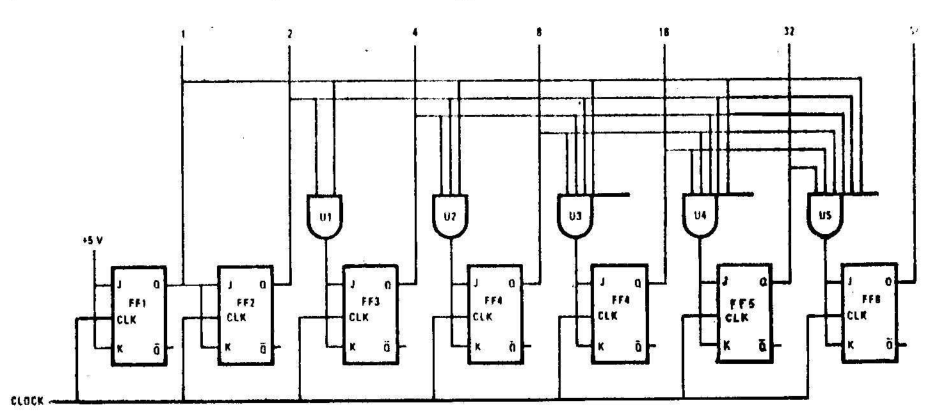


Fig. 13-66

El contador de la figura 13-66 es de tipo ascendente y podría pasar a descendente, simplemente conectando la salida $\bar{Q}$ de los flip flop en lugar de la *Q*.

Los diagramas de tiempo de los contadores síncronos son similares a los asíncronos, excepto que suele ser común en los primeros que el disparo se produzca en los flancos descendentes del impulso de clock.

En los contadores síncronos, todos los flip flop reciben el mismo impulso de reloj y cambian simultáneamente, con lo que el retardo total, con independencia del número de flip flop, es exactamente igual al de una etapa. Como el retardo de un flip flop (25 ns) más el de la puerta AND (10 ns) es de 35 ns, los impulsos de reloj pueden generarse a una frecuencia máxima de 30 MHz, lo que supone una notable ventaja frente a los contadores asíncronos.

Otra característica muy importante de los contadores síncronos, es que todas sus salidas cambian al mismo tiempo, por lo que no se producen estados intermedios con salidas incorrectas.

Como desventajas de los contadores síncronos, cabe citar la complejidad mayor, al precisar puertas AND con mayor número de entradas, cuantos más flip flop existan, lo que también supone un encarecimiento de este tipo de contadores.

Para reducir la complejidad de los contadores síncronos, existe una versión denominada "con acarreo", en la cual las puertas AND se colocan en serie, en lugar de paralelo, tal como se presenta en la figura 13-67.

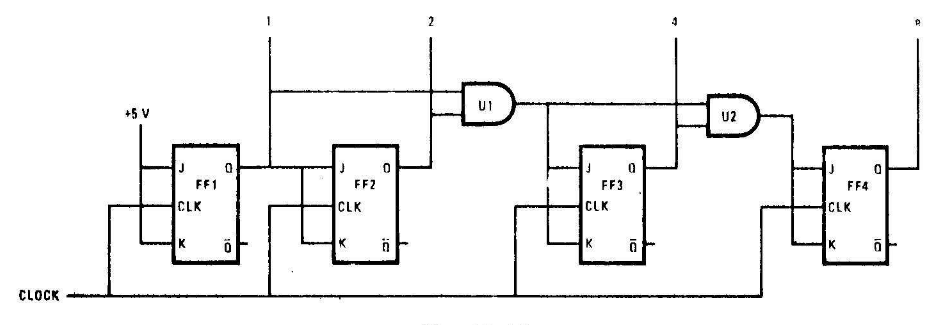


Fig. 13-67

En el contador síncrono con acarreo, el retardo de propagación de las puertas AND es acumulativo, por lo que disminuye su velocidad.

CONTADOR BCD

El contador BCD efectúa el contaje en el código BCD, expresando los 10 números decimales mediante cuatro bits, contenidos en cuatro flip flop. El contaje del 0 al 9 es el normal y equivalente a la que efectúan los contadores binarios, ya estudiados, pero a continuación del estado 1001 (9), pasa de nuevo al comienzo, o sea, a 0000.

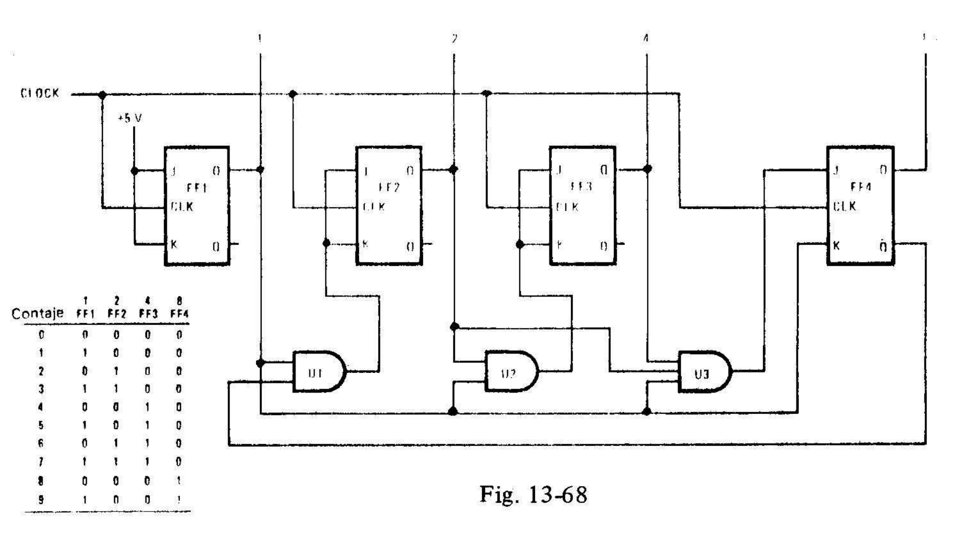
En la figura 13-68 se muestra el esquema típico de un contador BCD y sus 10 estados posibles en el cómputo.

Para obligar a pasar al contador BCD del estado 1001 al 0000, se precisa utilizar una lógica auxiliar alrededor de los flip flop.

Para mantener en 0 a FF2, en el siguiente impulso que se recibe detrás del estado 1001, $\overline{Q}$ de FF4 se conecta a la entrada de la puerta AND U1, con lo que al ser en dicho instante $\overline{Q} = 0$, las entradas J y K de FF2 están a nivel 0 y no puede cambiar de estado.

Para que FF4 pase a 0 en el 10° impulso, Q de F_1 se conecta directamente a K de FF4. De esta forma la entrada K recibe alternativamente estados inversos.

En el contaje de 7, todas las entradas de la puerta AND U3, se hacen altas y J y K de FF4 reciben nivel 1. Por lo tanto, al llegar el 8° impulso de reloj, FF4 cambia de estado.



Contaje	1 FF1	2 FF2	4 FF3	8 FF4
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	0	1
9	1	0	0	1

Fig. 13-68

Con el 9° impulso de reloj, FF4 sigue a nivel 1, puesto que en este momento en FF1 $Q = 0$, *con lo que se su*prime tanto a *J* como a *K* de FF4 el nivel 1 y en esta situación no cambia de estado.

En el cómputo del 9° impulso la *Q* de FF1 pasa a nivel 1 y por tanto FF4 queda con su entrada *K* a nivel alto y con su entrada *J* a nivel bajo. Por esta razón con el 10° impulso de reloj, FF4 retorna al estado 0.

EXPERIMENTACION PRACTICA DEL CONTADOR SN 7490

A continuación se propone al lector el estudio de las características del circuito integrado 7490, así como algunos esquemas prácticos de aplicación del mismo.

En la figura 13-69 se muestra el circuito electrónico al que responde el contador. En la figura 13-70 se ofrece la tabla de la verdad y en la 13-71 el diagrama de tiempos.

El contador de la figura 13-69 consta en realidad de dos contadores, uno formado por el primer flip flop, de módulo 2 y el otro formado por los tres restantes flip flop, con módulo 5. Interconectando los dos contadores por la línea de trazos se consigue un contador de módulo 10 y salida de contaje en código BCD.

Téngase en cuenta que en la tecnología TTL, las entradas sin conectar equivalen a un nivel lógico 1. Hay varias entradas *J* y *K* sin conectar.

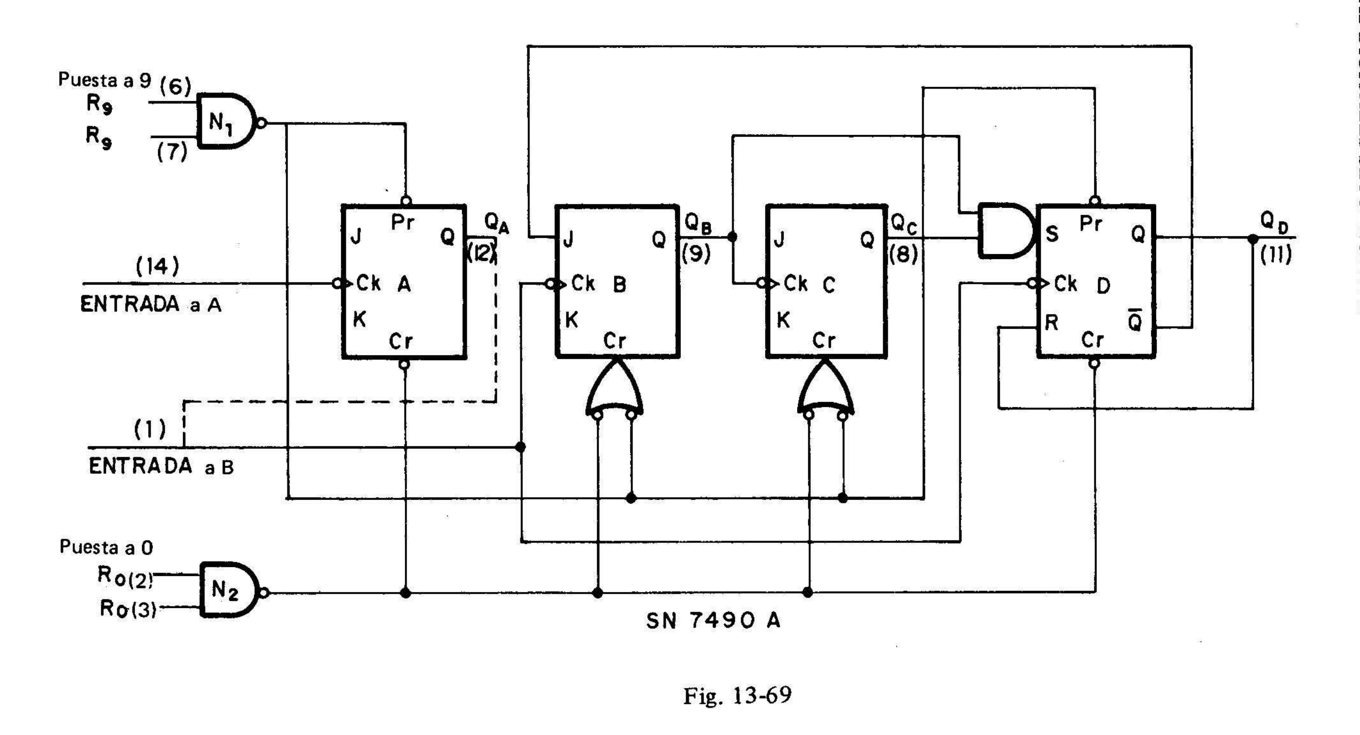

Puesta a 9
R9 (6)
R9 (7)
N1
(14)
ENTRADA a A
(1)
ENTRADA a B
Puesta a 0
Ro(2)
Ro(3)
N2
J
Pr
Q
Ck
A
K
Cr
QA
(12)
B
QB
(9)
C
QC
(8)
S
D
R
Q̄
QD
(11)
SN 7490 A

Fig. 13-69

IMPULSOS	SALIDAS				
	Q_D	Q_C	Q_B	Q_A	
0	0	0	0	0	SECUENCIA NATURAL
1	0	0	0	1	
2	0	0	1	0	
3	0	0	1	1	
4	0	1	0	0	
5	0	1	0	1	
6	0	1	1	0	
7	0	1	1	1	
8	1	0	0	0	
9	1	0	0	1	
10	0	0	0	0	SECUENCIA FORZADA

Fig. 13-70

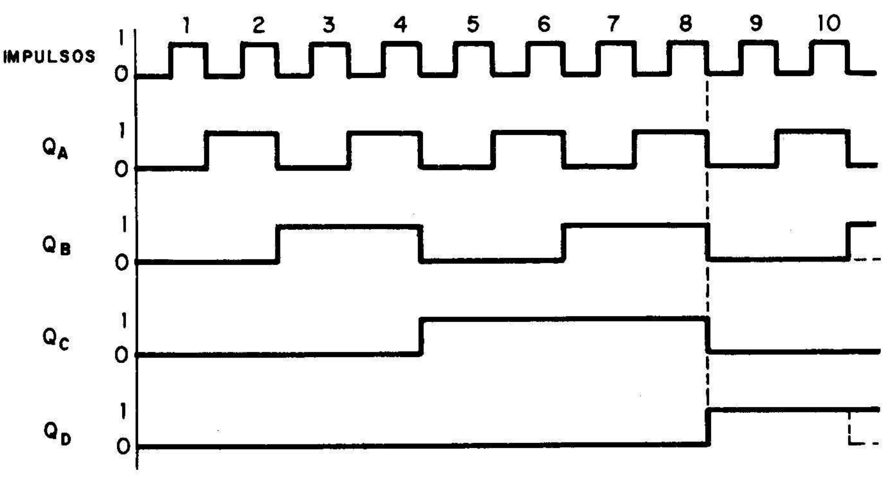


Fig. 13-71

La figura 13-72 muestra la tabla de la verdad para las entradas de reposición del contador.

ENTRADA DE REPOSICION				SALIDA			
$R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$	$R_{9(2)}$	Q_D	Q_C	Q_B	Q_A
1	1	0	X	0	0	0	0
1	1	X	0	0	0	0	0
X	X	1	1	1	0	0	1
X	0	X	0	CUENTA			
0	X	0	X	CUENTA			
0	X	X	0	CUENTA			
X	0	0	X	CUENTA			

Fig. 13-72

Para comenzar el estudio del circuito se supone que por lo menos una de las dos entradas, tanto de R_0 como de R_9, se encuentran a nivel cero. La salida de ambas puertas N_1 y N_2 se encontrarán entonces a nivel 1. N_1 actuando sobre P_r del primer J-K será inactiva. N_2, actuando sobre C_r de las básculas R-S, será también inactiva.

Por otra parte, las salidas de N_1 y N_2 se aplican en paralelo e invertidas a dos puertas O, que a su vez actúan sobre las entradas C_r de los dos J-K centrales. Existen, pues, dos puertas O con entradas a nivel cero, que suministran a su salida nivel cero. Dicha salida de las puertas O se aplica, según se ha dicho, a las entradas C_r de los dos J-K centrales, las cuales son inactivas para el nivel cero (téngase en cuenta que un pequeño círculo en una entrada de un bloque significa que dicha entrada se acciona al pasar de 1 a 0; por lo contrario, sin dicho añadido el accionamiento se produce al pasar de 0 a 1, con lo que el nivel inactivo es el cero).

Cuando llegan impulsos a la entrada denominada A, reloj del primer J-K, dado que tanto J como K se encuentran a nivel 1, se produce un basculamiento en cada flanco descendente de aquéllos. Por otra parte, cada impulso obtenido en Q_A se aplica a la entrada B, entrada de reloj del segundo J-K, provocando a su vez el basculamiento de éste en cada flanco descendente. Téngase en cuenta que a esta segunda báscula, tanto K como J reciben simultáneamente nivel 1 (J lo recibe desde $\overline{Q}$ del R-S).

Los basculamientos presentes en Q_A se aplican también a la entrada de reloj C_k del R-S.

Cuando el 8.º impulso de entrada cae a cero, Q_A cae también, mientras que Q_C y Q_B están a 1 (ver diagrama). Q_C y Q_B, en 1, accionan la puerta Y, que actúa dando nivel 1 a la entrada S del flip-flop R-S. Este flip-flop pasa entonces a nivel 1 en su salida Q_D.

Cuando el 10.º impulso cae a cero, Q_B deberá subir a 1, pero como $\bar{Q}$ del R-S final está a 0, aplicado en J del B, lo mantiene a cero.

También al caer a cero el 10.º impulso de entrada, la salida Q_D deberá seguir en 1, por lo que se le debe forzar a cero en ese momento. Para ello Q_D en nivel 1 queda aplicado a su entrada R, de modo que actuando sobre S un nivel cero por parte de la puerta Y, el flip-flop R-S pase a cero. El nivel cero que suministra la puerta Y se debe a que su entrada procedente de Q_C también está a nivel cero.

Puesta a cero

La situación inicial, es decir, todos los biestables en cero ($Q_A = Q_B = Q_C = Q_D = 0$) se consigue con las dos entradas de la *NAND* N_2 (R_0) en nivel 1. En efecto, la puerta N_2 suministra nivel cero a su salida, que se aplica a la entrada C_r del primer y último flip-flop. Esto provoca su paso a nivel cero ($Q_A = Q_B = 0$). Dicho nivel cero de N_2 se aplica a las puertas O, convertido en nivel 1, que se conecta a las entradas C_r de los flip-flop tercero y segundo, forzándolos a cero. Tenemos pues $Q_A = Q_B = Q_C = Q_D = 0$.

Puesta a nueve

Se puede forzar al contador a nueve, o sea, a que adopte el estado $Q_A = 1$, $Q_B = 0$, $Q_C = 0$ y $Q_D = 1$. Para ello es preciso que las dos entradas R_9 de la puerta *NAND* N_1 se encuentren a nivel 1. Entonces, dicha puerta suministrará nivel cero, que aplicado a las entradas P_r de los flip-flop primero y cuarto los pasan a 1. Se tiene entonces $Q_A = 1$ y $Q_B = 1$. Por otra parte, el nivel cero ya citado de salida de N_1 se aplica, convertido en nivel 1, a las puertas O, las cuales suministran nivel 1 a las entradas C_r de los flip-flop segundo y cuarto, pasándolos a nivel cero. Se tiene también $Q_B = 0$ y $Q_C = 0$.

En resumen, la situación quedará como se deseaba, es decir: 1-0-0-1.

.En la figura 13-73 se ofrece el diagrama de conexionado correspondiente al circuito integrado contador 7490, mientras que en la 13-74 figura el conexionado práctico de un circuito auxiliar de puesta a cero.

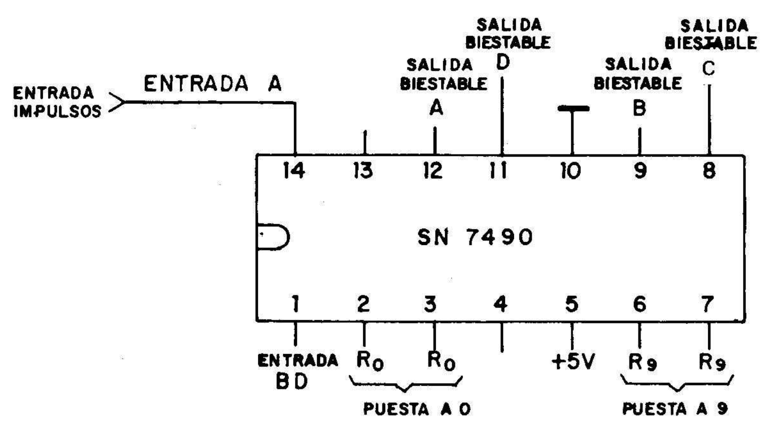


Fig. 13-73

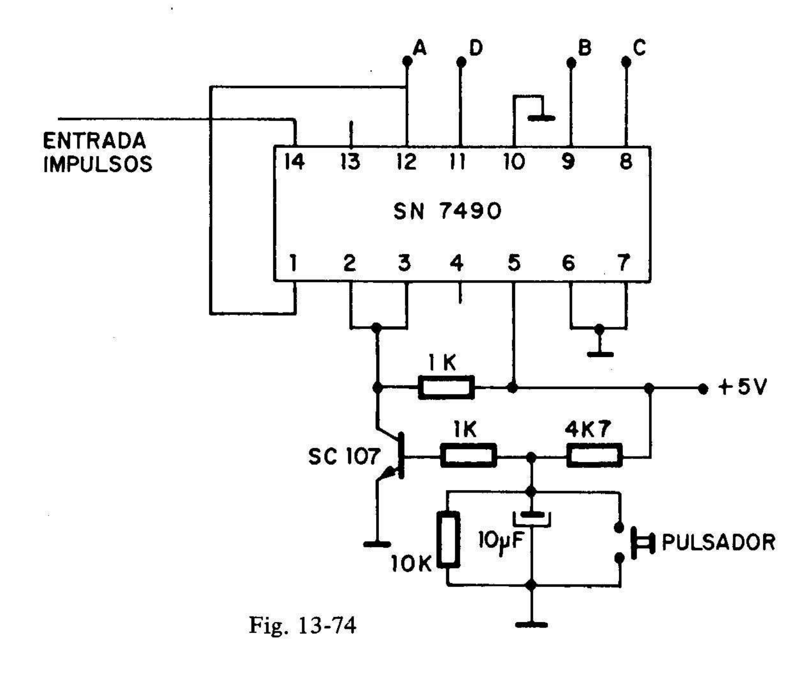


Fig. 13-74

El pulsador de la figura 13-74 sirve para poner a 0 todos los biestables. Como al conectar la tensión de 5 V el condensador de 10 μF está descargado, la base del SC 107 no está polarizada y no conduce, con lo que en las patas 2 y 3 estarán presentes los 5 V de la alimentación, que pasan a través de la resistencia de 1.000 ohmios y ponen a cero los 4 biestables. Mientras persista este nivel cero el contador está bloqueado.

Al cabo de cierto tiempo el condensador se carga lo suficiente para polarizar la base del transistor y ponerlo en saturación, con lo que el potencial de su colector prácticamente se anula y pasan al estado 0 las patitas 2 y 3, pudiendo contar a partir de este momento.

Cada vez que se cierre el pulsador se descarga *C* y se repite el ciclo descrito.

Las salidas de los biestables, aquí llamadas *A*, *B*, *C* y *D*, introducidas a un decodificador apropiado, podrán visualizar el número decimal del cómputo en tubos Nixie o cristales de 7 segmentos.

La década contadora 7490, normalmente se intenta visualizar su cómputo sobre un elemento de siete segmentos, tal como aparece en el esquema por bloques de la figura 13-75.

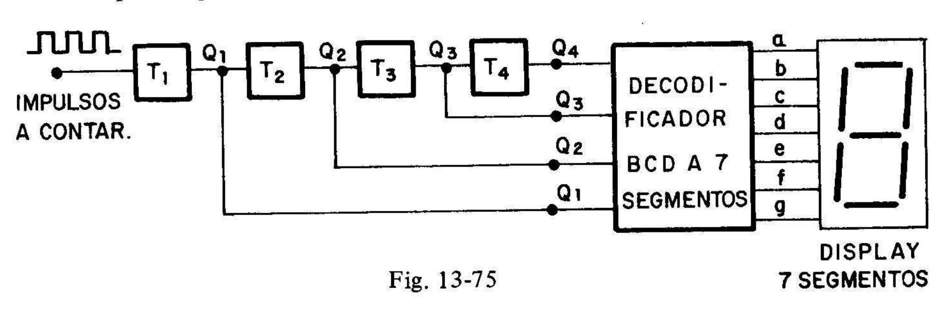


Fig. 13-75

En la figura 13-76 se muestra el esquema de conexionado del circuito integrado SN 7447 A, que constituye un decodificador de BCD a siete segmentos.

En la figura 13-76 la patilla L.T. (lamp test), sirve para visualizar el dígito 8 y comprobar el encendido de todos los segmentos, cuando recibe un nivel cero.

La patilla denominada R.B.O. se emplea para regular el brillo de los segmentos y se le aplica una onda cuadrada de unos 10 KHz. A nivel 0, borra la visualización de todos los dígitos.

Aplicando un nivel 0 a la patilla R.B.I. no se ilumina el cero, apareciendo un nivel 0 en ese momento en la patilla R.B.O.

En la figura 13-77 se ofrece el esquema de un contador decimal, de un dígito, basándose en el circuito integrado 7490.

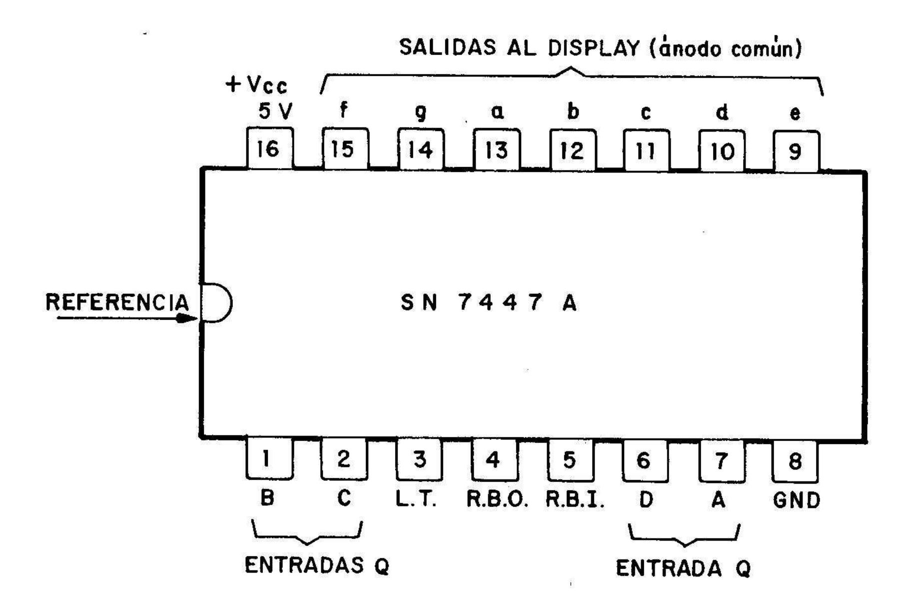


Fig. 13-76

Finalmente, a partir de la figura 13-78, se muestran los esquemas y características más notables de algunos circuitos integrados, en cuyo interior se implementan contadores.

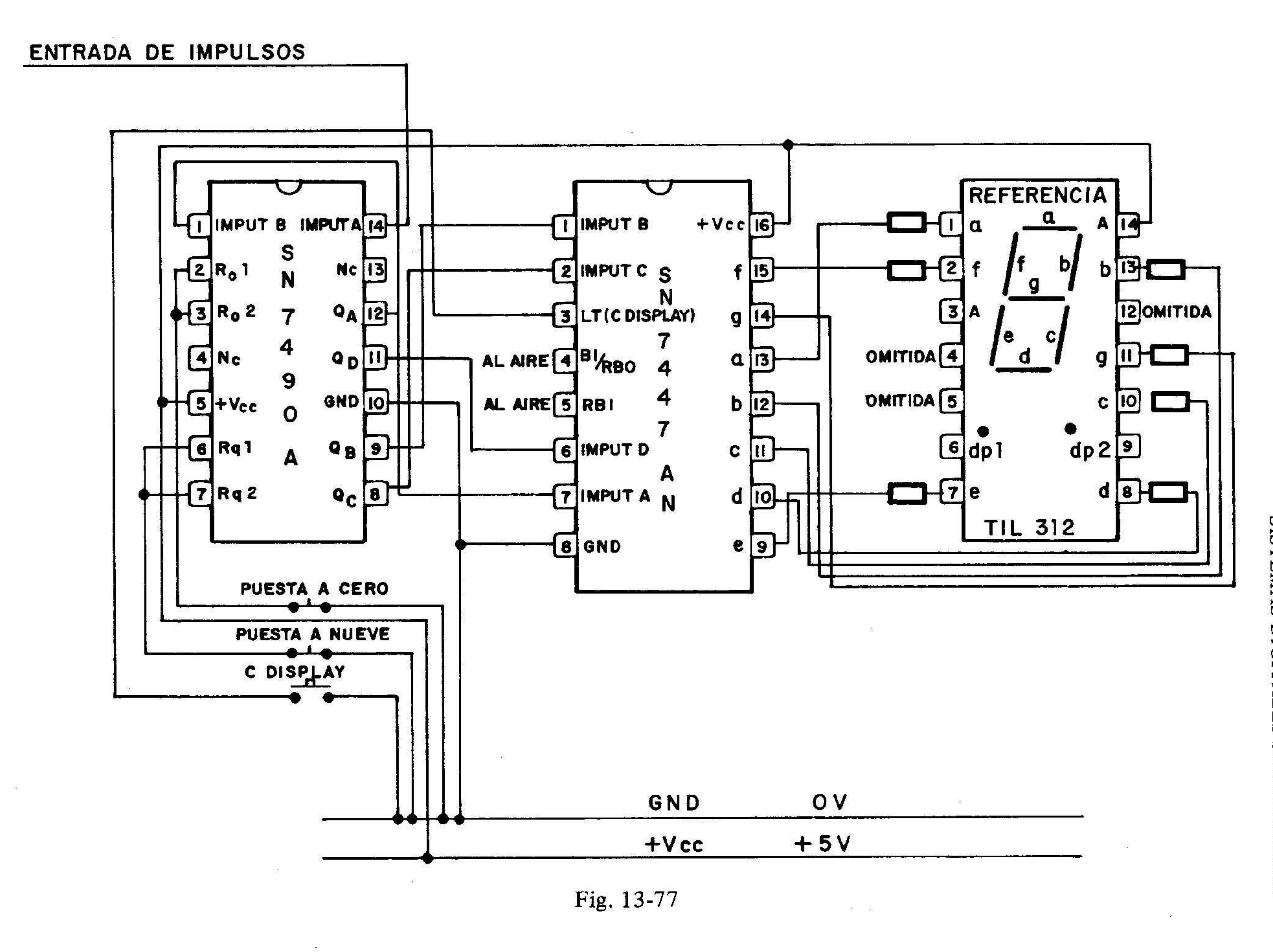
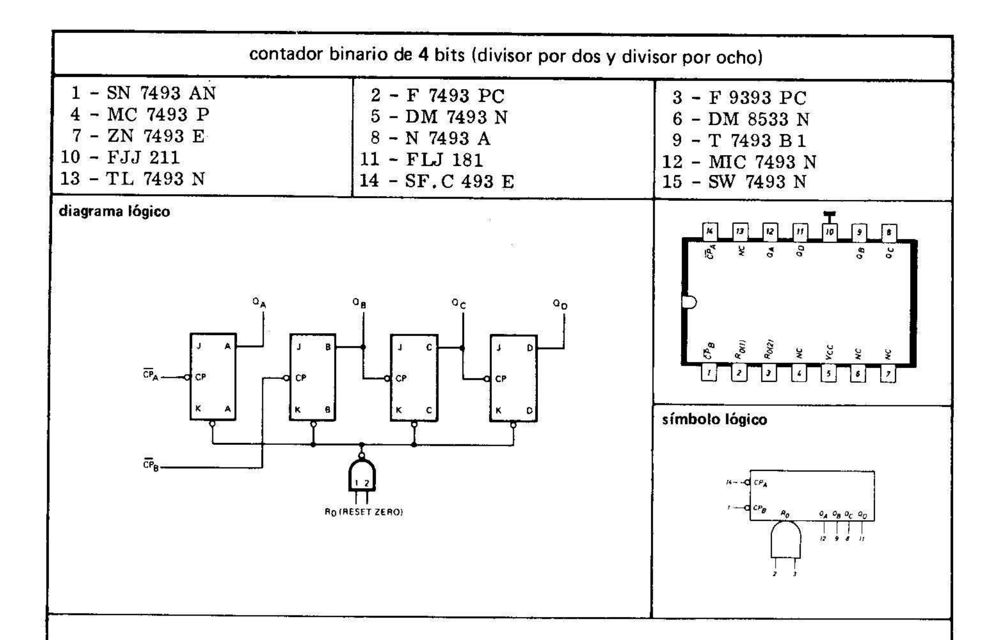

ENTRADA DE IMPULSOS
SN7490A
IMPUT B
IMPUT A
Nc
+Vcc
GND
SN7447AN
IMPUT B
IMPUT C
LT (C DISPLAY)
BI/RBO
RBI
IMPUT D
IMPUT A
GND
+Vcc
AL AIRE
AL AIRE
REFERENCIA
OMITIDA
OMITIDA
OMITIDA
dp1
dp2
TIL 312
PUESTA A CERO
PUESTA A NUEVE
C DISPLAY
GND
0V
+Vcc
+5V

Fig. 13-77

contador binario de 4 bits (divisor por dos y divisor por ocho)

1 - SN 7493 AN	2 - F 7493 PC	3 - F 9393 PC
4 - MC 7493 P	5 - DM 7493 N	6 - DM 8533 N
7 - ZN 7493 E	8 - N 7493 A	9 - T 7493 B1
10 - FJJ 211	11 - FLJ 181	12 - MIC 7493 N
13 - TL 7493 N	14 - SF.C 493 E	15 - SW 7493 N



DESCRIPCION.–Este dispositivo es un Contador Binario de cuatro bits compuesto de cuatro flip-flops maestro auxiliar interconectados internamente para proporcionar un contador divisor por dos y un contador divisor por ocho. Dispone de una línea de reset directa con entrada por puerta que inhibe los impulsos de cuenta y vuelve simultáneamente las cuatro salidas del flip-flop a nivel BAJO. Como la salida del flip-flop A no está conectada internamente a los flip-flop siguientes, el contador puede operarse de dos modos independientes:

1. Cuando se utiliza como contador serie de 4 bits (4-bit ripple-through counter), la salida Q_A debe conectarse externamente a la entrada $\overline{CP}_{BC}$. Los impulsos de cuenta de entrada se aplican a la entrada $\overline{CP}_A$. En las salidas Q_A, Q_B, Q_C y Q_D se realizan simultáneamente divisiones por 2, 4, 8 y 16, como se indica en la tabla de verdad.

2. Cuando se utilice como contador serie de 3 bits (3-bit through counter), los impulsos de cuenta de entrada se aplican a la entrada $\overline{CP}_B$. Simultáneamente, en las salidas Q_B, Q_C y Q_D se dispone de divisiones de frecuencia por 2, 4 y 8. Puede utilizarse independientemente el flip-flop A si la función reset coincide con el reset del contador serie de 3 bits.

Estos circuitos son totalmente compatibles con familias lógicas TTL y DTL.

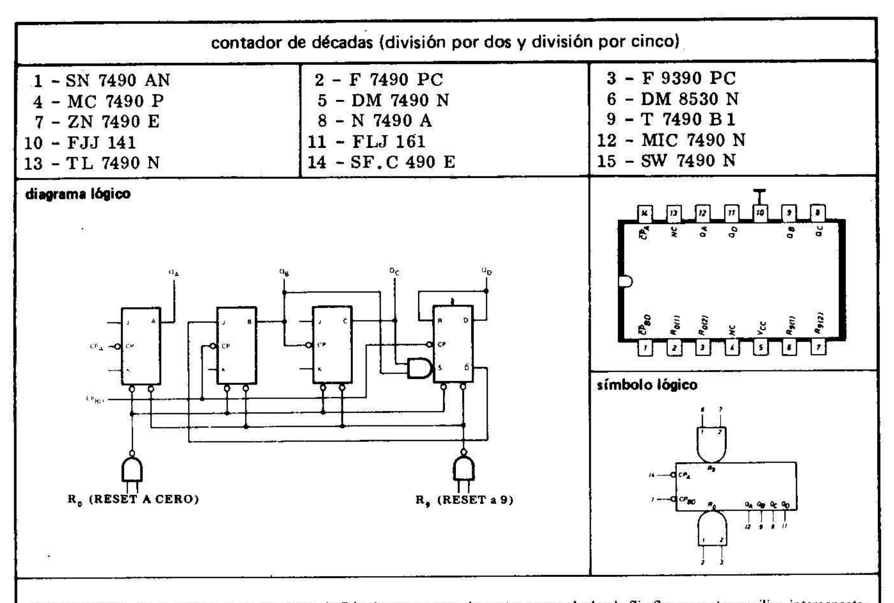
PATILLAS		CARGA
R 0	Entradas de reset de cero	1 U.L.
$\overline{CP}_A$	Entrada de reloj (flanco hacia BAJO activo)	2 U.L.
$\overline{CP}_B$	Entrada de reloj (flanco hacia BAJO activo)	2 U.L.
Q_A, Q_B, Q_C, Q_D	Salidas	10 U.L.

1 carga unidad (U.L.) = 40 μA ALTO/1,6 mA BAJO.

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC} (Nota 10)	4.75	5.0	5.25	Volts
Margen de temper. ambiente de funcionam.	0	25	70	°C
Cargabilidad de salida normalizada de cada salida, N (Nota 2)			10	U.L.
Ancho de impulso cuenta de entr., $t_{p(in)}$	50			ns
Ancho de impulso de reset, $t_{p(reset)}$	50			ns

Fig. 13-78



DESCRIPCION.–El dispositivo es un Contador de Décadas que consta de cuatro rangos duales de flip-flops maestro-auxiliar, interconectados directamente para proporcionar un contador divisor por dos y un contador divisor por cinco. Las entradas de conteo están inhibidas, y todas las salidas puestas a cero lógico o una cuenta binaria codificada decimal (BCD) de 9 a través de líneas de reset directas con puerta. La salida del flip-flop A no está internamente conectada a las etapas siguientes, y por tanto el conteo puede separarse en estos modos independientes:

a. Si se utiliza como contador de décadas binario codificado decimal, la entrada $\overline{CP}_{BD}$ debe conectarse externamente a la salida Q_A. La entrada $\overline{CP}_A$ recibe la cuenta de entrada, obteniéndose una secuencia de conteo de acuerdo con la cuenta BCD para la aplicación decimal de complemento a nueve.
b. Si se desea una cuenta de división por diez simétrica para sintetizadores de frecuencia u otras aplicaciones que requieran la división de una cuenta binaria por una potencia de diez, la salida Q_D debe conectarse externamente a la entrada de CP_A. La cuenta de entrada se aplica entonces a la entrada CP_{BD} obteniéndose una onda cuadrada dividida por diez en la salida Q_a.
c. Para funcionar como contador divisor por dos y divisor por cinco, no se requiere interconexión interna. El flip-flop A se utiliza como elemento binario para la función división por dos. La entrada $\overline{CP}_{BD}$ se utiliza para obtener una operación binaria de división por cinco en las salidas Q_B, Q_C y Q_D. En este modo los dos contadores operan independientemente; no obstante, todos los cuatro flip-flops se ponen en reset simultáneamente.

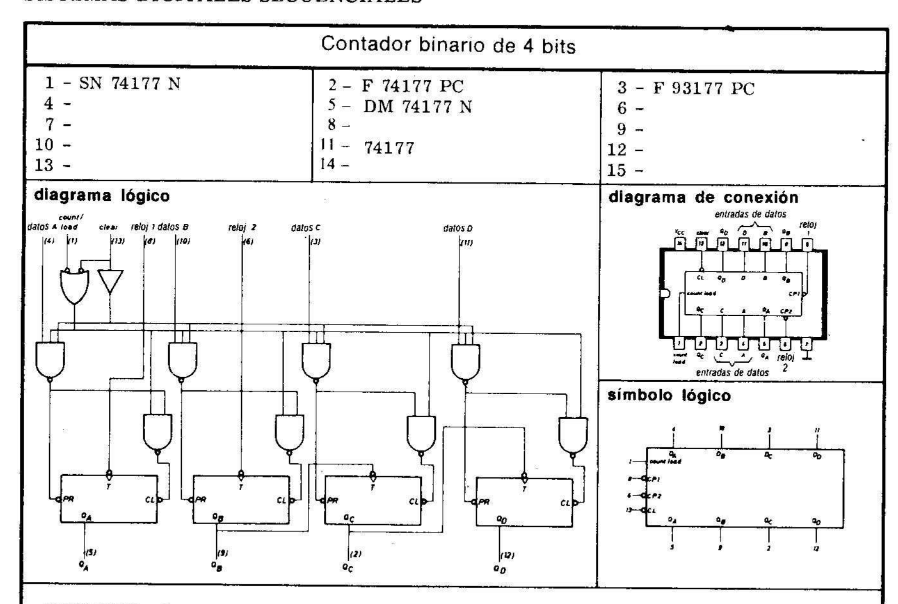
PATILLAS		CARGA
R 0	Entradas de reset de cero	1 U.L.
R 9	Entradas de reset de nueve	1 U.L.
$\overline{CP}_A$	Entrada de reloj	2 U.L.
$\overline{CP}_{BD}$	Entrada de reloj	4 U.L.
Q_A, Q_B, Q_C, Q_D	Salidas	10 U.L.

1 carga unidad (U.L.) = 40 μA ALTO/1,6 mA BAJO.

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO	MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC} (Nota 10)	4.75	5.0	5.25	Volts
Margen de temp. ambiente de funcionamiento	0	25	70	°C
Cargabilidad de salida normalizada de cada salida, N (nota 12)			10	U.L.
Ancho de impulso de cuenta de entr., $t_{p(in)}$	50			ns
Ancho de impulso de reset, $t_{p(reset)}$	50			ns

Fig. 13-79



DESCRIPCION. Este contador monolítico de alta velocidad consta de cuatro flip-flops maestro-auxiliar acoplados c-c, interconectados internamente, para formar un contador divisor por dos y un divisor por ocho. Este contador es totalmente programable; esto es, las salidas pueden prefijarse para cualquier estado colocando un bajo en la entrada de cuenta/carga y entrando los datos deseados en las entradas de datos. Las salidas cambiarán de acuerdo con las entradas de datos independientemente del estado de los relojes.

Este contador puede utilizarse también como latch de 4 bits utilizando la entrada de cuenta/carga como strobe y entrando los datos en las entradas de datos. Las salidas seguirán directamente las entradas de datos cuando la cuenta/carga esté baja, si bien permanecerán sin cambiar cuando la cuenta/carga esté alta y las entradas de reloj inactivas.
Este contador de alta velocidad aceptará frecuencias de 0 a 35 MHz en la entrada de reloj-1 y 0 a 17,5 MHz en la entrada de reloj-2. Durante la operación de cuenta, la transferencia de la información a las salidas se produce en el flanco negativo del impulso de reloj. El contador dispone de un borrado directo, que cuando está bajo pone bajas todas las salidas, independientemente del estado de los relojes.
Todas las entradas tienen diodos limitadores para reducir los efectos de línea de transmisión, y simplificar el diseño del sistema. Los circuitos son compatibles con la mayoría de las familias lógicas TTL y DTL. La disipación típica de potencia es de 150 mW.

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

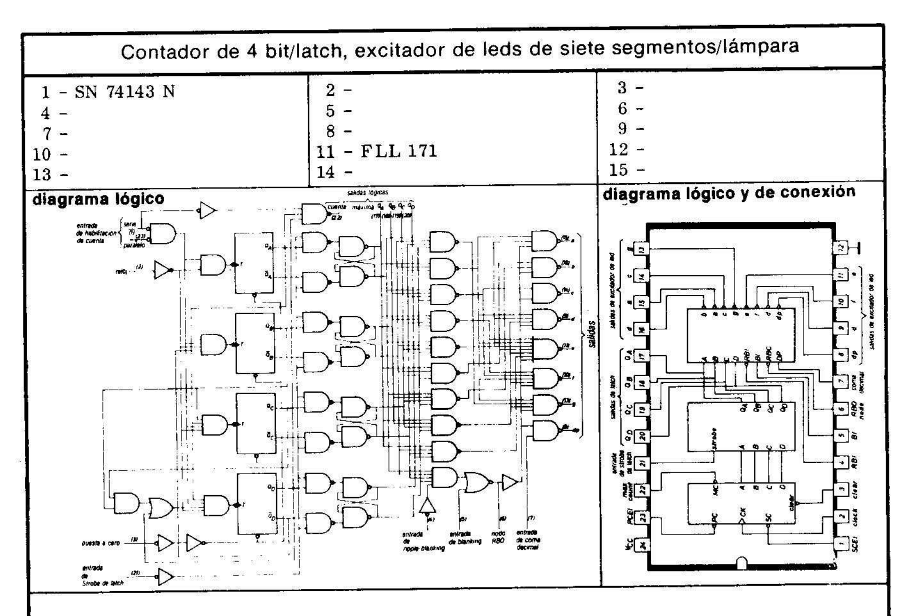
PARAMETRO		MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación, V_{CC}		4,75	5	5,25	Vol
Corriente de salida nivel ALTO, I_{OH}				-800	μA
Corriente de salida nivel BAJO, I_{OL}				16	mA
Frecuencia de cuenta (ver figura 1)	Entrada reloj-1	0		35	MHz
	Entrada reloj-2	0		17,5	MHz
Anchura de impulso, t_w (ver figura 1)	Entrada reloj-1	14			ns
	Entrada reloj-2	28			ns
	Borrado	20			ns
	Carga	25			ns
Tiempo de mantenimiento de entrada, t_{hold} (ver figura 1)	Datos nivel alto	$t_{w(load)}$			ns
	Datos nivel bajo	$t_{w(load)}$			ns
Tiempo de formación de entrada, t_{setup} (ver figura 1)	Datos nivel alto	15			ns
	Datos nivel bajo	20			ns
Tiempo de habilitación de cuenta, t_{enable} (ver figura 1 y Nota a)		25			ns
Temperatura ambiente de funcionamiento, T_A		0		70	°C

Nota a: El tiempo de habilitación de cuenta (count enable time) es el intervalo inmediatamente precedente al flanco negativo del impulso de reloj, durante el cual el intervalo entre las entradas de Count/load y borrado debe ser alto en ambas para asegurar la cuenta.

Fig. 13-80

Contador de 4 bit/latch, excitador de leds de siete segmentos/lámpara

1 - SN 74143 N	2 -	3 -
4 -	5 -	6 -
7 -	8 -	9 -
10 -	11 - FLL 171	12 -
13 -	14 -	15 -



DESCRIPCION. Estos circuitos MSI TTL contienen el equivalente a 86 puertas en un solo chip. Las entradas y salidas lógicas son totalmente TTL/DTL compatibles. Las entradas con buffers están implementadas con resistores relativamente elevados en serie con las bases de los transistores de entrada para bajar los requerimientos de corriente de excitación a la mitad de los necesarios en una entrada estándar TTL.
El serial-count-enable (habilitación de cuenta serie), realmente dos emisores internos, se considera como una carga estándar. Las salidas lógicas, excepto RBO, tienen «pull-ups» activos.
Las salidas del excitador están diseñadas específicamente para mantener una corriente de sink en estado de conducción relativamente constante, de aproximadamente 15 miliamperios en las salidas «a» a «g» y siete miliamperios en la salida «dp», en un margen de tensión de uno a cinco voltios. Puede atacarse cualquier número de LED's en serie en tanto en cuanto no se exceda el margen de tensión de salida.
Todas las entradas tienen un diodo limitador (diode-clamped) para minimizar los efectos de línea de transmisión, simplificándolo por tanto el diseño del sistema. La frecuencia máxima de reloj es típicamente 18 MHz y la disipación típica de potencia 280 mW.

CONDICIONES DE FUNCIONAMIENTO RECOMENDADAS

PARAMETRO		MIN.	TIP.	MAX.	UNIDADES
Tensión de alimentación V_{CC}		4.75	5	5.25	Volts
Tensión en estado de conducción en las salidas «a» a «g» y «dp»		1		5	Volts
Corriente de salida nivel ALTO I_{OH}	Q_A, Q_B, Q_C, Q_D, RBO Cuenta máxima			-240 -120 -560	μA μA μA
Corriente de salida nivel BAJO, I_{OL}	Q_A, Q_B, Q_C, Q_D, RBO Cuenta máxima			4.8 4.8 11.2	mA mA mA
Anchura del impulso de reloj, $t_{w(reloj)}$	Nivel lógico ALTO Nivel lógico BAJO	25 55			ns ns
Anchura del impulso de puesta a cero, $t_{w(clear)}$		25			ns
Tiempo de formación, t_{setup}	Arrastre serie y paralelo Clear estado inactivo	30↑ 60↑			ns ns
Margen de temperatura ambiente, T_A		0		70	°C

↑ La flecha indica que el flanco positivo del impulso de reloj se utiliza como referencia.

Fig. 13-81

LECCION 14

Memorias

INTRODUCCION

Dentro de los sistemas electrónicos digitales destinados al procesamiento de datos, reciben el nombre de "memorias", los subsistemas encargados del almacenamiento de la información.

Dependiendo del soporte usado en el almacenamiento de datos, las memorias pueden clasificarse en diversos tipos.

Hasta 1970, los ordenadores usaban memorias de caracter magnético para guardar grandes cantidades de datos. Dichas memorias estaban constituidas por toros de ferrita imantables, cintas magnéticas, discos, tambores, cintas de papel perforado, etc. A partir de dicha fecha, los principales fabricantes iniciaron el empleo de memorias contenidas en circuitos integrados y cuyo soporte era el material semiconductor.

Mediante las memorias de semiconductor se obtuvieron las siguientes ventajas:

1ª) Mayor densidad y menor tamaño, lo que ayudó a disminuir el volumen ocupado por los ordenadores.

2ª) Mayor velocidad.

3ª) Menor precio por bit almacenado.

Las ventajas enunciadas afectan a todas las memorias de semiconductor, con carácter general; no obstante, dentro de este importante grupo de memorias existe un amplio abanico de tecnologías, cada una de las cuales prima en especial alguna característica.

Fundamentalmente las memorias de semiconductor están constituidas por una gran cantidad de células elementales, que contienen la in-

formación digital en ellas almacenada. La estructura de las células es matricial y se divide en filas y columnas, por lo que es muy sencillo acceder a una de las células para proceder a una lectura o escritura de información. En la figura 14-1 se muestra la estructura de una memoria de 64 bits, organizada en 8 filas y 8 columnas.

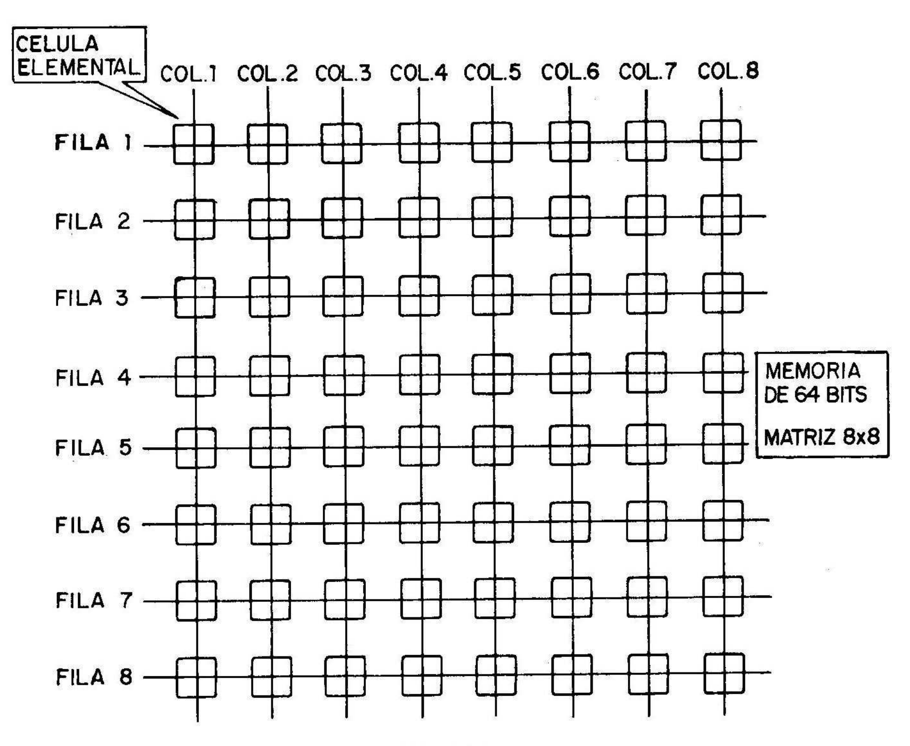


Fig. 14-1

CLASIFICACION DE LAS MEMORIAS

Según el criterio que se siga en la clasificación existe un elevado número de posibilidades. Se ofrece una clasificación escalonada, teniendo en cuenta los siguientes aspectos:

1) Tipo de utilización

2) Forma de almacenamiento

3) Tecnología empleada.

Desde el punto de vista de las aplicaciones, las memorias semiconductoras se dividen en tres grandes grupos:

a) *Memorias de acceso aleatorio RAM (Random Acces Memory)*

Este tipo de memorias se emplea cuando es necesario leer o escribir una información en cualquier posición a la que se selecciona directa y aleatoriamente.

b) *Memorias de contenido permanente y sólo lectura ROM (Read only Memory)*

Son semejantes a las memorias RAM en cuanto al direccionamiento de sus posiciones, pero éstas quedan grabadas permanentemente con una información y sólo es posible efectuar operaciones de lectura.

c) *Memorias de acceso secuencial*

Son memorias de lectura y escritura, caracterizadas porque el acceso a una posición determinada, exige el paso por las posiciones precedentes. Se emplean en los casos que se requiera la lectura y escritura de una gran cantidad de datos en forma secuencial. Son muy aplicadas en los sistemas de representación de datos en pantallas de rayos catódicos.

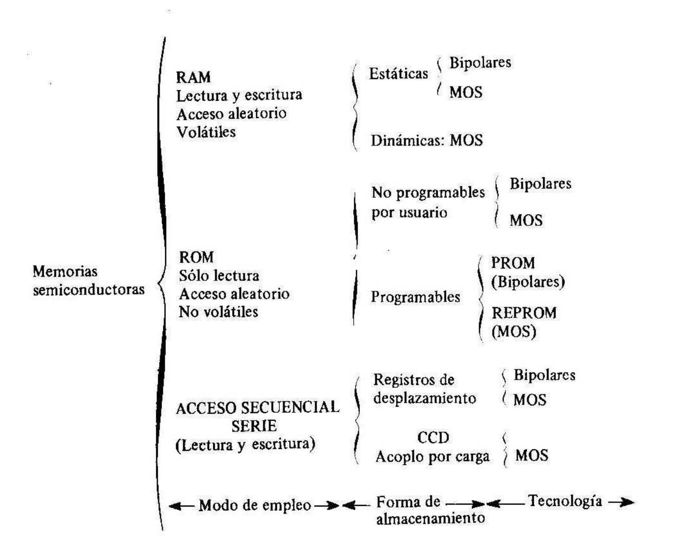


Fig. 14-2

En la figura 14-2 se ofrece una clasificación de las memorias atendiendo a un criterio triple.

MEMORIA RAM

Son memorias cuyas células pueden ser leídas o grabadas indistintamente. Son de acceso aleatorio, lo que significa que se puede acceder en cualquier momento a la célula de memoria que interese, sin seguir ningún orden. Según el tipo de células que la forman pueden ser estáticas o dinámicas, y según la tecnología empleada se dividen en bipolares o MOS.

Reciben también el nombre de "memorias vivas", porque su primordial característica es que se pueden leer, grabar y luego volver a leer y repetir este proceso las veces que se desee. La lectura no es destructiva, o sea, cuando se efectúa la lectura de una célula, ésta permanece con el mismo nivel que contenía y no cambia hasta tanto no se efectúe sobre ella una escritura.

Las memorias RAM requieren una información en cada ciclo de operación, que les indique si se va a proceder a una lectura o a una escritura.

El número de bits que puede almacenar una memoria es siempre una potencia de 2. Así, hay memorias cuya capacidad es de $2^8 = 256$, $2^9 = 512$, $2^{10} = 1.024$, $2^{11} = 2.048$ ó 2 K, $2^{12} = 4.096$ ó 4 K, $2\ ^{3} = 8.192$ ó 8 K, $2^{14} = 16.384$ ó 16 K, etc.

Existen dos configuraciones básicas en la organización de las memorias:

a) A cada dirección de la memoria corresponde una palabra o conjunto de bits.

b) A cada dirección corresponde una célula elemental o bit.

En el primer caso los bits se almacenan en la memoria por conjuntos llamados bytes o palabras, que en general suelen ser de 4, 8 ó 16 bits. Se emplea una estructura paginada en lugar de matricial. La información se almacena en páginas, cada una de las cuales tiene un cierto número de bytes ordenados. Un byte se elige indicando en principio la página y a continuación la posición en que se encuentra.

En la figura 14-3 se muestra la estructura de una página compuesta por 32 bytes, cada uno de 8 bits. La dirección de cada byte la indica un conjunto de cinco bits, que abarcan desde la posición 00000 hasta la 11111.

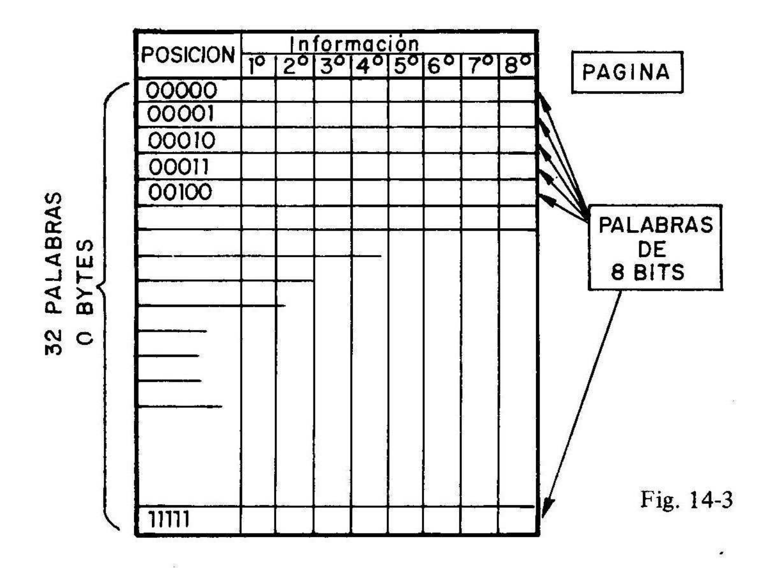


Fig. 14-3

En el segundo caso, la estructura del circuito integrado es de tipo matricial, tal como se ha representado en la figura 14-1, existiendo en cada dirección una célula elemental que almacena un sólo bit. Como normalmente interesa disponer de información compuesta por palabras de varios bits, se recurre a colocar en paralelo a estas memorias, para obtener varios bits simultáneamente. Este tipo de configuración reduce notablemente el número de patillas del circuito integrado. En efecto, si por ejemplo se trabaja con palabras de 16 bits, cada chip deberá poseer 16 patillas para la entrada y salida de datos, además de los correspondientes al direccionado la alimentación y otros. Esto resulta una seria dificultad debido a la limitación de las patillas en las cápsulas de los circuitos integrados. Sin embargo, con la configuración de chips en paralelo, sólo se precisa una patilla destinada a la entrada y salida de información.

Como tecnológicamente es más sencilla la fabricación de memorias con palabras de un bit,frecuentemente se emplea este tipo, dejando al diseñador la labor de la organización de las mismas, lo que supone aumentar la flexibilidad de los proyectos.

La figura 14-4 muestra el esquema de una memoria de 64 bytes, cada byte de 8 bits, formado con 8 chips de 64 bits cada uno colocados en paralelo.

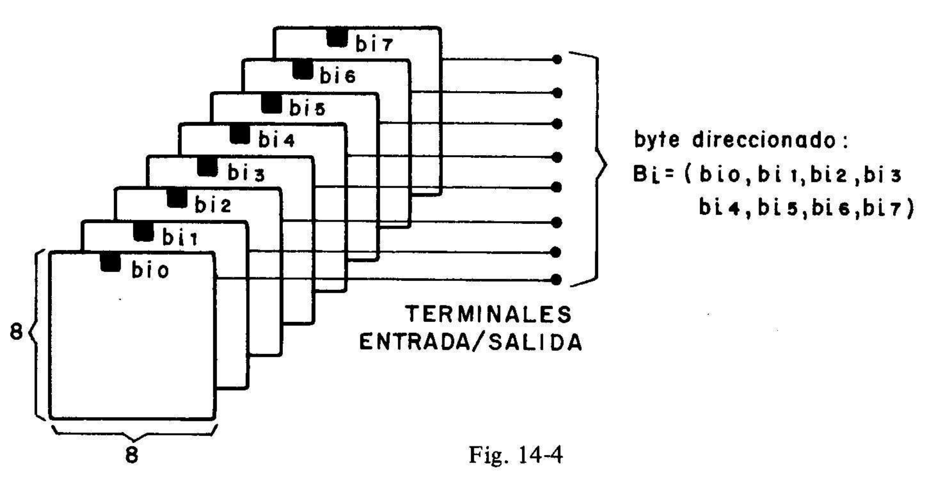


Fig. 14-4

La estructura típica de una memoria organizada en palabras de un bit es la mostrada en la figura 14-5, en la que se aprecian los decodificadores de filas y columnas, el circuito de lectura y escritura y la matriz con las células elementales.

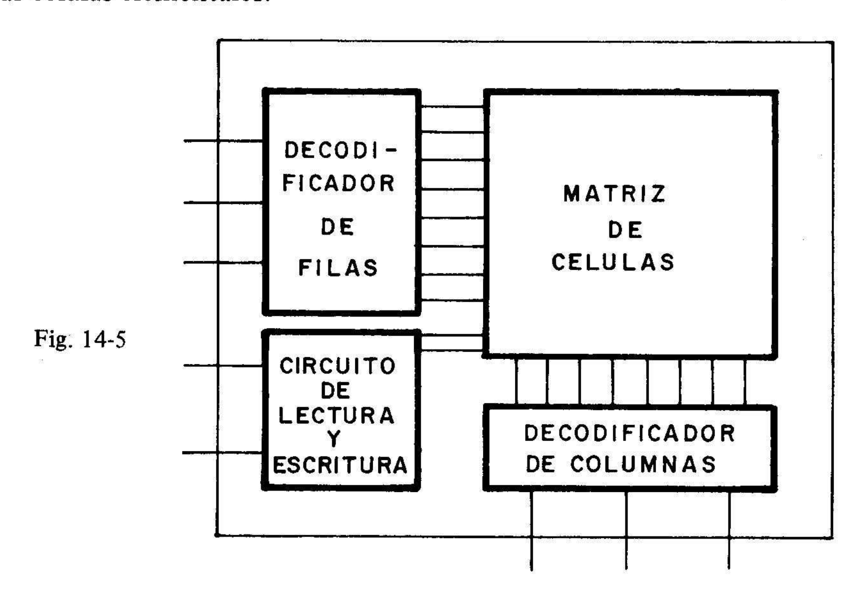


Fig. 14-5

Conocidas las generalidades de las células RAM, se pasa a describir las diversas clases de células elementales que conforman dichas memorias.

MEMORIAS RAM BIPOLARES

Estas memorias se caracterizan por su enorme velocidad, llegando a obtenerse en ellas tiempos de acceso del orden de los 30 ns.

La célula elemental de este tipo de memoria es un flip flop y en la figura 14-6 se muestra una posible configuración del mismo, a base de transistores multiemisores. Los elementos más significativos de este flip flop, son además de los dos transistores multiemisores, las líneas LD $\overline{LD}$ y LW, denominadas línea de dato 1, línea de dato 0 y línea de selección o palabra respectivamente.

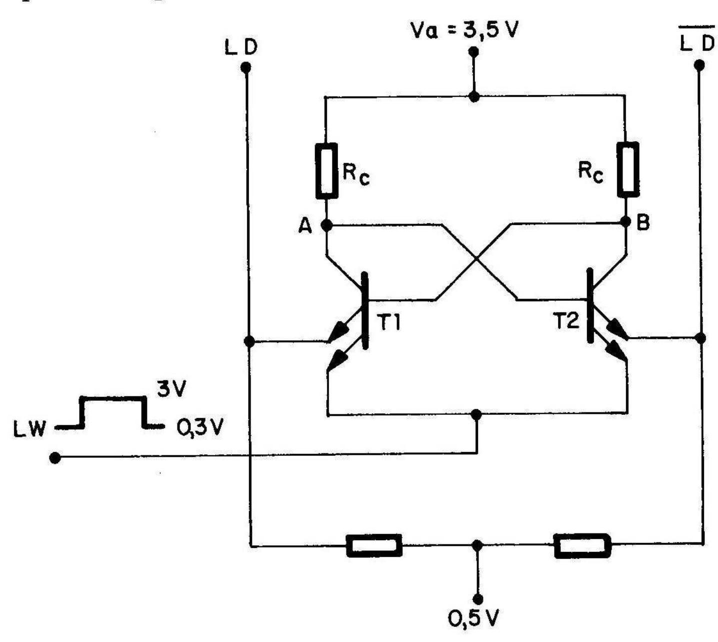


Fig. 14-6

En la célula representada en la figura 14-6, la información queda almacenada en forma de conducción de uno de los transistores. Así la información de un 1 lógico se almacena en forma de conducción del transistor T_1 y el consiguiente bloqueo del T_2. En esta situación, la activación de la línea 1 ó LD produce la conducción de T_1 a través del emisor conectado a la línea LW, debido a que ésta tendrá una tensión menor; unos 0,3 V de LW, frente a unos 0,5 V de LD.

El funcionamiento completo de la célula se describe a continuación:

Ciclo de lectura: En primer lugar se selecciona a través del decodificador de filas a la línea LW adecuada, enviando por dicha línea un impulso de tensión positivo de 3 V de amplitud. Este impulso provoca la transferencia de la corriente del emisor conectado a LW al emisor conectado a LD. La corriente transferida a LD es detectada por un amplificador de lectura aplicado a LD y $\overline{\text{LD}}$ que habrá sido preseleccionado con anterioridad, a través del decodificador de columnas. La señal referida se interpreta como la existencia de un nivel lógico 1 en la célula.

Si en lugar de estar en conducción T_1 estuviese T_2, o sea, si hubiese almacenado un 0 lógico, las cosas sucederían de forma similar, transfiriéndose la corriente a $\overline{\text{LD}}$, lo que detectado y amplificado se interpretaría como un nivel 0.

Ciclo de escritura: Seleccionada la fila LW, se envía un impulso positivo de 3 V de amplitud por la misma. Si la célula seleccionada contenía un 0 lógico (T_2 en conducción) y se trata de escribir un 1, se reduce la tensión de LD y se mantiene la de $\overline{\text{LD}}$, de forma que la diferencia de tensión entre ambas sea superior a $V_{BE} - V_{CE\,sat}$. Esto provoca la conducción de T_1 con la consiguiente disminución de tensión en A, su colector, que origina el bloqueo de T_2 y la escritura del nivel lógico 1 sobre la célula.

Si hay que escribir un 0 y antes la célula contenía un 1, el procedimiento es similar al descrito, pero ahora se rebaja la tensión de $\overline{\text{LD}}$ con respecto a LD para ocasionar la conducción de T_2.

Las líneas LD, $\overline{\text{LD}}$ y LW son comunes y alimentan a un elevado número de células. La concurrencia de determinados valores en la línea LW con respecto a LD y $\overline{\text{LD}}$ es lo que determina el direccionamiento de la célula. La figura 14-7 muestra la interconexión de las líneas aludidas a varias células.

Si en el ejemplo de la figura 14-7 se elige LW_2 y LD_2 y $\overline{LD}_2$ mediante los correspondientes decodificadores de filas y columnas, la célula seleccionada será la marcada con un círculo en la figura.

Entre las muchas configuraciones de las memorias RAM bipolares destaca por su empleo la mostrada en la figura 14-8, en la que los transistores son uniemisores y el acoplamiento con las líneas de datos se realiza mediante los diodos D_1 y D_2, de tecnología Schottky. El funcionamiento de esta célula es similar al descrito anteriormente.

LD_1 $\overline{LD_1}$ LD_2 $\overline{LD_2}$ LD_{n-1} $\overline{LD_{n-1}}$ LD_n $\overline{LD_n}$

LW_1

LW_2

CIRCUITOS DE SELECCION, DETECCION, LECTURA Y ESCRITURA

Fig. 14-7

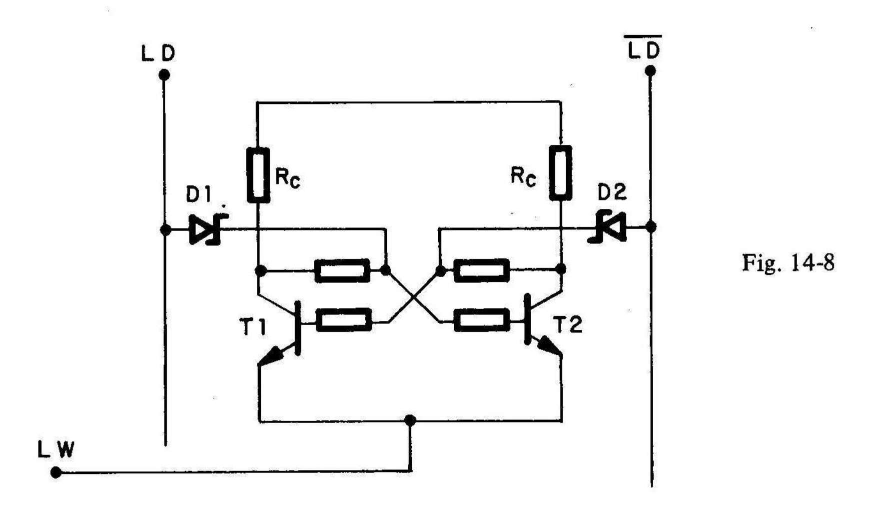


Fig. 14-8

MEMORIAS RAM ESTATICAS CON TRANSISTORES MOS

La figura 14-9 muestra la configuración típica de la célula de este tipo de memoria.

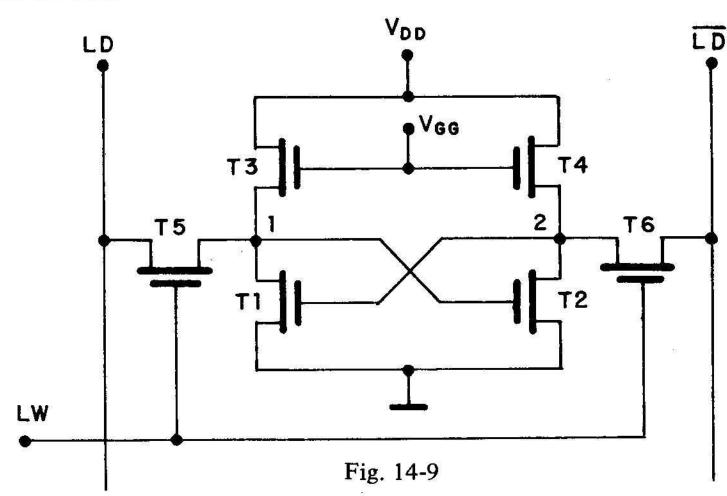


Fig. 14-9

La célula consta de 6 transistores MOS, de los cuales dos de ellos, T_5 y T_6, hacen el papel de interruptores, conectando y desconectando la célula a las líneas LD y $\overline{LD}$ según sea el valor aplicado a la línea LW. T_1 y T_2 forman dos inversores con acoplamiento cruzado, siendo T_3 y T_4 sus respectivas cargas.

Similarmente a las RAM bipolares, el nivel 1 se almacena en forma de conducción de T_1 y el nivel 0 en forma de conducción de T_2.

Al aplicar una tensión determinada a la línea LW, se obtiene la comunicación con la célula. En el caso de lectura, una vez aplicada la señal en LW se transfieren a LD y $\overline{LD}$ las tensiones de los puntos 1 y 2, figura 14-9, que indican el estado de la célula.

En caso de escritura, además de la señal LW hay que enviar unas ciertas señales por LD y $\overline{LD}$ para conseguir alterar el estado de la célula.

MEMORIAS RAM DINAMICAS CON TRANSISTORES MOS

En el caso de las memorias estáticas, el almacenamiento de los niveles lógicos venía determinado por la conducción de uno de los transis-

tores de un flip flop, en cambio en las células dinámicas el soporte físico de la información lo constituye un condensador cuyo estado de carga determinará el nivel lógico. Normalmente el 1 lógico viene determinado por el estado de carga del condensador, mientras que el 0 por la ausencia de carga en el mismo.

La célula de memoria más elemental que regula la carga de un condensador se muestra en la figura 14-10, en la que se aprecia la existencia del condensador gobernado por un interruptor que es actuado mediante la línea de selección. El interruptor comunica al condensador, que es la célula, con la línea de datos, sólo cuando se desea escribir o leer a dicha célula.

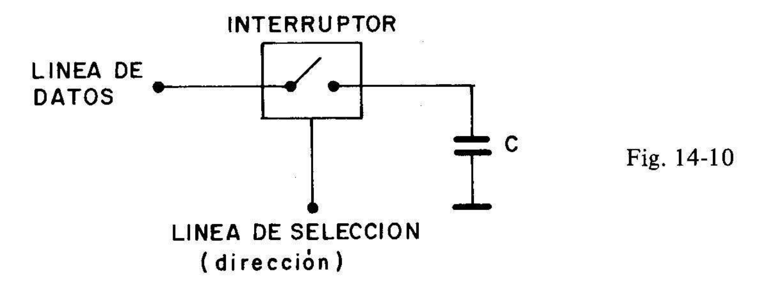


Fig. 14-10

El inconveniente de la célula formada por un condensador, es que la carga almacenada en el mismo se irá perdiendo con el transcurso del tiempo debido a las inevitables corrientes de fugas entre las armaduras del condensador. Para solventar este problema se añade un circuito auxiliar, común para un gran número de células, llamado "circuito de refresco" y cuya misión consiste en reponer cada cierto número de milisegundos, la carga que han perdido las células. La necesidad del ciclo de refresco da origen al nombre de memorias "dinámicas".

La integración práctica de la célula elemental basada en un condensador, se realiza mediante un transistor MOS que trabaja como interruptor y utilizando una de las capacidades parásitas del mismo transistor como elemento de almacenamiento de carga. La figura 14-11 muestra el esquema de este tipo de célula.

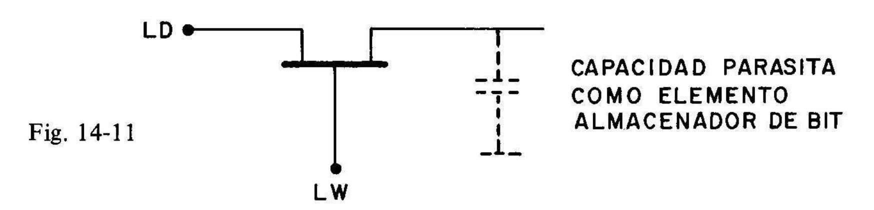


Fig. 14-11

La enorme ventaja de la célula dinámica es su sencillez, pero entre sus principales inconvenientes figura, además de la necesidad del refresco, el que al efectuar una lectura de la célula, el condensador pierde su carga, debido a su pequeña capacidad con respecto a la línea de dato y por lo tanto se produce el borrado de la misma. Para solucionar este problema es preciso emplear una célula algo más complicada con tres transistores como se muestra en la figura 14-12.

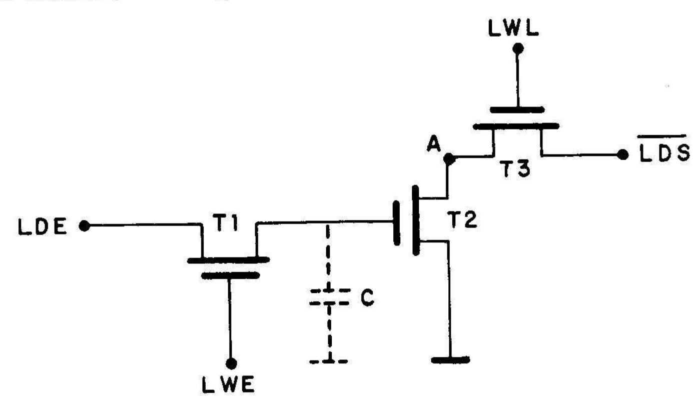


Fig. 14-12

En el esquema de la figura 14-12, la capacidad C es la que presenta el graduador del transistor T_2 con respecto a masa. A C se accede por dos caminos diferentes y aislados entre sí, según se quiera leer o grabar una información. El proceso de escritura está gobernado mediante T_1, siendo T_3 el que gobierna la lectura.

Ciclo de escritura: A través de la línea de entrada de datos LDE, se manda la información a grabar, al mismo tiempo que por la línea de selección de entrada LWE se manda un impulso de tensión que hace conducir a T_1, consiguiéndose de este modo la carga o descarga de C, según sea la información procedente de LDE.

Ciclo de lectura: Para leer la célula se envía un impulso de tensión por la línea de selección de lectura LWL que provoca la conducción de T_3. En la línea de datos de salida, $\overline{LDS}$, se obtendrá un nivel de tensión que será el opuesto al existente en C, de aquí la denominación de $\overline{LDS}$. En efecto, si en C hay un 1, condensador cargado, T_2 conducirá y por tanto, el punto A quedará a cero voltios, tensión que es transferida por $\overline{LDS}$. Si en C hay un 0, T_2 estará bloqueado, existiendo en A un nivel alto que se transfiere a $\overline{LDS}$.

La información negada de la célula que se obtiene por $\overline{LDS}$, se aplica a un detector amplificador que interpreta correctamente el contenido de la célula.

COMPARACION ENTRE LAS DISTINTAS MEMORIAS RAM

Las memorias constituidas por transistores bipolares, son las más rápidas y se emplean en los casos que se requieren elevadas velocidades. Sus tiempos de acceso oscilan entre los 30 y los 100 ns. Su principal inconveniente radica en su consumo, que son las que más potencia precisan por bit, oscilando este factor entre 0,5 y los 5 mW/bit. Otro handicap es el hecho de precisar bastante superficie para su integración.

La principal ventaja de las memorias estáticas MOS es su bajo consumo, que oscila entre 50 uW/bit a 0,2 mW/bit. Sin embargo, son lentas y su tiempo de acceso varía desde los 500 ns al microsegundo. Las dinámicas además precisan un mayor número de tensiones de alimentación.

Las memorias dinámicas MOS tienen como ventaja relevante la pequeña área requerida para su integración, lo que da lugar a una gran densidad de empaquetamiento. Son algo más rápidas que las MOS estáticas (150-300 ns) consumiendo algo más potencia. Su mayor inconveniente son los circuitos auxiliares para el refresco de la información. Exigen también mayor voltaje en su alimentación.

Finalmente, debe tenerse en cuenta que todas las memorias RAM *son volátiles,* es decir, un corte de su alimentación provoca el borrado de la información almacenada.

APLICACIONES DE LAS MEMORIAS RAM

La principal aplicación de las memorias es el computador; muchas RAM se colocan en una placa de memoria, junto con el circuito de tiempo y control. Las tarjetas con memoria se ensamblan entonces en bancos de memoria, que contienen desde 250.000 a 10 millones o más de bit, como se representa en la figura 14-13. Los bancos de memoria se usan como memorias principales de los computadores o como ampliación de la memoria de núcleos que poseen los computadores. Un banco de memoria consta de muchas tarjetas y éstas tienen muchos chips.

Para el almacenamiento de microprogramas en computadores, los chips de RAM individuales se emplean en la selección de posiciones en la unidad de control de la memoria independiente. Almacenan ciertas partes del programa de un computador (microinstrucciones). En este

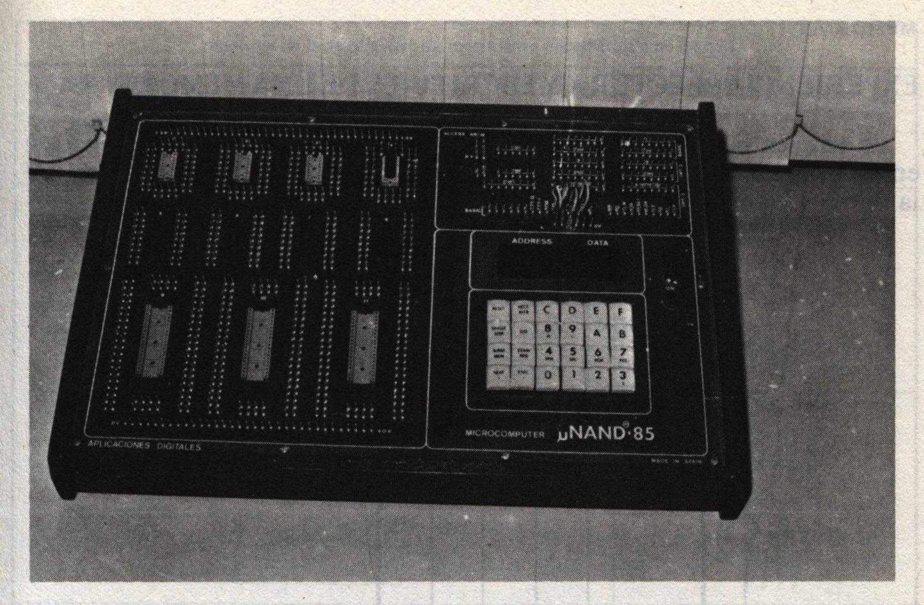


Fig. 14-13

caso, el programa principal no tiene aquellas microinstrucciones y permite a la unidad de control sacarlas internamente con mayor velocidad y eficiencia. De hecho las RAM pueden programarse con señales de control, las cuales han sido generadas por lógica combinacional en la unidad de control. Además, los microprogramas en RAM se pueden usar en lugar de circuitos lógicos en la unidad de control (en general, son las ROM las que más se utilizan en microprogramación).

Las RAM se usan también en terminales remotos de un computador, en los que realizan diversas operaciones con los datos, de forma parecida a como lo hace el computador. Ejecutan cierto número de operaciones secundarias en el terminal y entonces los datos se pasan al computador para un posterior procesamiento. Los terminales que hacen operaciones subordinadas varían en su complejidad, pero se agrupan todos ellos bajo el nombre genérico de "terminales inteligentes". El empleo del término de terminales inteligentes es debido a la posibilidad de las RAM de almacenar programas y ejecutar las instrucciones por medio de un microprocesador. La idea de microprograma almacenado también se puede aplicar a otros instrumentos o sistemas digitales, que tengan que ejecutar una secuencia de operaciones. Por ejemplo, un sistema de control en un proceso de fabricación o un sistema de control numérico para una máquina, tienen ambos necesidad de realizar pasos con instrucciones o valores numéricos que deben estar almacenados. Para el almacenamiento se puede utilizar tanto una memoria RAM como una ROM, cuyas características específicas se describen a continuación.

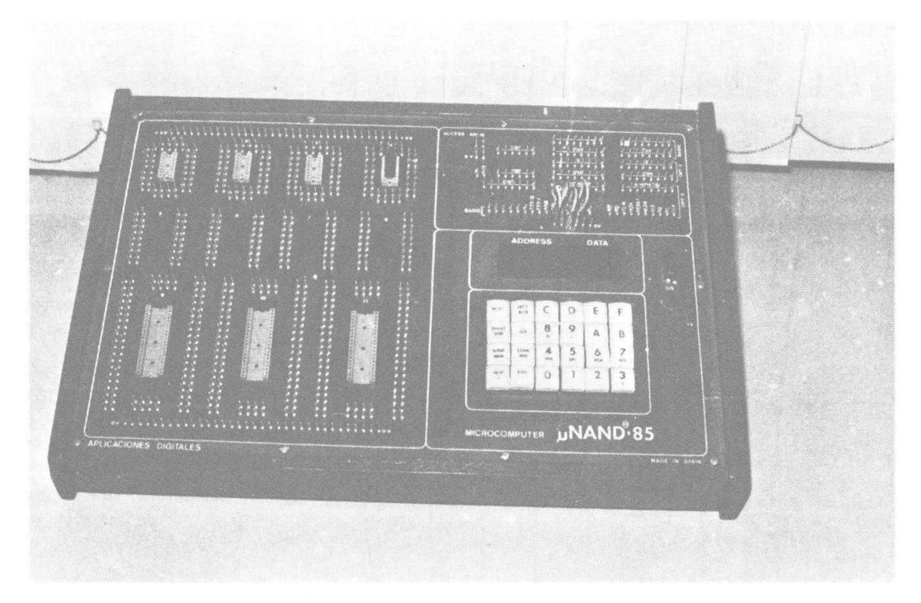


Fig. 14-13

caso, el programa principal no tiene aquellas microinstrucciones y permite a la unidad de control sacarlas internamente con mayor velocidad y eficiencia. De hecho las RAM pueden programarse con señales de control, las cuales han sido generadas por lógica combinacional en la unidad de control. Además, los microprogramas en RAM se pueden usar en lugar de circuitos lógicos en la unidad de control (en general, son las ROM las que más se utilizan en microprogramación).

Las RAM se usan también en terminales remotos de un computador, en los que realizan diversas operaciones con los datos, de forma parecida a como lo hace el computador. Ejecutan cierto número de operaciones secundarias en el terminal y entonces los datos se pasan al computador para un posterior procesamiento. Los terminales que hacen operaciones subordinadas varían en su complejidad, pero se agrupan todos ellos bajo el nombre genérico de "terminales inteligentes". El empleo del término de terminales inteligentes es debido a la posibilidad de las RAM de almacenar programas y ejecutar las instrucciones por medio de un microprocesador. La idea de microprograma almacenado también se puede aplicar a otros instrumentos o sistemas digitales, que tengan que ejecutar una secuencia de operaciones. Por ejemplo, un sistema de control en un proceso de fabricación o un sistema de control numérico para una máquina, tienen ambos necesidad de realizar pasos con instrucciones o valores numéricos que deben estar almacenados. Para el alma cenamiento se puede utilizar tanto una memoria RAM como una ROM, cuyas características específicas se describen a continuación.

EXPERIENCIA: LECTURA Y ESCRITURA DE UNA MEMORIA RAM

Se emplea la memoria del c.i. SN 7489, que posee 64 bits agrupados en una página de 16 palabras de 4 bits cada una, como se representa en la figura 14-14.

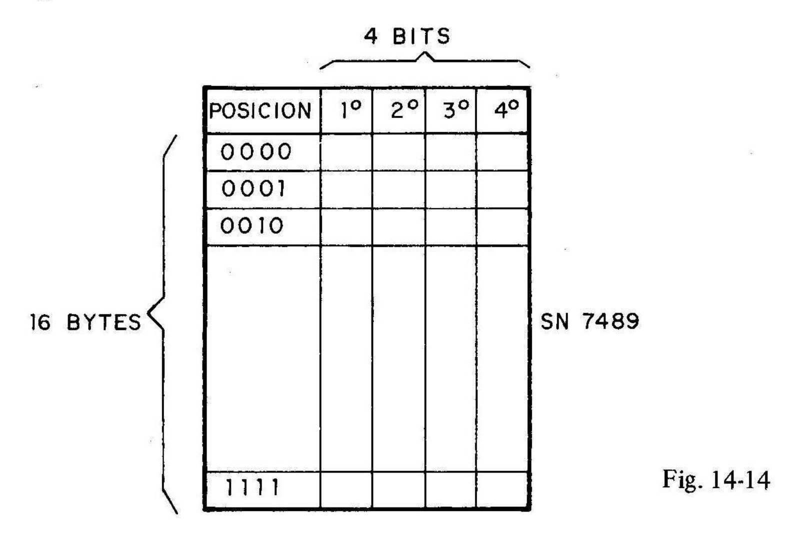


Fig. 14-14

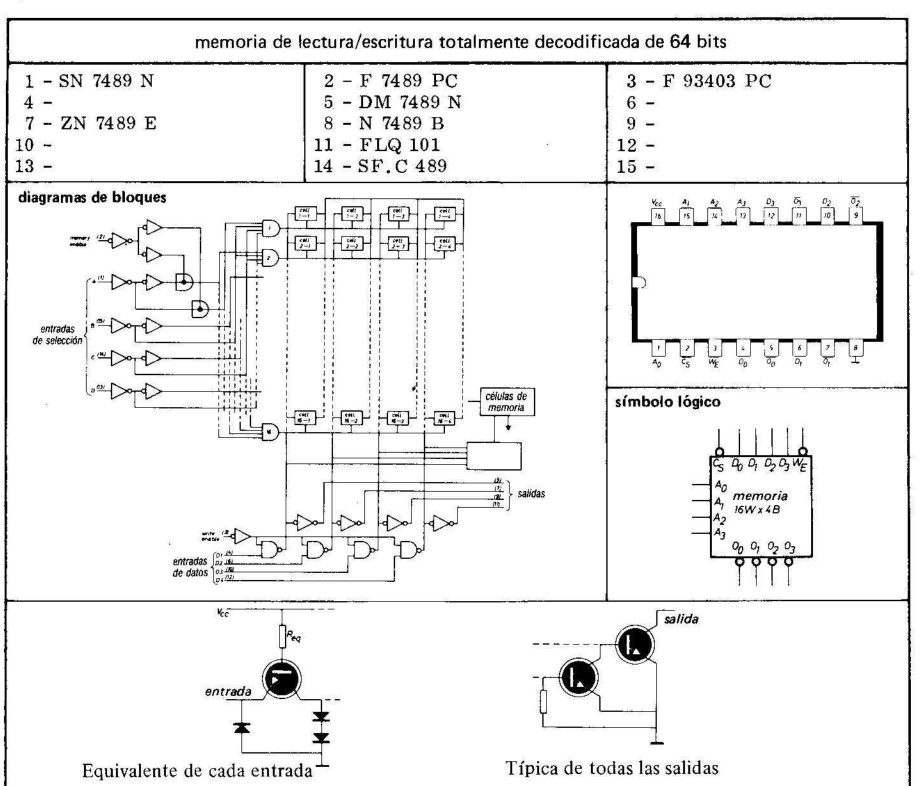
En la figura 14-15 se muestra el diagrama por bloques y las características más importantes de esta memoria.

La posición de la memoria se selecciona mediante 4 bits, que se introducen por las patitas 1, 15, 14 y 13. El resultado de la lectura de una posición se obtiene por las patitas 5, 7, 9 y 11. La entrada de datos se realiza por las patitas 4, 6, 10 y 12. La tensión de alimentación de 5 V se aplica a la patita 16 y la 8 se conecta a tierra. La patita 3 determina la posibilidad de lectura o escritura.

La figura 14-15 representa la utilización de las patillas del c.i. y la forma de introducir informaciones mediante interruptores, que según su estado de cerrados o abiertos proporcionan nivel 1 ó 0, respectivamente. La visualización de los datos de salida se consigue mediante diodos luminiscentes (leds).

Grabación de la memoria

Se coloca la patita 8 al negativo y la 16 al positivo; la 2 a masa o negativo. La 3 dispone de un interruptor conectado a la alimentación po-



memoria de lectura/escritura totalmente decodificada de 64 bits

1 - SN 7489 N	2 - F 7489 PC	3 - F 93403 PC
4 -	5 - DM 7489 N	6 -
7 - ZN 7489 E	8 - N 7489 B	9 -
10 -	11 - FLQ 101	12 -
13 -	14 - SF.C 489	15 -

Equivalente de cada entrada

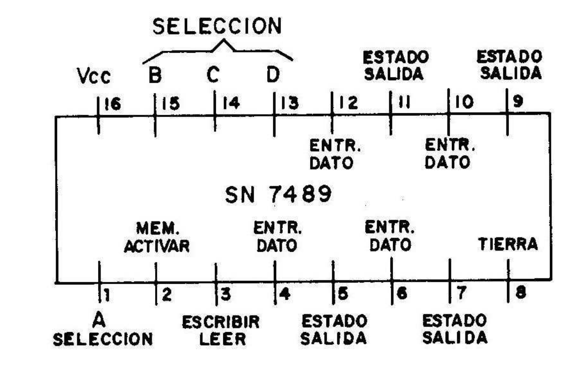
Típica de todas las salidas

DESCRIPCION.–Este dispositivo es una memoria de lectura/escritura de 64 bits, de alta velocidad, formando una matriz que proporciona 16 palabras de cuatro bits cada una. Para la selección de una palabra se almacenan y decodifican "en el chip" cuatro líneas de dirección. El dispositivo está fabricado con circuitería TTL y todas las entradas equivalen a una carga TTL.

CARACTERISTICAS ELECTRICAS (T_{caja} 0° C to 75° C, V_{CC} = 5.0 V ± 5 %) (las unidades están comprobadas con impulsos)

SIMB.	PRUEBA	0° C MIN.	0° C MAX.	+25° C MIN.	+25° C MAX.	+75° C MIN.	+75° C MAX.	UNDS.	CONDICIONES
I_{FA}	Corr. de carga entr. dirección		-1.6		-1.6		-1.6	mA	V_{CC} = 5.25V, V_A = 0.45 V
I_{FCS}	Corr. de carga chip select		-1.6		-1.6		-1.6	mA	V_{CC} = 5.25V, V_{CS} = 0.45 V
I_{FWE}	Corr. de carga Write Enable		-1.6		-1.6		-1.6	mA	V_{CC} = 5.25V, V_W = 0.45 V
I_{FD}	Corr. de carga entr. datos		-1.6		-1.6		-1.6	mA	V_{CC} = 5.25V, V_D = 0.45 V
I_{RA}	Corr. de fuga entr. dirección		60		60		60	μA	V_{CC} = 5.25V, V_A = 4.5 V
I_{RCS}	Corr. de fuga entr. chip. sel.		60		60		60	μA	V_{CC} = 5.25V, V_{CS} = 4.5 V
I_{RWE}	Corr. de fuga Write Enable		60		60		60	μA	V_{CC} = 5.25V, V_W = 4.5 V
I_{RD}	Corr. de fuga entr. datos		60		60		60	μA	V_{CC} = 5.25V, V_D = 4.5 V
I_{CEX}	Corr. de fuga de salida		100		100		100	μA	V_{CC} = 5.25V, V_{CEX} = 5.25 V 3.0 on Chip Select
V_{OL}	Tensión de salida BAJA		0.45		0.45		0.45	V	V_{CC} = 4.75 V, I_{OL} = 16 mA $\overline{CS}$ = V_{IL}, $\overline{WE}$ = V_{IH}
V_{IL}	Tensión de entrada BAJA		0.85		0.85		0.85	V	V_{CC} = 5.0 V, Monitorícese la salida aprop. para garantizar este lím. de la prueba.
V_{IH}	Tensión de entrada ALTA	2.0		2.0		2.0		V	V_{CC} = 5.0 V, Monitorícese la salida aprop. para garantizar este lím. de la prueba.
I_{CC}	Corriente de alimentación		110		110		110	mA	V_{CC} = 5.25 V, Write Enable = 3V, las otras entradas a masa.
V_{CD}	Tensión en el diodo limitador, todas las entradas		-1.0		-1.0		-1.0	V	I_{CD} = -5.0 mA
BV_X	Tens. de ruptura, todas entr.	5.5		5.5		5.5		V	I_X = 1.0 mA

Fig. 14-15



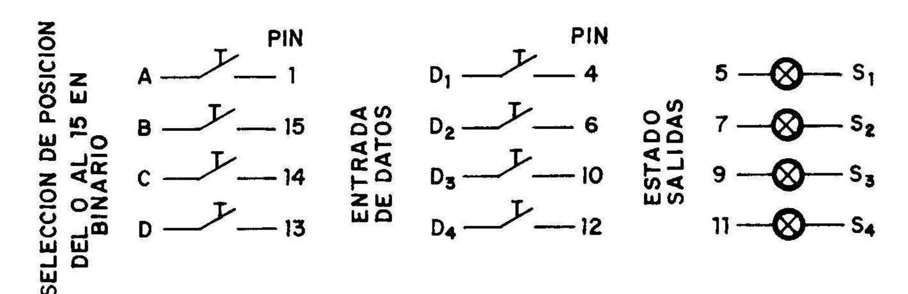


Fig. 14-16

sitiva, que determina si se ha de leer o escribir. Las patitas 1, 15, 14 y 13 disponen de otros cuatro interruptores para seleccionar la posición y otros 4 interruptores en las 4, 6, 10 y 12 para proporcionar la entrada de datos. Por último, en las patas 5, 7, 9 y 11 se colocan unos indicadores luminosos que nos definen el estado de las salidas. El orden a seguir para la grabación es el siguiente:

1.º) Se pone en estado 1 el interruptor de la patita 3.

2.º) Mediante los interruptores de selección de posición se elige una determinada, que esté comprendida entre la 0000 y la 1111.

3.º) Mediante los interruptores de entrada de datos en la posición correcta se representan los bits que se desea grabar.

4.º) Pasando el interruptor del pin 3 WI/R a 0 y luego a 1 se quedará grabada la información.

Lectura de memoria

1.º) Interruptor del pin 3 a 1.

2.º) Se selecciona la posición que se quiere leer con los interruptores de las patitas 1, 15, 14 y 13.

3.º) Aparecen en las lámparas indicadoras el estado de los bits de la posición seleccionada.

MEMORIAS ROM

Son memorias sólo de lectura y de acceso aleatorio. También se las denomina "memorias muertas", puesto que la información que contienen y que se almacena en la fabricación o posteriormente, se mantiene fija para siempre. Estas memorias no son volátiles, conservando su información cuando se las suprime la alimentación.

Para realizar una lectura, el usuario sólo tiene que indicar la posición a leer. En realidad una memoria ROM es un circuito combinacional que entrega por sus salidas una función lógica de sus entradas, es decir, una memoria ROM se puede considerar similar a un codificador.

Existen tres variantes de memorias ROM:

1ª) *ROM BASICA:* Su fabricación es del tipo máscara programada, en la cual los datos se cargan para realizar un programa específico y la grabación se efectúa durante el proceso de fabricación. Son imborrables y se graban durante su fabricación. Existen versiones en tecnología bipolar y MOS.

2ª) *PROM (Programmable Read Only Memory):* Se trata de una memoria ROM programable por el usuario. Se suministra virgen y el usuario puede cargar los datos según su aplicación. Durante la programación se efectuan ciertas modificaciones en sus células de carácter permanente. Existen versiones en tecnología bipolar, aunque también serían posibles con tecnología MOS.

3ª) REPROM (Reprogrammable Read Only Memory): Es un tipo de memoria programable por el usuario, que puede ser grabada, borrada y vuelta a grabar, mediante procedimientos especiales. Son de tecnología MOS.

En la figura 14-17 se presenta la organización de una memoria ROM de 16 K de capacidad con 2.048 bytes de 8 bits cada uno. Funciona con una tensión de 17 V y dos señales de reloj, A y $\overline{B}$, con un tiempo de acceso de 1,8 microsegundos y dispone de 14 líneas para el direccionamiento de los 16 K y 8 líneas más para la salida de las informaciones almacenadas en cada byte.

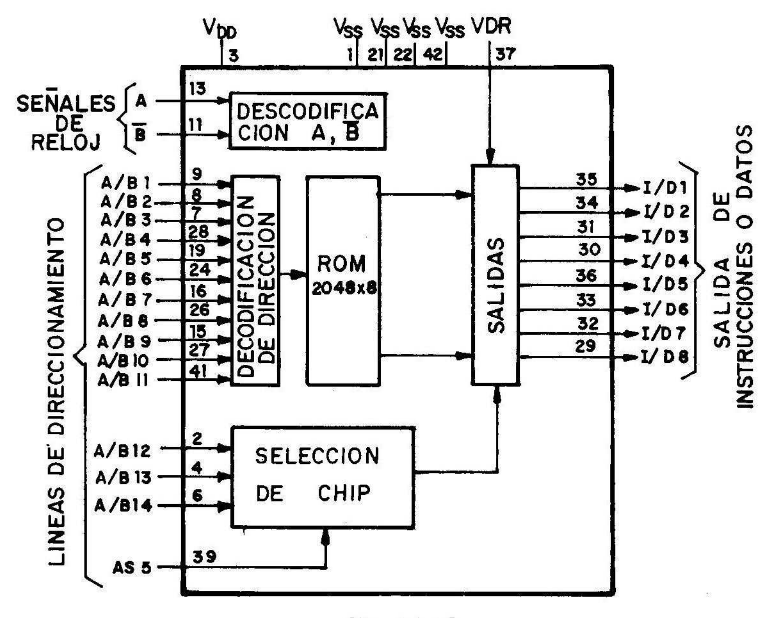


Fig. 14-17

Del análisis de la actuación de las memorias RAM y ROM se deduce que en estas últimas se graban las informaciones que se precisan permanentemente. Por ejemplo, en una calculadora la tabla con los resultados de los senos de ciertos ángulos o en una aplicación industrial las instrucciones que deben gobernar el automatismo, se graban sobre ROM mientras que en una RAM se almacenan datos o resultados intermedios o transitorios, que se eliminan cada vez que desaparece la alimentación.

MEMORIAS ROM BIPOLARES

Dependiendo del componente empleado en la construcción de la célula de memoria existen dos tipos principales de ROM bipolares:

- Con diodos
- Con transistores

En el caso de las memorias ROM con diodos, la estructura que presentan es de tipo matricial. En la figura 14-18 se muestra una memoria 4 x 4, en la que se observa que existen diodos que no están conectados a las columnas que forman el detector de bit. Los diodos conectados se

representan con un punto negro y los no conectados por un pequeño círculo.

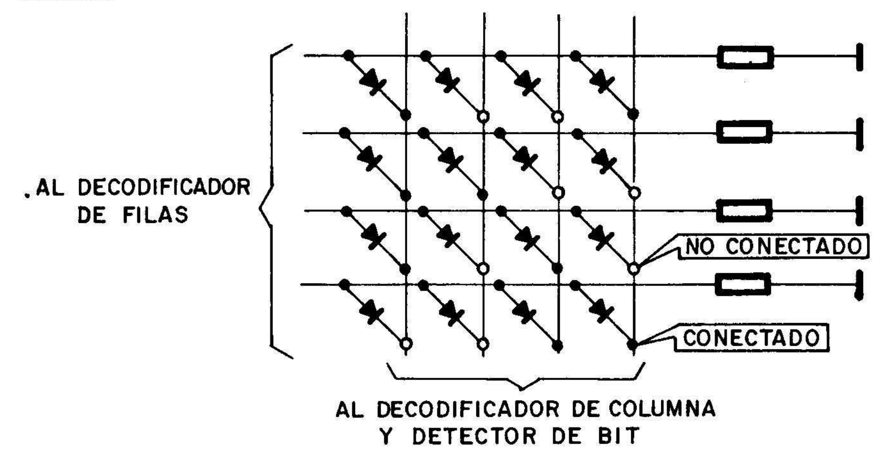


Fig. 14-18

La conexión o no de los diodos se realiza durante la fabricación, empleando un juego de máscaras adecuado que permiten la metalización o no de dichas conexiones.

El caso de las memorias ROM con transistores es muy similar al de los diodos, como se puede apreciar en la figura 14-19. En esta figura las metalizaciones o no metalizaciones se representan como en la figura de los diodos.

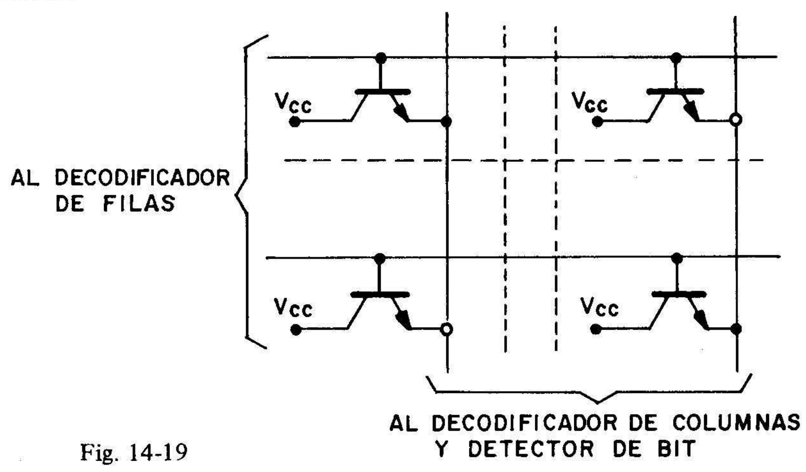


Fig. 14-19

Existe otro tipo de memoria con transistores bipolares. En dichas memorias, que también tienen estructura matricial, los transistores empleados son multiemisores. En la figura 14-20 se muestra un esquema simplificado de tal estructura.

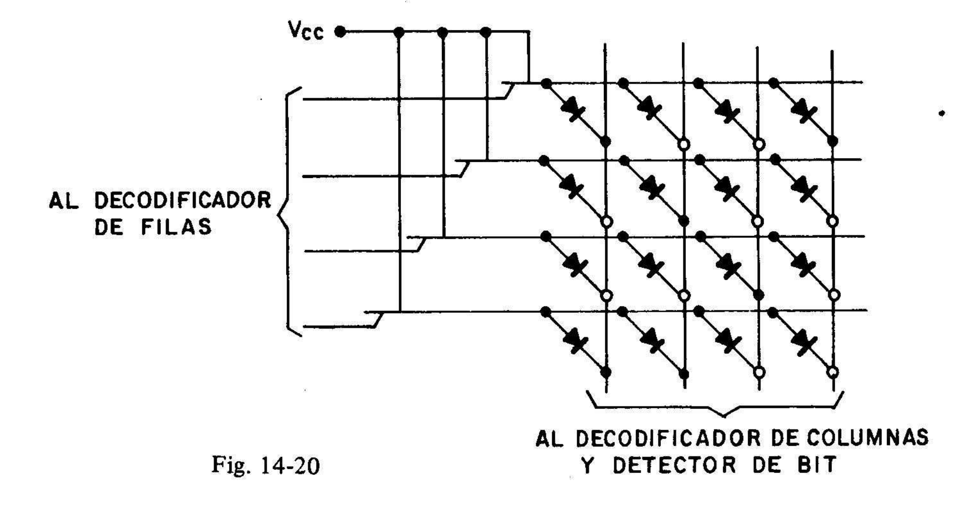


Fig. 14-20

MEMORIAS ROM MOS

Son prácticamente iguales a las construidas con transistores bipolares. En este caso la existencia o no existencia de transistor en un lugar determinado viene determinado por el espesor de la capa de aislante Si O_2 de la puerta o graduador. En aquellos puntos, en los que durante el proceso de fabricación, el espesor de Si O_2 de la puerta es grande, no se produce el transistor. En estos puntos la información almacenada será un 0. La figura 14-21 muestra la constitución física tanto del nivel 1 como del 0. Se comprende fácilmente que cuando la capa de Si O_2 del graduador es grande, el efecto de la tensión aplicada al graduador no se dejará sentir en el transistor y por tanto, no habrá conducción entre la fuente y el drenador.

MEMORIAS PROM

Estas memorias, programables por el usuario, se fabrican actualmente con tecnología bipolar y son similares a las ROM básicas de esta tecnología.

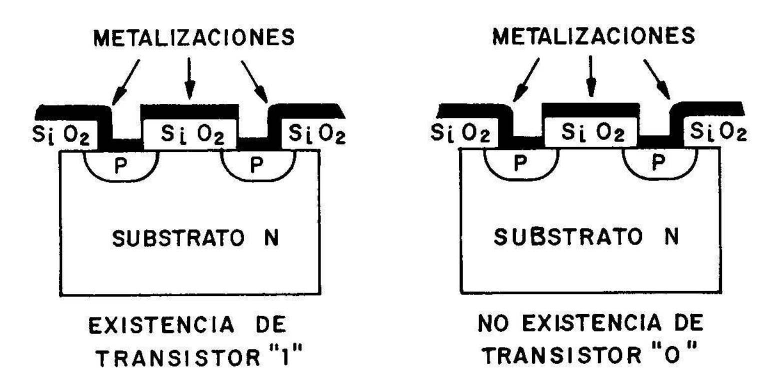


Fig. 14-21

Existen dos formas de construcción:

a) Mediante fusible de una aleación Níquel-Cromo. En este caso, se conectan en serie con los diodos o con los emisores de los transistores de la célula básica, un fusible de dicha aleación. Este fusible es destruible por el usuario, aplicando determinadas corrientes en los puntos precisos. En la figura 14-22 se ofrece la constitución de este tipo de células elementales.

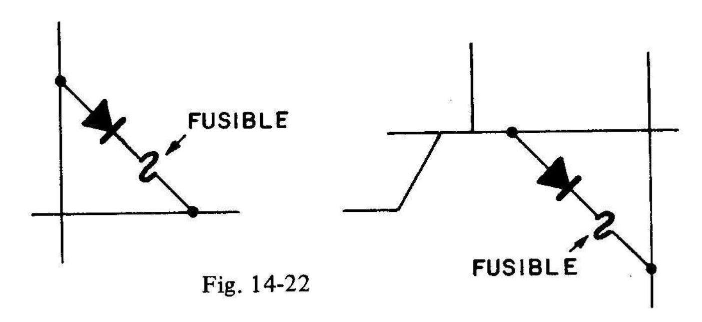


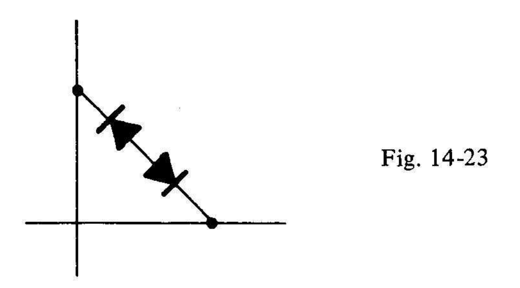
Fig. 14-22

Este tipo de fusibles tiene dos inconvenientes:

1) En condiciones especiales, los fusibles fundidos de Ni-Cr pueden volverse a cortocircuitar.

2) Es muy difícil crear el espesor adecuado del fusible, siendo por otra parte, esta aleación muy sensible a la corrosión.

b) Mediante fusible de silicio (unión N-P). Una configuración típica es la que se muestra en la figura 14-23, en la que pueden verse dos uniones N-P en oposición.


Fig. 14-23

En el caso de que las dos uniones de la figura 14-23 estén intactas, no habrá comunicación entre la fila y la columna (nivel 0). Si se desea obtener un nivel I, el usuario deberá aplicar una serie de impulsos de duración, amplitud y frecuencia correctos, que llevarán a una de las dos uniones N-P a la situación de avalancha, con lo que se produce la fusión de la unión, que de esta forma queda en cortocircuito y permite la conexión entre fila y columna.

MEMORIAS REPROM

Este tipo de memorias de lectura programables, pueden también ser borradas mediante procedimientos especiales. El borrado se produce simultáneamente en todas las células del chip. Según el daño ocasionado en el proceso de borrado varía el número de veces que se puede volver a borrar un chip determinado. Las primeras memorias REPROM sólo se podían borrar unas pocas veces, pero actualmente ese número ha aumentado considerablemente.

Uno de los tipos más usados de las REPROM es el denominado FAMOS (Floating-gate Avalanche-inyección MOS), que consiste en el empleo de transistores MOS con graduador flotante. La constitución física se muestra en la figura 14-24.

En la figura 14-24 se puede apreciar que no existe metalización de puerta o graduador. En su lugar hay una "isla" de silicio policristalino, enterrada en la capa aislante de Si O_2, que se la denomina "puerta flotante". En el caso de que dicha puerta flotante esté descargada, no existirá transistor, al no producirse canal entre surtidor y drenador. La escritura de un 1, es decir, la creación del transistor se consigue mediante la polarización inversa entre una de las zonas P^+ y el substrato. Como esta polarización inversa posee una tensión elevada, provoca una inyección de electrones de alta energía desde la unión P^+ -N hasta la isla de silicio policristalino. Una vez cargada la puerta flotante, la carga perma-

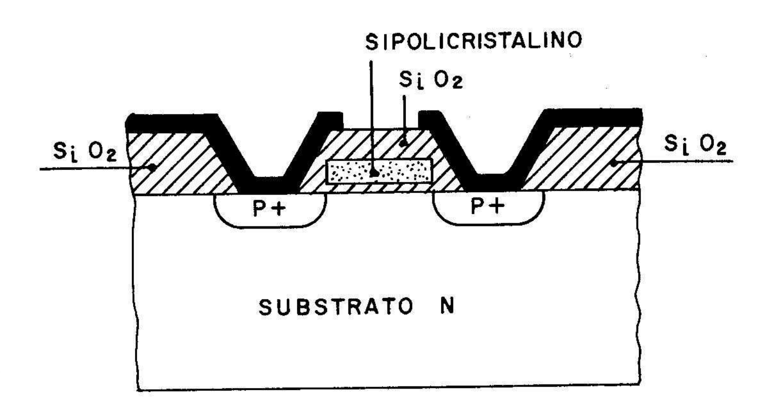


Fig. 14-24

necerá en ella indefinidamente ya que está aislada por el Si O_2. La carga de la puerta flotante originará la creación del canal en el transistor, dando lugar a su conducción, con lo que la célula así formada podrá considerarse como la presencia de un nivel 1.

El proceso de borrado se lleva a cabo mediante la aplicación de rayos X ó luz ultravioleta sobre el chip. De esta manera se produce una fotocorriente que descarga la puerta flotante.

APLICACION DE LAS MEMORIAS ROM

Las ROM que han sido programadas por el fabricante para una aplicación particular son generalmente un producto estándar que contiene códigos de conversión, generadores de caracteres y decodificadores. Por ejemplo, un conversor de código BCD a binario o de código alfanumérico EBCDIC a ASCII, son elementos imprescindibles en los computadores y en circuitos de interface, por lo que muchos fabricantes los ofrecen programados previamente.

Un generador de caracteres alfanuméricos puede recibir entradas codificadas en ASCII y producir salidas alfanuméricas para unos displays o una pantalla de TV. Son igualmente comunes los decodificadores que se emplean en los teletipos y que transforman una señal de su teclado en la correspondiente en código ASCII, para transmitirla a un computador.

Son muchos los ejemplos en los que una aplicación es de exclusiva aplicación a un determinado sistema digital, para el que se puede grabar su programa en una ROM. En este caso, el usuario debe indicar los contenidos específicos que forman el programa y el fabricante carga en un solo paso la máscara correspondiente y procede a fabricar los chip de

CI de memoria ROM que se le han encargado. Si el número de chip que se necesitan es alto (varios cientos o miles) resulta económico que el fabricante prepare la máscara. Si sólo se precisan unos pocos chip, conviene buscar una ROM estándar ya grabada y existente en el mercado. Como alternativa, se puede usar una PROM. En efecto, es corriente el uso de las PROM para construir prototipos y comprobar los resultados de funcionamiento de un programa particular antes de fabricar grandes cantidades de memorias ROM.

Las ROM comunes programadas se usan en los computadores para almacenar microprogramas, o para cubrir un objetivo similar en terminales inteligentes y sistemas de control de procesos. En estas aplicaciones funcionan como si fuesen RAM, excepto que su programa no hay que cargarlo, por lo que a veces a este tipo de microprogramación se llama estática, en oposición a la dinámica.

Uno de los mejores ejemplos de utilización de una ROM es el almacenamiento de tablas de consulta. Por ejemplo, una ROM se puede usar en una calculadora para almacenar los resultados de una multiplicación de dos números comprendidos entre el 0 y el 9. De esta forma, durante una operación de multiplicación el circuito del calculador puede simplemente meter el multiplicando y el multiplicador, con dos direcciones de la ROM y leer el producto a la salida. Esto ahorra un considerable número de etapas en comparación con la multiplicación directa con números binarios. La multiplicación de varios dígitos se basa en la repetición de la multiplicación de dos dígitos, pudiéndose usar una tabla de consulta almacenada en una ROM para cada par de números.

Otra aplicación común de las ROM es la sustitución de circuitos de lógica combinacional. Cada circuito lógico combinacional dispone de varias entradas, que determinan el estado de una o más salidas, de acuerdo con la correspondiente tabla de verdad. Si las direcciones de entrada de la ROM representan las entradas del circuito combinacional y las salidas de la ROM representan las salidas del circuito, la ROM puede programarse con un duplicado de cada combinación de la tabla de verdad y así simular completamente el circuito combinacional completo. Esto sucede cuando se emplea una ROM como código conversor o decodificador. Los conjuntos lógicos programables PLA son una variante de este concepto.

MEMORIAS DE ACCESO SECUENCIAL

Son memorias de lectura y escritura que difieren sustancialmente de las RAM en la forma de acceder a una determinada célula de memoria.

En las memorias de acceso secuencial para leer o escribir una célula, hay que pasar previamente por todas las células que la preceden. Este tipo de direccionado es semejante al utilizado en una cinta magnética.

Las memorias de acceso secuencial tienen aplicación en aquellos casos en que es necesario acceder a un número determinado de datos en forma secuencial, de forma periódica, como puede ser la visualización de datos en terminales de rayos catódicos.

Dentro de las memorias semiconductoras, existen dos tipos de memorias secuenciales, los registros de desplazamiento, en tecnología bipolar y MOS, y las memorias de acoplo de carga, CCD, de tecnología MOS.

En general las memorias secuenciales están organizadas en varios bucles, como se refleja en la figura 14-25.

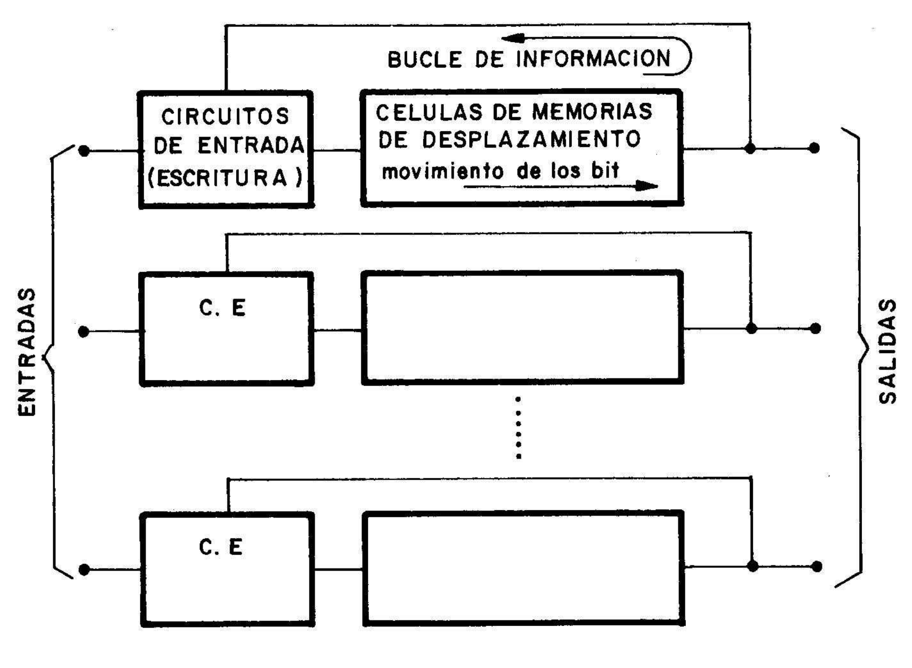


Fig. 14-25

La disposición en forma de bucles presenta dos ventajas:

1ª) En el caso de querer obtener una información, con palabras de *n* bits, bastará con utilizar *n* bucles en paralelo.

2ª) Cuando la información llega en serie, es posible, mediante el sistema de bucles múltiples, acceder a una posición de memoria de forma más rápida, eligiendo adecuadamente el bucle adecuado.

Por último cabe destacar la neta superioridad de este tipo de memoria en muchos de sus aspectos con respecto a las memorias magnéticas del tipo disco y cinta, debido a la ausencia de elementos móviles.

MEMORIAS SECUENCIALES A BASE DE REGISTROS DE DESPLAZAMIENTO

Conocido el comportamiento de los registros de desplazamiento, por una lección precedente, en la figura 14-26 se muestra el esquema que adoptan para formar los bucles característicos de las memorias secuenciales.

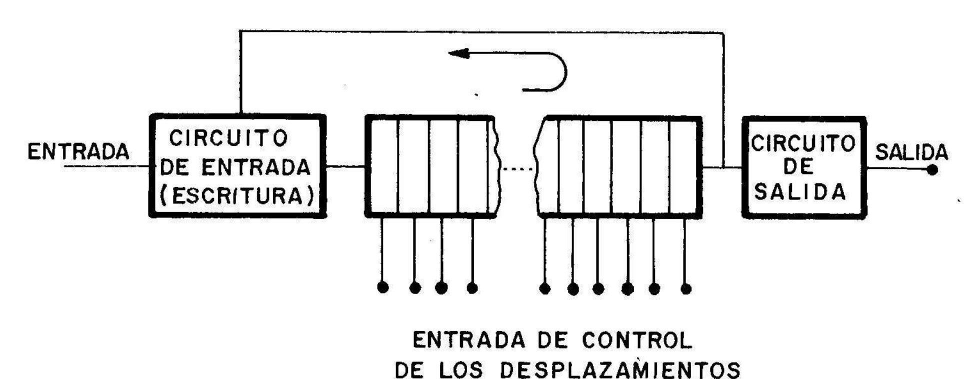


Fig. 14-26

Se describe un tipo de registro de desplazamiento, que está cobrando últimamente una gran importancia, debido a su posibilidad de integración a gran escala, construido a base de transistores MOS funcionando en régimen dinámico. Existen diversas configuraciones y sólo se expondrá un registro de desplazamiento de dos fases con divisor, cuyo esquema corresponde al de la figura 14-27.

Cada etapa consta de 6 transistores MOS, como se aprecia en la figura 14-27, en la que se ha empleado la representación simplificada de los transistores MOS, omitiendo los substratos, para representar tanto los transistores PMOS como NMOS. La tensión V_D así como las correspondientes a las señales ϕ_1 y ϕ_2 deberán ser las convenientes para el buen

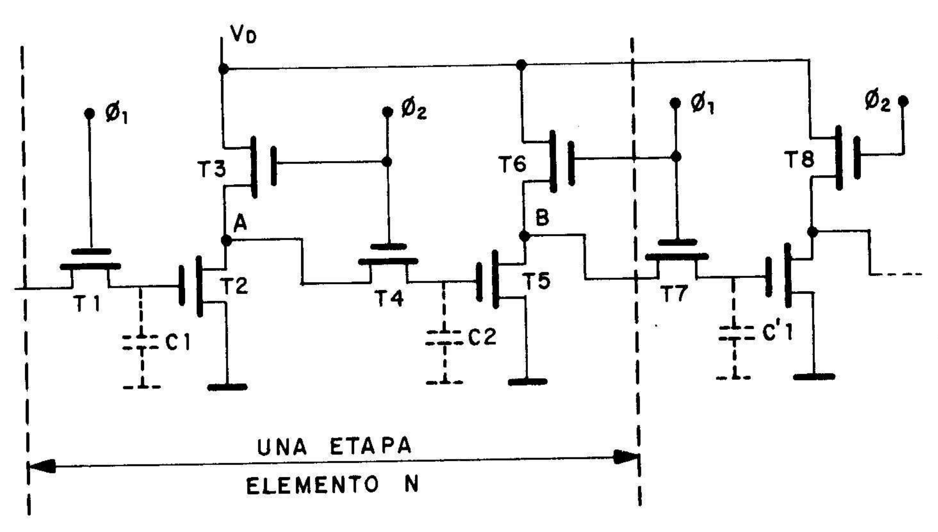


Fig. 14-27

funcionamiento y en especial éstas últimas serán de tal signo que hagan conducir el transistor al que están aplicadas.

La etapa está formada por dos inversores dinámicos. Los transistores T_1 y T_4 actúan como interruptores, siendo llamados también puertas de transmisión. Las capacidades C_1 y C_2 son las capacidades intrínsecas de los graduadores de T_2 y T_5 respectivamente. Dichas capacidades son del orden de 0,5 pF. La información se memoriza en dichas capacidades. La carga almacenada tiende a desaparecer debido a dos causas: 1) la corriente de fugas a través del aislamiento del graduador y 2) las fugas en la unión inversamente polarizada, formada entre el substrato y el drenador de T_1, para el caso de C_1.

En este tipo de registro debe producirse un continuo movimiento para evitar la pérdida de la información. De ahí le viene el nombre de registro de desplazamiento "dinámico"

El funcionamiento del registro es el siguiente:

Cuando ϕ_1 alcanza el voltaje correspondiente al nivel 1, los transistores T_1, T_6 y T_7 conducen, dando lugar a los siguientes efectos:

1) El condensador C_1 se cargará con la información que esté presente en la entrada de la etapa.

2) El complemento de la información almacenada en C_2, es decir, la señal presente en el punto B, será transferida a C'_1 (siguiente etapa). En efecto, si se supone que en C_1 hay almacenado un nivel 1, T_5

conducirá y el punto B estará a nivel 0, en el momento que $\phi_1 = 1$ T_3 conduce y por lo tanto independientemente del estado anterior de C'_1, éste tomará el nivel 0. Si en C_1 hay un 0, T_5 estará cortado y al aplicar $\phi_1 = 1$, T_6 y T_7 conducirán, cargándose C'_1 a la tensión V_D, que representa el nivel 1.

De igual manera cuando $\phi_2 = 1$, T_3 y T_4 y T_8 conducen, produciéndose los siguientes efectos:

1) El condensador C_2 adquiere el estado lógico complemento del estado lógico de C_1.

2) El condensador C'_2 (no representado en la figura) adquiere el estado lógico complementario al de C_2.

En resumen, después de producirse los dos impulsos de reloj ϕ_1 y ϕ_2, que tienen la forma mostrada en la figura 14-28, la información se traslada hacia la derecha, de una etapa a la siguiente.

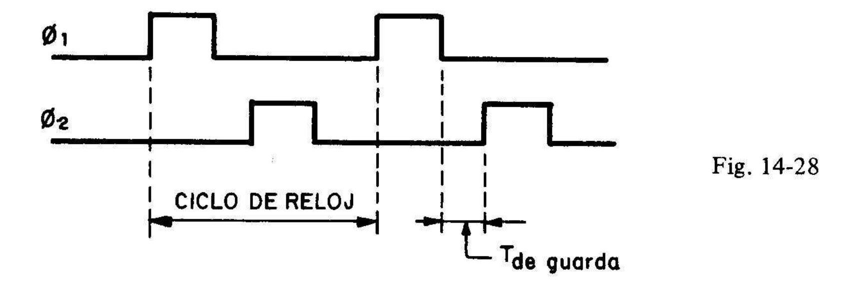


Fig. 14-28

Los impulsos de ϕ_1 y ϕ_2 tendrán la polaridad indicada en la figura 14-28, o la contraria, según que los transistores sean del tipo NMOS o PMOS.

La máxima frecuencia de trabajo viene determinada por la duración que deben tener los impulsos ϕ_1 y ϕ_2, para poder cargar completamente las capacidades C_1 y C_2 respectivamente. Por otra parte, es necesario distanciar unos ns ϕ_1 y ϕ_2 para evitar inestabilidades.

La frecuencia mínima viene determinada por el tiempo máximo que puedé mantenerse la información en los condensadores de almacenamiento.

Un registro de desplazamiento dinámico con transistores MOS puede representarse de forma simplificada, como aparece en la figura 14-29.

La información se transmite en la figura 14-29 de la siguiente manera:

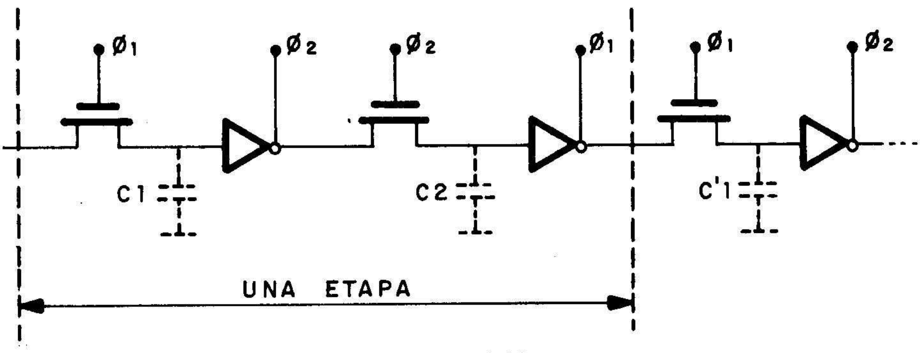


Fig. 14-29

a) Con el 1° impulso ϕ_1 la información presente en la entrada pasa a C_1. Si era un 1, después que $\phi_1 = 1$, $C_1 = 1$.

b) Con el 1° impulso ϕ_2, pasa a C_2 el complemento de la información en C_1. En el caso del ejemplo $C_2 = 0$.

c) Con el 2° impulso $\phi_1 = 1$, pasa a C'_1 el complemento de la información contenida en C_2, que en el ejemplo haría $C'_1 = 1$.

Por tanto, después de un período de información se ha desplazado una etapa hacia la derecha.

MEMORIAS DE ACCESO SECUENCIAL BASADAS EN DISPOSITIVOS DE ACOPLO DE CARGA. C C D.

En este tipo de memorias, se utiliza el mismo diagrama lógico que en las anteriores, es decir, sobre una misma pastilla se forman uno o varios bucles, sobre los cuales circula la información de una manera cíclica.

La estructura de un dispositivo de acoplo de carga viene representada en la figura 14-30.

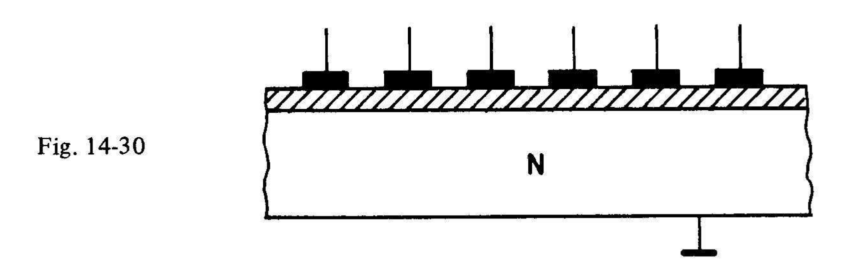


Fig. 14-30

En la figura 14-30 el substrato está formado a base de silicio semiconductor *N* ó *P*. El substrato está recubierto por una capa de Si O_2 aislante sobre la que se hallan colocados una serie de electrodos metálicos, con una separación muy pequeña entre ellos.

Si se aplica a los electrodos una tensión negativa $-V$ (se supone que el substrato es de tipo *N*), cuya magnitud supere la tensión de umbral del substrato se produce una zona de despoblamiento. Los portadores mayoritarios (electrones) son expulsados de la superficie, mientras que los minoritarios son atraidos a la superficie inferior del Si O_2. La situación queda representada en la figura 14-31.

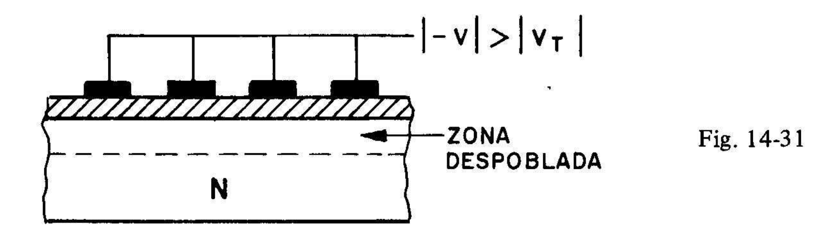


Fig. 14-31

En la figura 14-31 no se ha representado la finísima capa de carga positiva que se produce en la superficie inferior del Si O_2 y que es la causante de la neutralización del campo eléctrico causado por $-V$. Dichos huecos están atrapados por el campo eléctrico y por lo tanto están inmóviles. Dependiendo de la magnitud de $-V$, la zona despoblada será mayor o menor. Si no todos los electrodos están a la misma tensión se producirán zonas despobladas tal como se muestra en la figura 14-32.

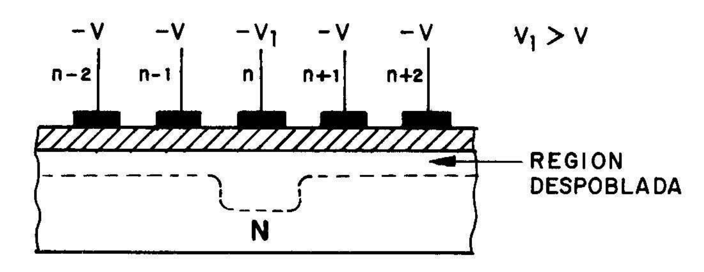


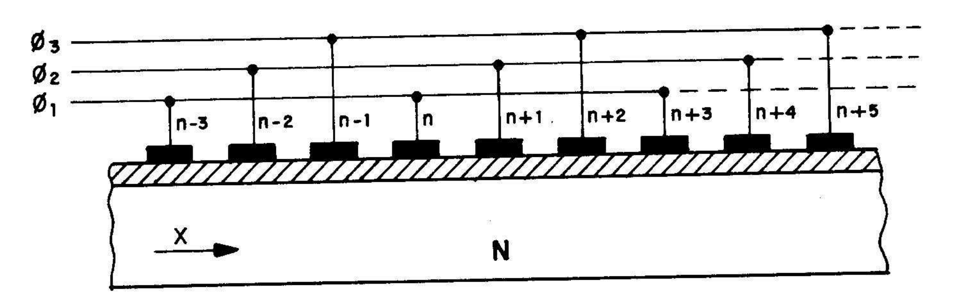
Fig. 14-32

Se aprecia en la figura 14-32 que debajo del electrodo al que se ha aplicado una mayor tensión, se produce una zona de despoblamiento superior. La amplitud de dicha zona variará también con las variaciones de tensión.

Si mediante un método adecuado se introducen en la zona despoblada correspondiente al electrodo *n* conectado a $-V_1$, una cierta carga positiva, ésta permanecerá en dicha zona debido a que a sus dos lados existe una barrera de potencial (zona más positiva), durante un cierto período. Si se consigue trasladar esta carga, antes que desaparezca por difusión, hacia uno de sus lados, se obtendrá un resultado similar al que se obtuvo con un circuito de desplazamiento.

El procedimiento para desplazar las cargas en una determinada dirección consiste en la aplicación, de forma secuencial, de unos impulsos de tensión a los distintos electrodos.

Una posible configuración sobre la interconexión de electrodos y formas de onda de tensión, quedan representadas en la figura 14-33.



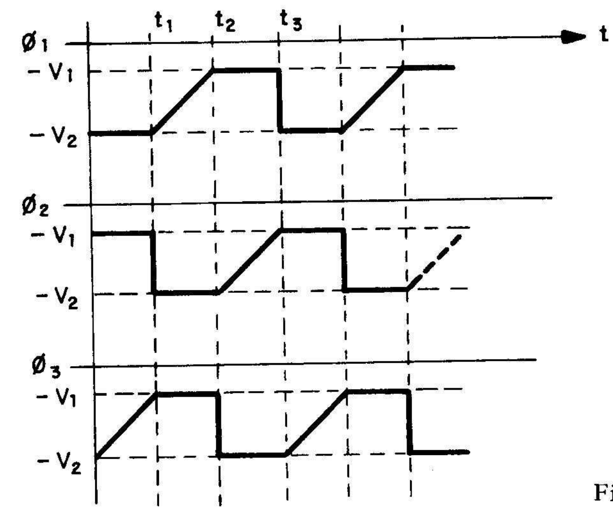


Fig. 14-33

Si se supone por un momento, que debajo del electrodo n, de la figura 14-33, ha sido introducida una determinada carga positiva, y que dicho electrodo se encuentra inicialmente ($t = to$) a una tensión $-V_2$, dicha carga no podrá moverse hacia la izquierda, debido a que la tensión en el electrodo de la izquierda, se está haciendo más positiva en ese momento y por lo tanto las cargas positivas son repelidas. En el instante t_1 la tensión en el electrodo de la derecha (n + 1), alcanza el valor $-V_2$, mientras que en el electrodo n, la tensión comienza a aumentar, lo que provoca el desplazamiento de las cargas positivas hacia la zona más negativa. Es decir, en el intervalo de tiempo $t_1 - t_2$ la carga se desplaza del electrodo n al $n + 1$. Análogamente ocurrirá a partir del instante t_2 en el que el electrodo $n + 2$, unido a ϕ_3 alcanza el valor $-V_2$, comenzando el electrodo $n + 1$ a pasar de $-V_2$ a $-V_1$. Ambos efectos combinados originan una nueva transferencia de carga hacia la derecha.

Una representación esquemática de cómo se mueven las cargas dentro de los pozos de potencial se muestra en la figura 14-34.

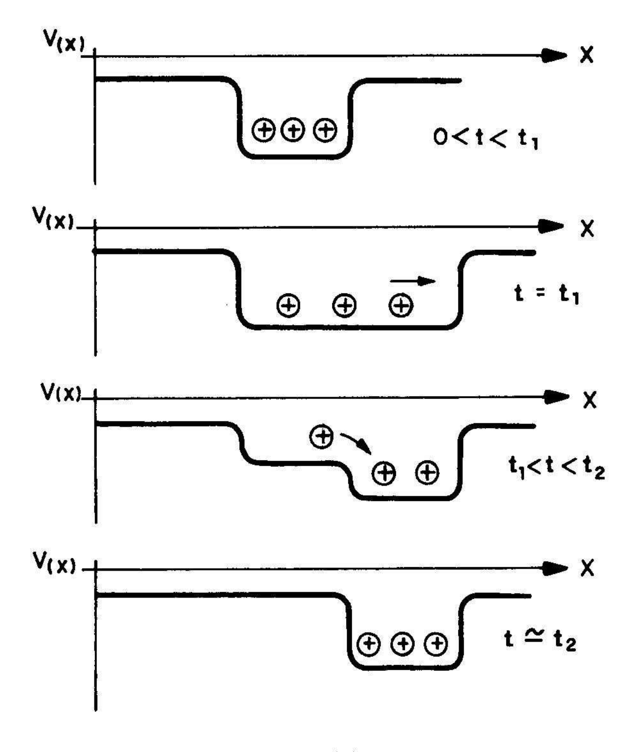


Fig. 14-34

Si las fases de reloj ϕ_1, ϕ_2 y ϕ_3 se parasen por cualquier causa, al cabo de unos pocos milisegundos se perdería toda la información almacenada. Este es uno de los inconvenientes de este tipo de memorias.

Hay diversos sistemas para introducir la información (secuencia de 1 y 0) a los dispositivos CCD entre los que destacan los dos que se citan:

1) Mediante la creación de pares electrón-hueco por efecto fotoeléctrico.

2) Mediante una unión N-P delante del 1° electrodo, según muestra la figura 14-35.

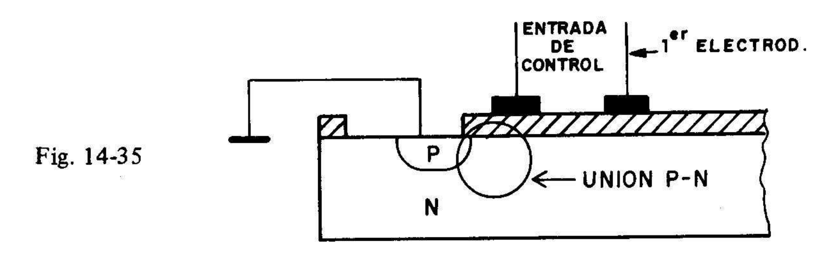


Fig. 14-35

Para extraer la información se emplea una capacidad MOS, o bien un diodo como se presenta en la figura 14-36.

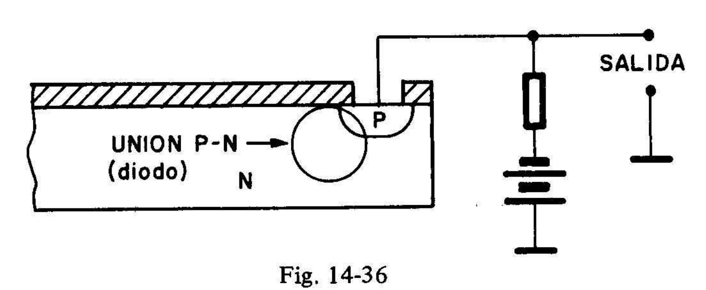


Fig. 14-36

Las memorias por dispositivo de acoplo de carga presentan una velocidad parecida a las memorias que emplean registros de desplazamiento con transistores MOS, trabajando en forma dinámica, pero tiene dos ventajas que las hacen muy apreciadas en algunas aplicaciones y son:

a) Menor consumo de potencia.

b) Mayor densidad de almacenamiento

MEMORIAS DE TECNOLOGIA AVANZADA

Aparte de las memorias básicas, como las de núcleos, cintas, discos y semiconductores hay bastantes más fabricadas con tecnologías en diferentes grados de desarrollo. Algunos tipos de estas memorias se están haciendo muy populares, remplazando a las ya existentes. En todos los casos el objetivo es almacenar más bit en menos superficie, con más velocidad y más fácil acceso a los datos, así como reducir el coste por bit. A continuación se describen, en forma resumida, algunos de los tipos de memorias más recientes.

Memorias de burbuja: Estas memorias usan un material magnético en el que una pequeña zona de magnetización, llamada burbuja, almacena y representa un bit lógico 1. El material suele ser normalmente granate magnético o un simple cristal sensible, en un film amorfo. Una burbuja se almacena mediante la aplicación de una señal eléctrica. La burbuja toma una forma circular con un campo magnético externo de orientación determinada. Un campo magnético puede controlar el movimiento de la burbuja desde una posición a otra, del material magnético. El dato es leído desde fuera, mediante la conversión del campo magnético de la burbuja en una señal eléctrica, siendo la lectura no destructiva de la información. Las memorias de burbuja se destacan por su capacidad de almacenamiento, a veces de 1.000.000 de bit en una superficie de un cuadrado de una pulgada de lado, aproximadamente, como el modelo 7110 de Intel.

Una interesante y muy significativa característica de esta tecnología es la posibilidad de realizar operaciones de lógica combinacional con las burbujas. Esto supone que los datos almacenados y procesados pueden ser ejecutados en la misma memoria. Por este motivo, estos elementos pueden simplificar la complejidad de los terminales inteligentes del computador, así como de otros sistemas digitales, puesto que incluyen una mayor capacidad de procesamiento. La complejidad dentro de la arquitectura del computador puede simplificarse empleando estas memorias en lugar de circuitos lógicos combinacionales.

La casa Rockwell ha presentado al filo de 1979 una memoria de burbuja magnética de 256 K en un chip suministrado en cápsula DIP de 18 pins. La memoria está estructurada en 282 bucles de 1025 bits cada uno y los transfiere con una frecuencia de 150 KHz, teniendo un tiempo medio de acceso de 4 ms. El consumo es de 820 mW y el precio aproximado en Europa es de unas 35.000 Ptas.

Memorias de Laser o de Haz de electrones: Consisten estos elementos en una fuente de haces y un pequeño blanco, ambos incluídos en un tubo vacío. Para grabar o escribir datos en el blanco, el haz se mueve

por su superficie, variando su intensidad adecuadamente. El acceso a los datos en este tipo de memoria es lento (se mide en microsegundos), pero se almacenan más de 1.000.000 de bit, pudiéndose construir memorias para sistemas muy complejos con una capacidad de varios cientos de millones de bit.

LECCION 15

Convertidores D/A y A/D

INTRODUCCION

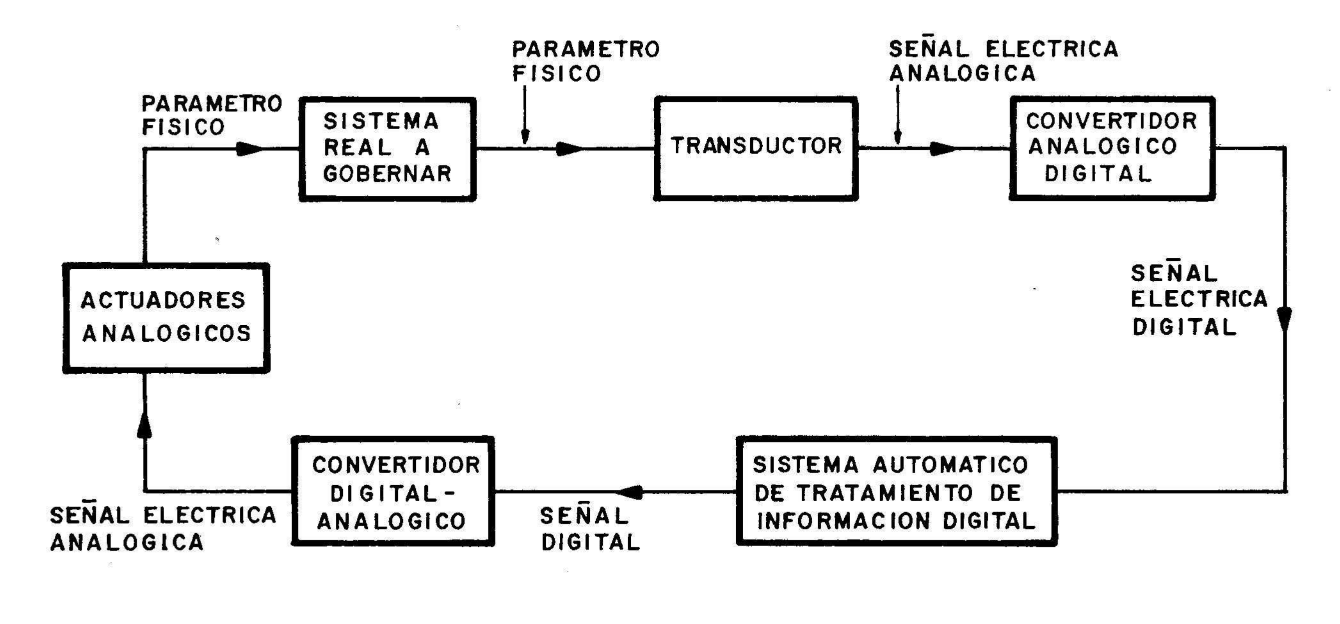
La mayor parte de la "información" generada en el mundo físico tiene un marcado carácter analógico. Esto significa, que la información experimenta una variación continua, entre ciertos niveles límites, a lo largo del tiempo. Por supuesto que también existen informaciones de carácter digital, todo-nada, pero su número es notablemente inferior a las anteriormente mencionadas.

Dada la gran sencillez tecnológica que supone el tratamiento automático de la información digital, así como las numerosas máquinas que han surgido recientemente con dicho fin, en muchos casos es necesario transformar la información analógica en otra equivalente de carácter digital. Los sistemas que se encargan de llevar a cabo esta transformación se llaman "convertidores A/D" o también "conversores A/D".

El resultado del procesamiento digital de la información está constituido por señales de carácter digital, que en muchas ocasiones deberán actuar y controlar cargas o actuadores de carácter analógico. Los sistemas que se encargan de la conversión de la información digital a la forma analógica, se denominan "convertidores D/A" o también "conversores D/A".

En la figura 15-1 se muestra el esquema básico del control automático de un sistema real. En él se aprecia claramente el posicionamiento de los dos eslabones de la cadena en los que la señal o información se convierte de digital a analógica y viceversa.

Para comprender la teoría de la conversión de magnitudes se comienza planteando el "teorema del muestreo", el multiplexado y demulti-



PARAMETRO FISICO
SISTEMA REAL A GOBERNAR
PARAMETRO FISICO
TRANSDUCTOR
SEÑAL ELECTRICA ANALOGICA
CONVERTIDOR ANALOGICO DIGITAL
SEÑAL ELECTRICA DIGITAL
ACTUADORES ANALOGICOS
SEÑAL ELECTRICA ANALOGICA
CONVERTIDOR DIGITAL-ANALOGICO
SEÑAL DIGITAL
SISTEMA AUTOMATICO DE TRATAMIENTO DE INFORMACION DIGITAL

Fig. 15-1

plexado en el tiempo y unas ideas básicas sobre cuantificación y codificación de señales. A continuación se explicarán los conversores digitales analógicos, ya que son más sencillos y forman parte en gran número de conversores A/D. Finalmente se explicarán los diversos tipos de convertidores analógico-digitales.

TEOREMA DE MUESTREO

Sólo se indica el enunciado del teorema de muestreo, puesto que su demostración queda fuera de los márgenes del libro.

El teorema de muestreo puede enunciarse de la siguiente forma:

"Si una señal continua, *S(t)*, tiene una banda de frecuencia tal que f_m sea la mayor frecuencia comprendida dentro de dicha banda, dicha señal podrá reconstruirse sin distorsión a partir de muestras de la señal tomadas a una frecuencia f_s, siendo $f_s \geqslant 2.f_m$."

En la figura 15-2, se muestra un esquema simplificado del proceso de muestreo.

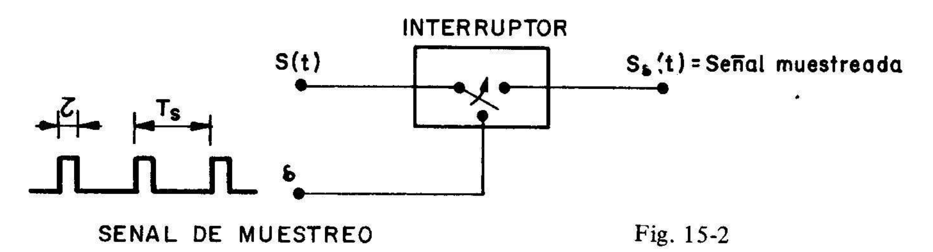


Fig. 15-2

Con referencia a la figura 15-2, el interruptor no es de tipo mecánico, puesto que por lo general, f_s es de bastante valor. Suelen emplearse transistores de efecto de campo como interruptores, para cumplir los requerimientos que se les exigen entre los que se encuentran: 1°) Una elevada resistencia al aislamiento cuando los interruptores (transistores) están desconectados, 2°) Una baja resistencia si los interruptores están conectados o cerrados y 3°) Una elevada velocidad de conmutación entre los dos estados de los interruptores.

En la figura 15-3 se ofrece las formas de las tres señales principales: *S(t)*, señal a muestrear, *y*, señal muestreadora y S_δ(t), que será la señal muestreada.

Desde el punto de vista de la cuantificación de la señal muestreada, lo ideal sería que el tiempo en que el interruptor está cerrado, fuese prácti-

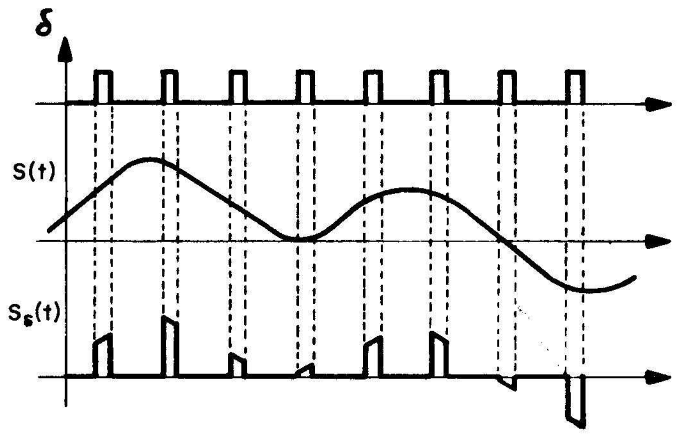


Fig. 15-3

camente cero, ya que de otro modo, la señal muestreada puede variar en dicho tiempo y hacer imprecisa su cuantificación.

Por último, debe tenerse en cuenta que para la reconstrucción de la señal, a partir de la muestreada, empleando un filtro paso bajo, éste deberá poseer una función de transferencia, como la ofrecida en la figura 15-4.

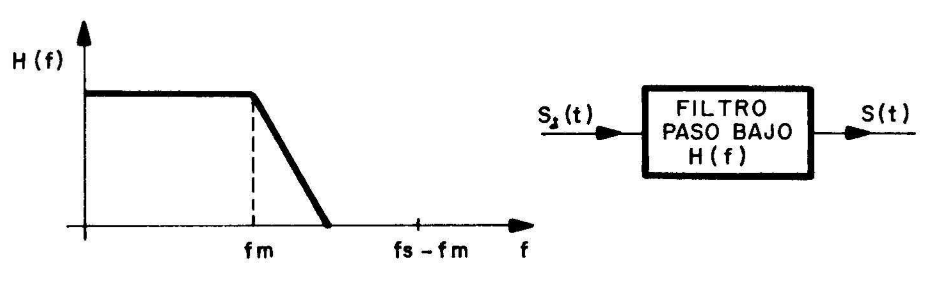


Fig. 15-4

Obsérvese sobre la figura 15-4, que la respuesta del filtro debe ser plana hasta una frecuencia, como mínimo, igual a f_m, para caer posteriormente de forma brusca a cero, antes de que la frecuencia alcance el valor de $f_s - f_m$.

Mediante la aplicación del teorema del muestreo, se pueden transmitir varias señales, por un mismo canal de comunicación. Para ello se muestrea sucesivamente varias señales S_1, S_2, ... S_k y la señal muestreada se envía por el canal de comunicación. A este sistema se le denomina

"multiplexado en el tiempo". Al otro extremo del canal habrá que separar las distintas señales muestreadas para hacerlas pasar después por el filtro paso bajo que las reconstruye. El proceso descrito se representa gráficamente en la figura 15-5.

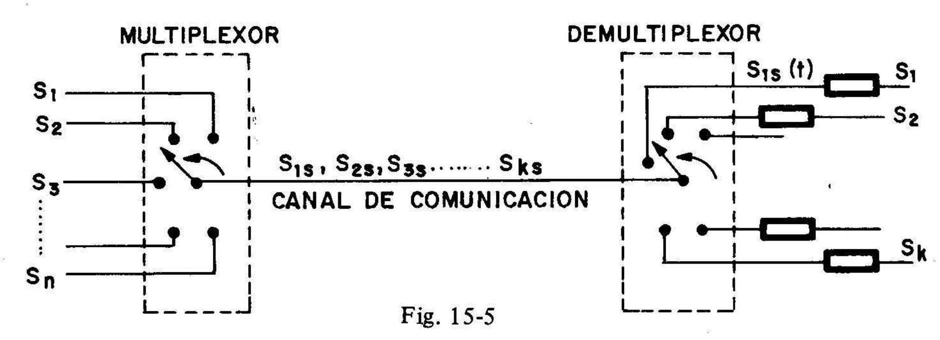


Fig. 15-5

El multiplexor y el demultiplexor se han representado mediante conmutadores rotativos sincronizados, los cuales, evidentemente no son adecuados, dada la gran frecuencia de giro f_S necesaria en este sistema. Actualmente se emplean en lugar de dichos conmutadores, multiplexores y demultiplexores electrónicos.

En este sistema de transmisión de señales es imprescindible, el perfecto sincronismo entre los dos extremos del canal.

CUANTIFICACION Y CODIFICACION

La cuantificación de una señal consiste en la conversión de la señal, que puede tomar cualquier valor dentro de un intervalo, en otra cuyos valores son discretos, o sea, varía a incrementos fijos. Esto quiere decir, que se asigna un mismo valor a todas las señales cuya magnitud se encuentre comprendida dentro de un intervalo, que constituye el "escalón de cuantificación". Como quiera que en todo proceso de cuantificación existe una aproximación, también existirá un error.

En la práctica para cuantificar una señal son necesarios dos procesos. El primero consiste en muestrear la señal continua, tal como se ha explicado con anterioridad, obteniendo una señal discreta en el tiempo, con variación continua de magnitud. El muestreo es necesario, porque el proceso de la cuantificación requiere cierto tiempo y si la señal que entra al cuantificador fuese continua en el tiempo, sería imposible para éste realizar su cometido. El segundo proceso consiste en la cuantificación propiamente dicha.

Una función ideal de transferencia de un cuantificador, puede ser la representada en la figura 15-6.

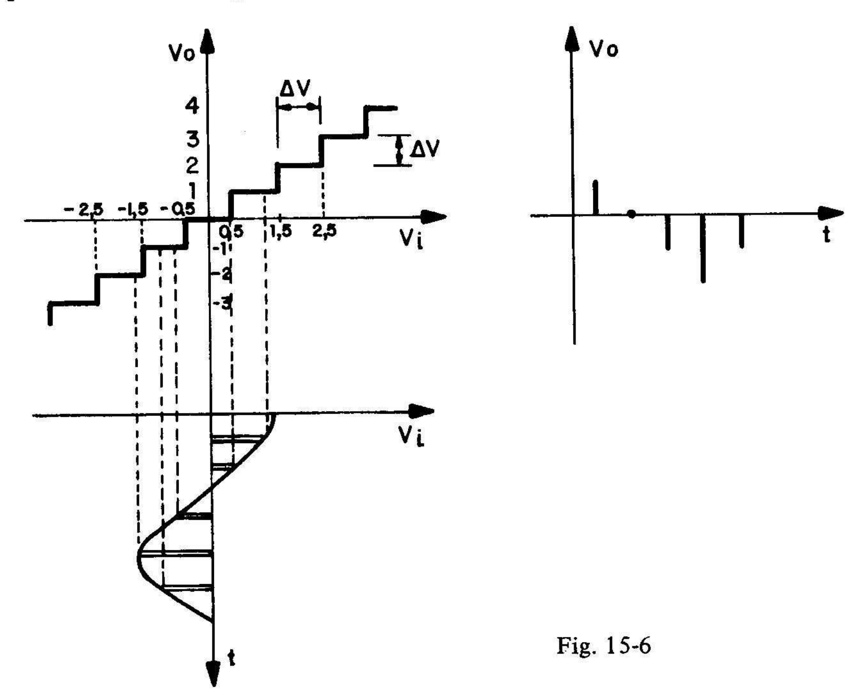


Fig. 15-6

Deben tenerse en cuenta las siguientes características de la figura 15-6:

- Existen unos niveles de decisión (-2,5, -1,5, -0,5, 0,5, 1,5, etc.)
- A los valores comprendidos entre dos niveles consecutivos se les asigna un valor intermedio fijo.
- La distancia entre niveles consecutivos de decisión es ΔV = cte.

En otros casos el ΔV varía de una manera determinada, por ejemplo logarítmica, lo que ocurre cuando se recurre a la compresión de la señal.

El error de cuantificación tiene la forma de diente de sierra, como se muestra en la figura 15-7.

El error de cuantificación será tanto mayor, cuanto mayor sea el desnivel de los escalones de cuantificación. Por lo tanto, para alcanzar un error pequeño hay que recurrir a un elevado número de niveles con la consiguiente complicación de los circuitos.

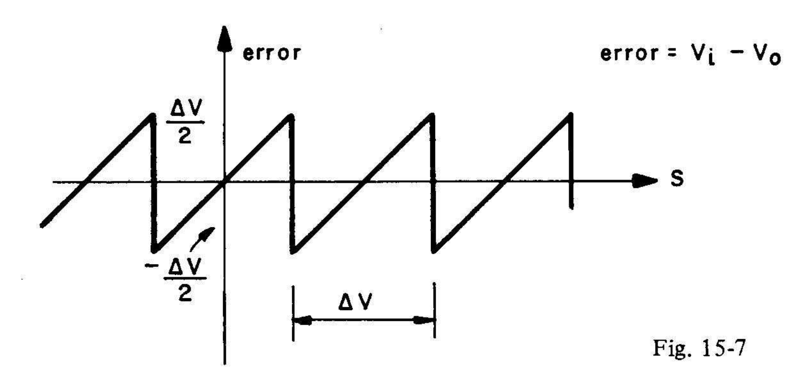


Fig. 15-7

Si se pretende cuantificar una señal con un margen pico a pico M, usando p niveles de cuantificación, el tamaño del escalón ΔV, se determina mediante la siguiente ecuación:

$$M = \Delta V \cdot p$$

Para codificar estos p niveles a un sistema binario de numeración, se necesitan al menos, un número de dígitos tal, que cumplan la siguiente relación:

$$p \leqslant 2^n \text{ (n: número de dígitos)}$$

En resumen, para que una señal analógica pueda ser procesada por un sistema automático debe pasar por las tres fases siguientes: muestreo, cuantificación y codificación. Así se consigue la traducción a lenguaje máquina (binario) de la señal analógica.

CONVERTIDORES D/A (DIGITAL/ANALOGICO)

Los convertidores D/A son dispositivos que reciben en su entrada una información digital, en forma de palabras de n bits, y proporcionan en su salida una información analógica, ya sea en forma de tensión o de corriente. La transformación se realiza, haciendo corresponder a cada una de las 2^n posibles palabras de entrada (número de combinaciones con n bits), una señal única (tensión o corriente) mediante la actuación de una señal de referencia, que generalmente suele consistir en una tensión V_{ref}. De esta forma a la salida del conversor se obtiene una señal de valores discretos y no una señal de variación continua.

El esquema general para un conversor D/A se presenta en la figura 15-8.

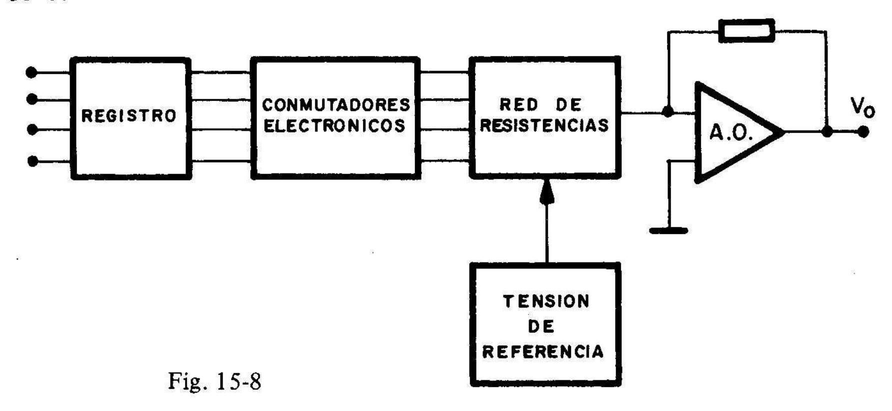


Fig. 15-8

El primer bloque de la figura 15-8, al que se le ha llamado "registros", almacena la información durante el tiempo necesario para la conversión, quedando libres las líneas de comunicación. Si la información viene en serie, en lugar de paralelo, como se indica en la figura, los registros además llevan a cabo la conversión serie-paralelo.

El segundo bloque de la figura 15-8, lo constituyen los denominados "conmutadores electrónicos", cuya misión consiste en conectar una resistencia a la tensión de referencia, o bien, derivarla a tierra. Se precisa que el conmutador presente la mínima resistencia, comparada con el valor de la resistencia que conecta, ya que de otra forma daría lugar a importantes errores.

A menudo, la implementación de estos conmutadores electrónicos se realiza mediante transistores complementarios, tanto en tecnología

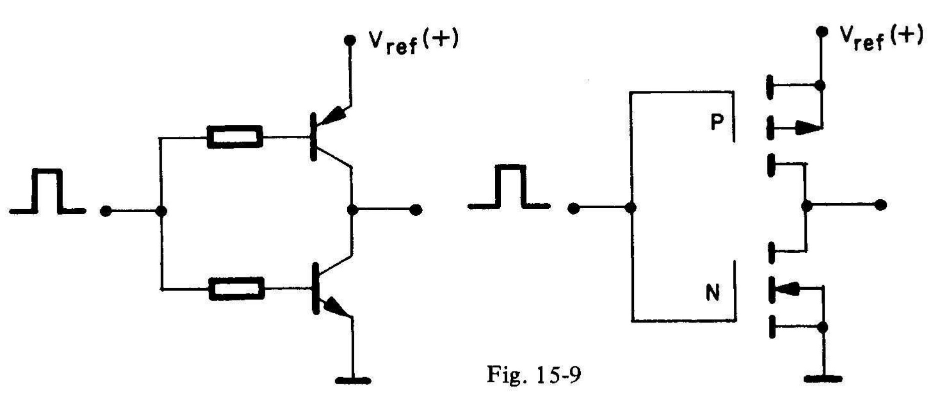


Fig. 15-9

bipolar, como con transistores de efecto de campo, como se muestra en la figura 15-9.

Para que los conmutadores de la figura 15-9, proporcionen con un nivel alto en su entrada, aproximadamente la V_{ref} por su salida, será necesario añadir a la entrada de los conmutadores un inversor. En la figura 15-10 se ofrece otra forma de realizar los conmutadores.

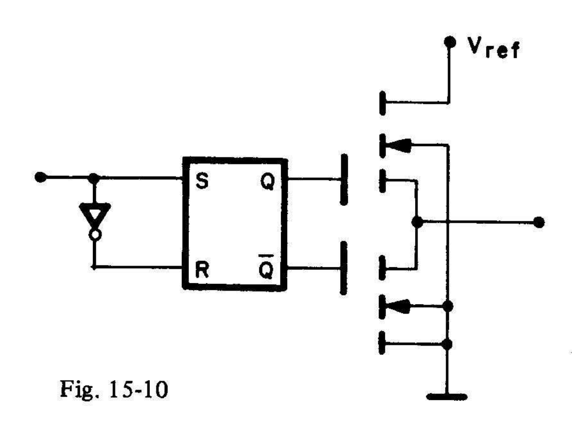


Fig. 15-10

Por último la presencia del amplificador operacional, a la salida del diagrama por bloques del conversor D/A es prácticamente común en todos ellos.

La configuración que adopta la red de resistencias da lugar a los diversos tipos de conversores que se describen a continuación.

CONVERTIDOR D/A CON RESISTENCIAS PONDERADAS

Este tipo de convertidor, responde al esquema de la figura 15-11. Apréciese que su red de resistencias está formada por un conjunto de valores que se obtienen a partir de una de ellas, R, dividiéndolas sucesivamente por potencias crecientes de 2. Todas las resistencias se conectan a la entrada de un amplificador operacional, conectado en modo sumador.

La tensión de salida del amplificador operacional será:

$$V_0 = -R_L \cdot V_{ref} \left(\frac{1}{R_0} \cdot S_0 + \frac{1}{R_1} \cdot S_1 + \cdots + \frac{1}{R_{n-1}} \cdot S_{n-1} \right)$$

$$= - R_l \cdot V_{ref} \left(\frac{1}{R} \cdot S_0 + \frac{2}{R} \cdot S_1 + \cdots + \frac{2^{n-1}}{R} \cdot S_{n-1} \right)$$

$$= - \frac{R_L}{R} \cdot V_{ref} \left(S_0 + 2.S_1 + \cdots + 2^{n-1} \cdot S_{n-1} \right)$$

Fig. 15-11

En donde S_i tomará el valor 0 ó 1, según sea el valor del bit correspondiente. Se observa claramente en la última fórmula que la salida es proporcional a los pesos de los bits de entrada. La constante de proporcionalidad $(R_L / R) \cdot V_{ref}$, se elegirá de acuerdo con los requerimientos de cada caso particular.

La exactitud de este sencillo convertidor, depende de la precisión de las resistencias, siendo además necesario que el valor de dichas resistencias no varíe con la temperatura. Un grave problema de este convertidor

es tener que disponer de un gran número de resistencias de mucha precisión, que además deberán tener valores bastante elevados. Esto es así, debido a que las inevitables resistencias que ofrecen los conmutadores obligan a que las resistencias que se les conecta tenga un valor relativamente alto, para poder considerar despreciable la resistencia del conmutador. Por este motivo, la resistencia más pequeña, $R/2^{n-1}$, al ser de bastante valor, obliga a que R alcance un valor de varios millones de ohmios para palabras de unos cuantos bits.

El problema comentado puede evitarse recurriendo al convertidor con red de resistencias en escalera.

CONVERTIDOR D/A EN ESCALERA

Este tipo de convertidor responde al esquema de la figura 15-12, en el que la red de resistencias está constituida exclusivamente por dos valores de resistencias, normalmente R y 2.R.

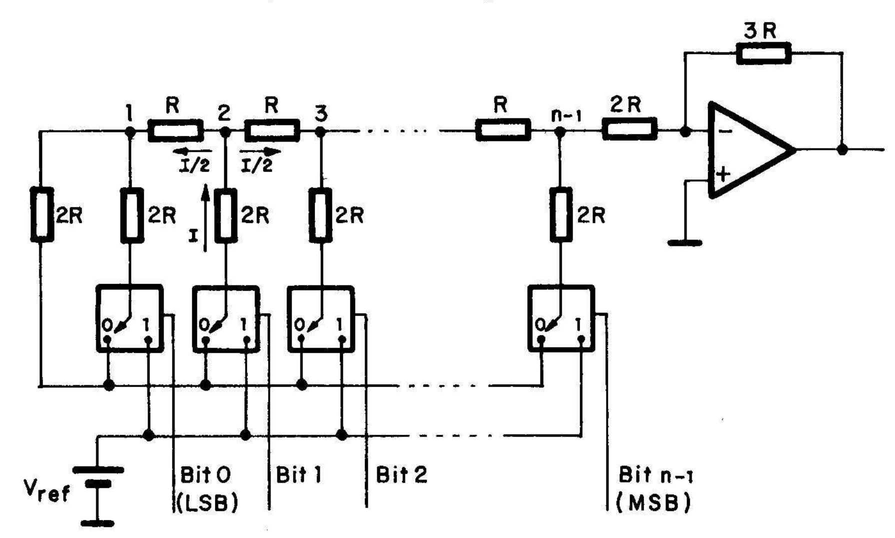


Fig. 15-12

La configuración de la red de resistencias de la figura 15-12, posee varias propiedades interesantes. Una de ellas consiste en que la resistencia que se aprecia desde cada uno de los nudos 1,2..., n-1, mirando hacia cualquier dirección es siempre la misma e igual a 2.R. Este hecho da lugar, a que cualquier corriente proveniente de los conmutadores, en

estado 1, a través de una resistencia 2.R, se divide en los nudos en dos corrientes iguales de valor mitad a la corriente entrante. Cada vez que esta corriente, en progresión hacia el amplificador operacional, atraviese un nuevo nudo, se volverá a dividir, entrando al amplificador con un valor inversamente proporcional a una potencia de 2, dependiendo del número de nudos. De esta forma se produce la deseada correspondencia poderada de las entradas.

La tensión de salida será:

$$V_0 = -\frac{V_R}{2^n}\left(S_{n-1}\cdot 2^{n-1} + S_{n-2}\cdot 2^{n-2} + \cdots + S_1\cdot 2^1 + S_0\cdot 2^0\right)$$

Siendo S_i de valor 0 ó 1, según los valores de los bits de entrada.

Otra ventaja del circuito del presente conversor consiste en que la impedancia desde el operacional es constante (3.R), cualquiera que sea el contenido de las entradas, con lo que se consigue un mejor funcionamiento del amplificador operacional al controlar más fácilmente los offset, colocando a la pata conectada a tierra (entrada +) una resistencia de valor 3.R.

Por último resulta más sencillo conseguir resistencias precisas y estables de un par de valores o tres que de un alto número de valores.

CONVERTIDORES A/D (ANALOGICO-DIGITALES)

Los convertidores A/D son dispositivos electrónicos que establecen una relación biunívoca entre el valor de la señal en su entrada y la palabra digital obtenida en su salida. La relación se establece en la mayoría de los casos, con la ayuda de una tensión de referencia.

La conversión analógica a digital tiene su fundamento teórico en el teorema de muestreo y en los conceptos de cuantificación y codificación.

Una primera clasificación de los convertidores A/D, es la siguiente:

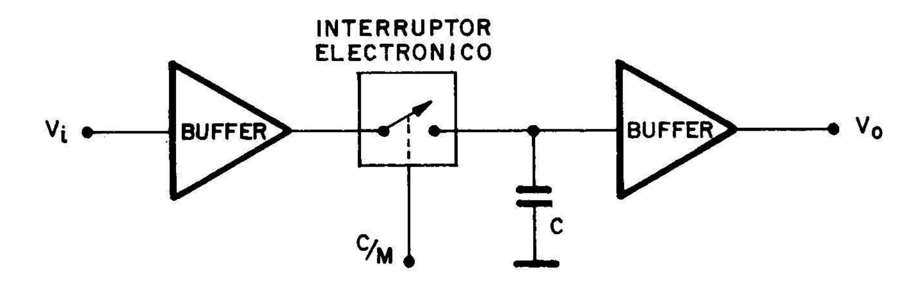
a) Conversores de transformación directa.

b) Conversores con transformación (D/A) intermedia, auxiliar.

CIRCUITOS DE CAPTURA Y MANTENIMIENTO (S/H: SAMPLE AND HOLD)

Los circuitos de captura y mantenimiento se emplean para el muestreo de la señal analógica (durante un intervalo de tiempo) y el posterior mantenimiento de dicho valor, generalmente en un condensador, durante el tiempo que dura la transformación A/D, propiamente dicha.

El esquema básico de un circuito de captura y mantenimiento, así como su representación simplificada, se ofrecen en la figura 15-13.



CIRCUITO DE CAPTURA Y MANTENIMIENTO (S & H)

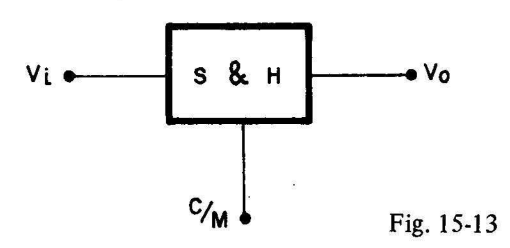


Fig. 15-13

El funcionamiento del circuito de la figura 15-13, es el siguiente: El convertidor A/D manda un impulso de anchura τ por la línea C/M, que activa el interruptor electrónico, cargándose el condensador *C*, durante el tiempo τ. En el caso ideal, la tensión del condensador sigue a la tensión. de entrada. Posteriormente el condensador mantiene la tensión adquirida cuando se abre el interruptor. En la figura 15-14, se muestras las formas de las señales de entrada, salida y gobierno del interruptor.

El gráfico de la figura 15-14 tiene un carácter ideal, puesto que tanto la carga como las descarga del condensador están relacionadas estrechamente con su valor y con el de las resistencias y capacidades parásitas asociadas al circuito.

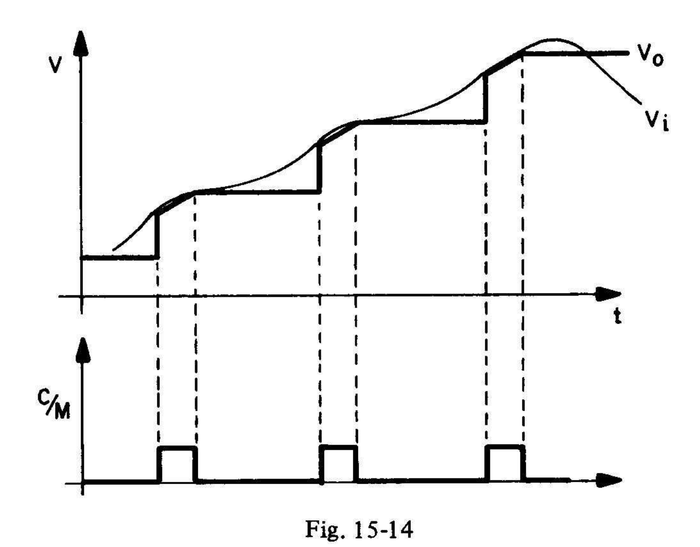


Fig. 15-14

Se recalca el hecho de que el control de la señal C/M procede del convertidor A/D, que es el único que conoce el momento en que finaliza la conversión de la señal.

CONVERTIDOR A/D DE COMPARADOR EN PARALELO

Pertenece al grupo de convertidores de transformación directa. Su esquema se muestra en la figura 15-15.

Este convertidor consta de *N* comparadores a los cuales se introducen dos señales simultáneamente, una es la señal analógica de entrada (ya muestreada) y la otra una tensión de referencia, distinta para cada comparador y que se obtiene en cada caso de una misma tensión de referencia, V_{ref}, mediante una red de resistencias. De esta manera se producen *N* comparaciones simultáneas entre la tensión de entrada y las obtenidas desde la de referencia.

Las salidas de los comparadores se aplican a un codificador, que transforma la información a un código binario procesable.

Este tipo de convertidor es el más rápido, alcanzando los tiempos de conversión el orden de los nanosegundos (tiempo de comparación más el retraso del codificador). La comparación la realiza de forma simultánea y no secuencial como otros convertidores que se describen más adelante.

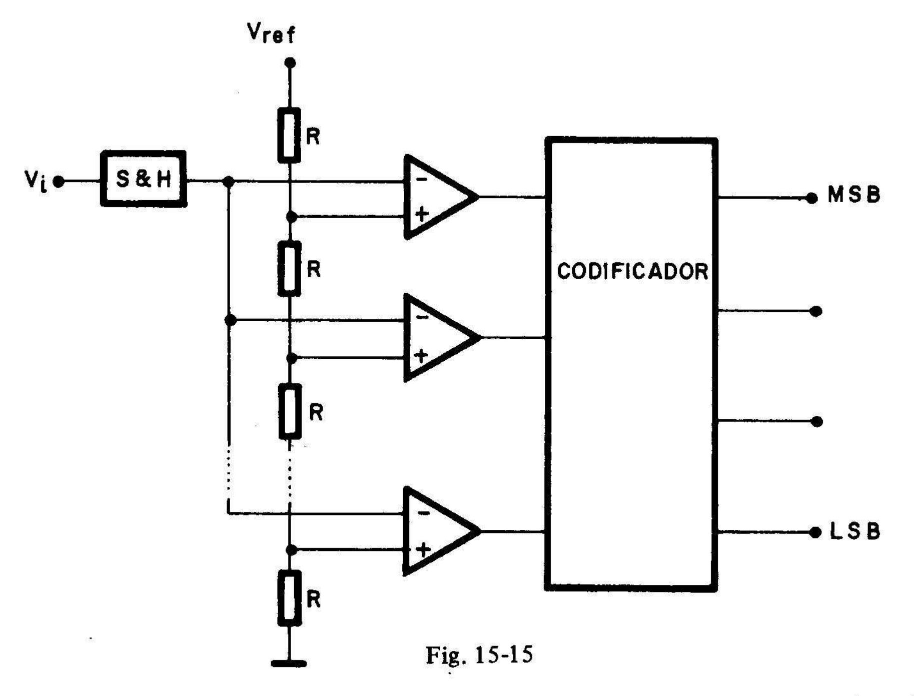


Fig. 15-15

El principal inconveniente de este conversor es su precio, que viene determinado por el gran número de comparadores requeridos en el caso de discriminar un número elevado de niveles. Se necesitan tantos comparadores como niveles se desee discriminar. Si el sistema admite palabras digitales de n bits, el número de comparadores requeridos será $N = 2^n - 1$. Por cada bit más que se desee en la salida, el circuito tiene que duplicar su complejidad. Para $n = 4$, se precisan 15 comparadores, mientras que para $n = 5$, son necesarios 31.

Sólo se emplea este tipo de conversor, para un número elevado de bits, en los casos en los que la velocidad de conversión, sea un requisito primordial.

CONVERTIDOR A/D CON RAMPA EN ESCALERA

También se le llama a este tipo de convertidor "A/D contador". Usa el circuito más sencillo de los conversores A/D y consta básicamente de los elementos reflejados en la figura 15-16 y que son los siguientes: comparador, reloj, circuito de captura y mantenimiento (S & H) y buffers de salida.

Una vez que el circuito de captura y mantenimiento de la figura 15-16, ha muestreado la señal analógica, el contador comienza a funcionar contando los impulsos procedentes del reloj. El resultado de este contaje se transforma en una señal analógica mediante un convertidor D/A, proporcional al número de impulsos de reloj recibidos hasta ese instante. La señal analógica obtenida se introduce al comparador en el que se efectúa una comparación entre la señal de entrada y la señal digital convertida en analógica. En el momento en que ésta última alcanza el mismo valor (en realidad algo mayor) que la señal de entrada, el comparador bascula su salida y se produce el paro del contador. El valor del contador pasa a los buffers y se convierte en la salida digital correspondiente a la señal de entrada.

Este convertidor tiene dos inconvenientes importantes:

1) Escasa velocidad

2) Tiempo de conversión variable.

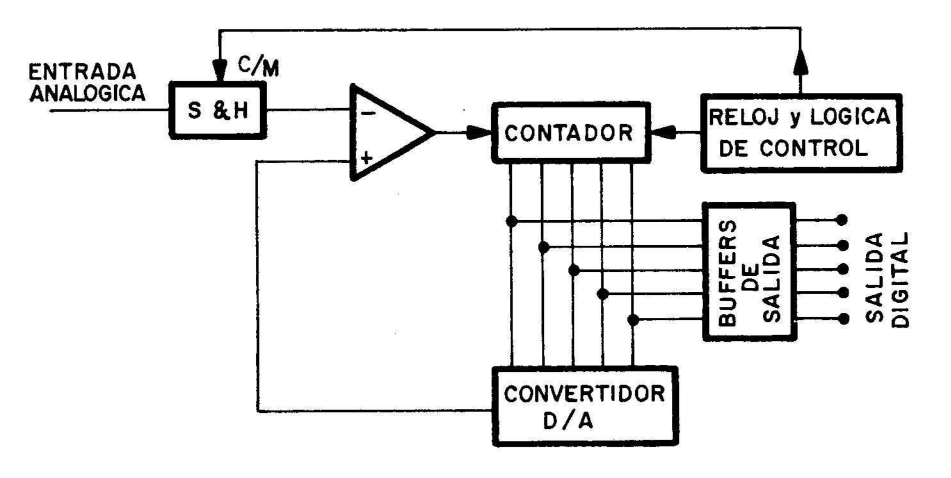


Fig. 15-16

El segundo inconveniente puede comprenderse fácilmente con la ayuda de la figura 15-17, en la que se aprecia que el número de impulsos de reloj (tiempo), precisos para alcanzar el valor de V_i en el conversor D/A depende del valor de V_i. Dicho tiempo de conversión viene dado por la expresión:

$$t = \frac{V_i \cdot 2^n}{f \cdot V_{fondo\ escala}}$$

En la expresión anterior n es el número de bits del convertidor y f la frecuencia del reloj.

Un conversor que reduce los inconvenientes del tipo explicado en esta pregunta es el de "aproximaciones sucesivas".

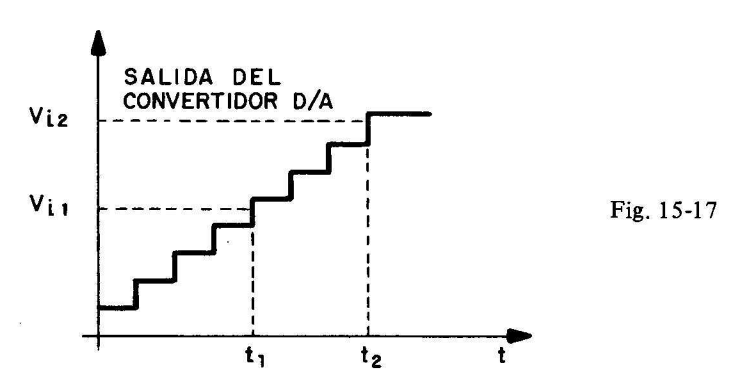


Fig. 15-17

CONVERTIDOR A/D DE APROXIMACIONES SUCESIVAS

Este tipo de convertidor es bastante similar al modelo anterior y prácticamente la única diferencia apreciable consiste en la sustitución del contador por un circuito llamado "registro de aproximaciones sucesivas". En la figura 15-18, se muestra el esquema fundamental de este tipo de conversor.

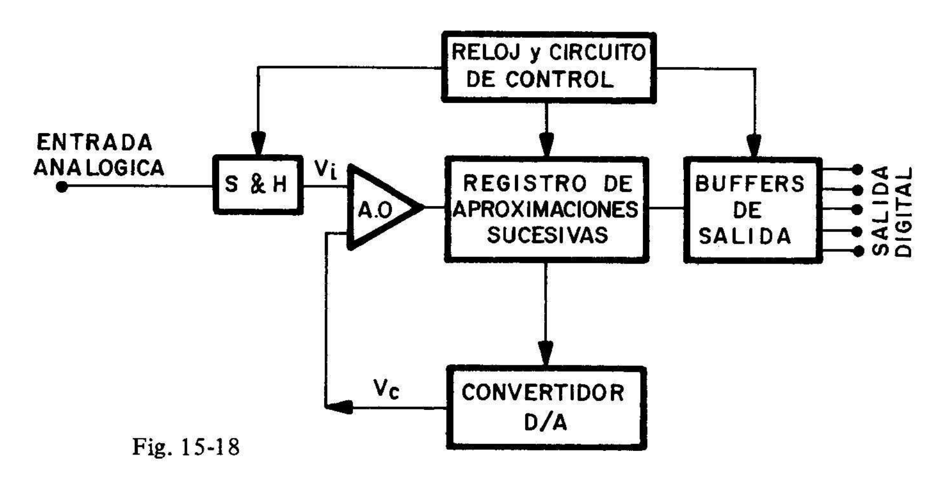


Fig. 15-18

El registro de aproximaciones sucesivas, de la figura 15-18, comienza poniendo a 1 el bit de más peso (MSB), quedando el resto a cero, o sea, forma el valor 1000...0, que corresponde a la mitad de la máxima excursión de la tensión de entrada. Este valor es transformado a señal analógica, V_C, que a su vez se introduce al comparador.

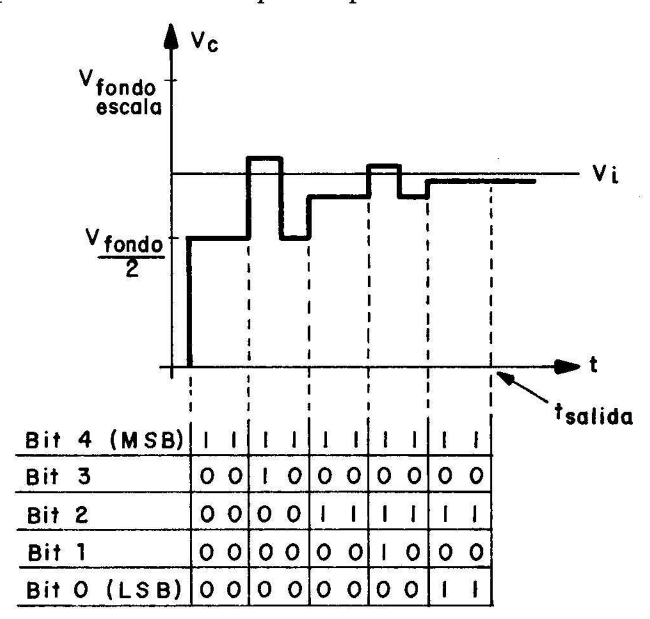
Si la señal V_C es mayor que V_i, el comparador bascula dando lugar a una señal que hace que el registro varíe su contenido, sustituyendo el 1 del bit de más peso por un 0 y colocando en el bit de peso inmediatamente inferior un 1, quedando inalterado el resto de los bits (0100...0).

Si la señal V_C fuese menor que V_i, el registro no modifica el bit de más peso, pero coloca el bit de peso inmediatamente inferior a 1, dejando a 0 el resto de los bits (1100...0).

Tanto en un caso como en otro, se efectúa una nueva conversión D/A y luego se modifica el registro con el mismo criterio. El proceso se repite hasta alcanzar el bit de menos peso (LSB).

El proceso se repetirá n veces, siendo n el número de bits del registro de aproximaciones sucesivas. Por lo tanto el tiempo empleado en la conversión es independiente del valor de la señal analógica de entrada. El tiempo de conversión de este tipo de convertidor es mucho menor que el que necesita el de rampa en escalera.

La figura 15-19 presenta los valores que adoptarían los distintos bits



Bit 4 (MSB)	1 1	1 1	1 1	1 1	1 1
Bit 3	0 0	1 0	0 0	0 0	0 0
Bit 2	0 0	0 0	1 1	1 1	1 1
Bit 1	0 0	0 0	0 0	1 0	0 0
Bit 0 (LSB)	0 0	0 0	0 0	0 0	1 1

Fig. 15-19

del registro de aproximaciones sucesivas (de 5 bits), para una cierta tensión de entrada V_i, así como la tensión a la salida del convertidor D/A. También sobre dicha figura se indica el momento t_{salida}, para el cual el circuito de control dará "vía libre" a los buffers para entregar a la salida la señal digitalizada.

CONVERTIDORES A/D CON INTEGRADOR

Este tipo de convertidores son más sencillos que los anteriores ya que no utilizan convertidores D/A. Se emplean en aquellos casos en los que no se requiere una gran velocidad, pero en los que es importante conseguir una buena linealidad. Son muy usados en los voltímetros digitales.

Existen dos tipos de esta clase de convertidores A/D.

A) CONVERTIDOR A/D DE RAMPA UNICA

Consta, tal como se refleja en la figura 15-20, de un integrador, un comparador, un generador de impulsos y un contador con sus buffers de salida.

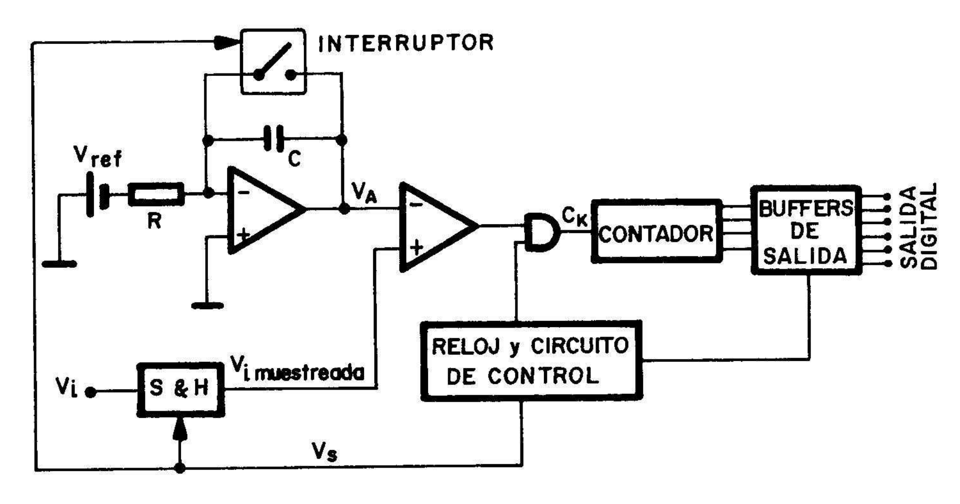


Fig. 15-20

En el circuito de la figura 15-20, en la puesta en marcha el integrador y el contador son puestos a cero por el circuito de control. A partir de

este momento, el integrador genera una rampa con una pendiente determinada por los valores de R y C y simultáneamente el contador comienza el contaje de los impulsos que recibe el reloj. En el comparador se realiza la comparación entre la señal de entrada y la rampa generada en el integrador. Cuando el nivel de la rampa supera a la señal de entrada, el comparador bascula y provoca el corte de los impulsos de reloj al contador. El valor del contaje corresponde con el de la salida digital.

Las formas de variación de las distintas señales de este convertidor se presentan en la figura 15-21.

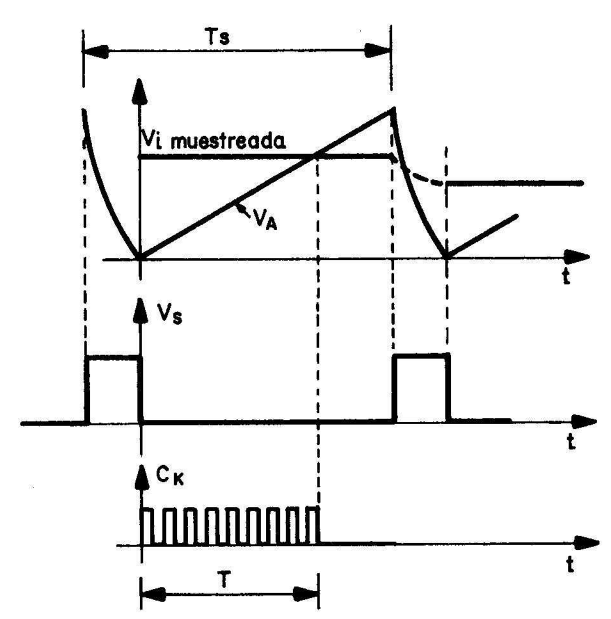


Fig. 15-21

T_S, en la figura 15-21, representa el tiempo entre dos conversiones consecutivas.

El tiempo T se obtiene a partir de la condición de que V_i muestreada $= V_A$, en el instante $t = T$ y dado que:

$$V_A = \frac{V_{ref} \cdot T}{\cdot \tau}$$

Por lo tanto:

$$\frac{V_{ref} \cdot T}{\tau} = V_i \text{ muestreada}; \; T = \frac{V_i \text{ muestreada} \cdot \tau}{V_{ref}}$$

Siendo $\tau = R \cdot C$

Si la frecuencia de reloj es f_{reloj} el contador al final del tiempo T, dará una cuenta:

$$N = f_{reloj} \cdot T = \frac{\tau \cdot f_{reloj}}{V_{ref}} \cdot V_i \text{ muestreada}$$

De la fórmula anterior se deduce que la salida digital depende de la frecuencia del reloj y de la constante de integración τ. Estos dos parámetros son frecuentemente dependientes de la temperatura. Este es el principal inconveniente de este convertidor, además de su baja velocidad.

B) CONVERTIDOR A/D DE DOBLE RAMPA

Con este convertidor se ha tratado de resolver los defectos del de rampa única. El esquema se ofrece en la figura 15-22.

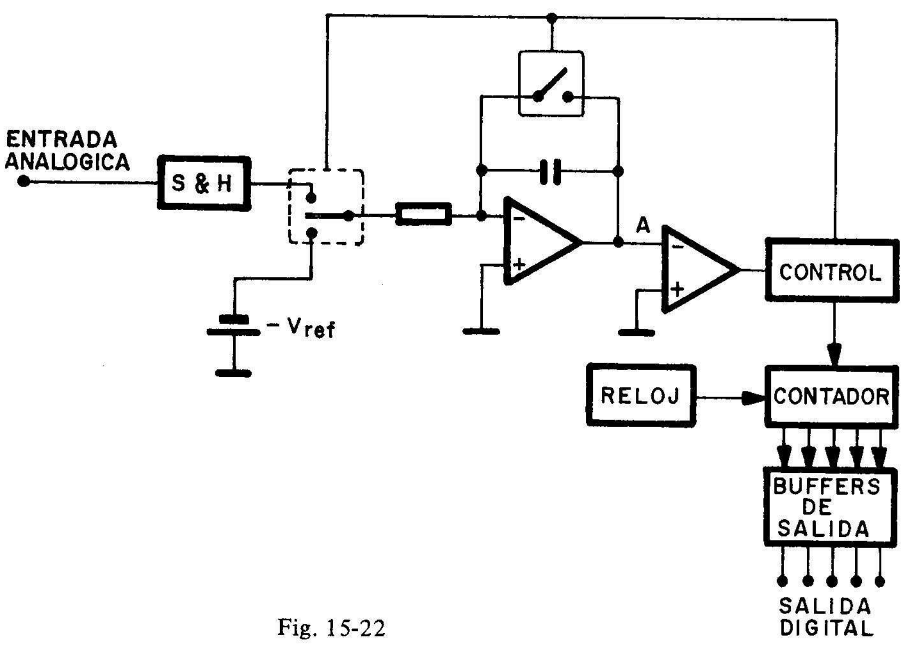


Fig. 15-22

El funcionamiento del esquema de la figura 15-22, comienza integrando la señal de entrada durante un tiempo determinado, T_1, lo que da lugar a una rampa negativa, mostrada en la figura 15-23, que alcanza un determinado nivel V. A continuación se cambia la posición del conmutador de entrada y se pasa a integrar una tensión negativa, $-V_{ref}$, que da lugar a una rampa positiva. El tiempo de integración de esta segunda rampa depende de la tensión V alcanzada en la primera rampa. Durante este tiempo el contador cuenta los impulsos que recibe desde el reloj.

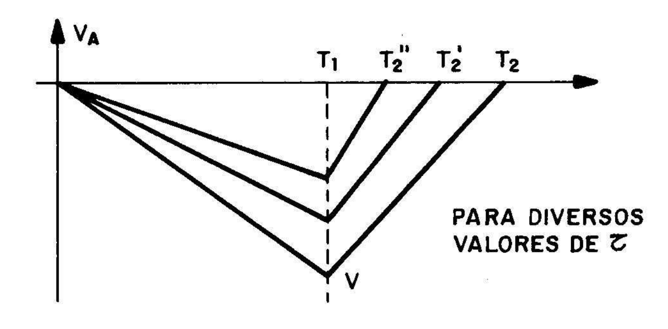


Fig. 15-23

Al pasar la rampa por el nivel cero de tensión, termina el contaje, obteniéndose la señal digital de salida proporcional a la tensión de entrada.

Con este sistema se eliminan los errores ocasionados por las derivas de capacidad y de frecuencia. En efecto, la tensión alcanzada por la primera rampa para $t = T_1$ será:

$$V_A = V = -\frac{V_i \text{ muestreada} \cdot T_1}{\tau}$$

Es evidente que durante este tiempo, el reloj habrá oscilado n_1 veces, de manera que $n_1 \cdot T_{reloj} = T_1$.

Por otra parte, el tiempo T_2 es el empleado en alcanzar V_A el nivel cero, en el transcurso de la segunda rampa. Por tanto:

$$\frac{(T_2 - T_1) \cdot V_{ref}}{\tau} = \frac{V_i \text{ muestreada}}{\tau} \cdot T_1$$

$$(T_2 - T_1) = \frac{V_i \text{ muestreada}}{V_{ref}} \cdot n_1 \cdot T_{reloj}$$

De lo que se deduce que en el intervalo $(T_2 - T_1)$, el contador habría contado N impulsos de reloj. El valor N vendrá dado:

$$N = \frac{T_2 - T_1}{T_{reloj}} = n_1 \quad \frac{V_i \text{ muestreada}}{V_{ref}}$$

La última expresión indica que N (salida digital), no depende ni de f ni de τ.

Este convertidor es más empleado que el de rampa única, puesto que con una ligera complejidad se alcanza un grado de precisión bastante mayor.

LECCION 16

Introducción a los microprocesadores

MAQUINAS CABLEADAS Y MAQUINAS PROGRAMADAS

Hasta mediados del siglo XX la máquina cableada, cuyo principio de funcionamiento se basaba en la utilización de un circuito específico para cada aplicación, había resuelto en gran manera la mayor parte de los problemas existentes. Estas máquinas, cuyo diseño era exclusivo en cada caso, requerían importantes cambios en sus circuitos físicos cuando se intentaba adaptarla a otras circunstancias diferentes a las previstas, o bien cuando se pretendía alterar alguna de sus características fundamentales. En la figura 16-1 se ofrece el concepto gráfico de una máquina cableada.

Otras propiedades inherentes a las máquinas cableadas son su escasa fiabilidad, consecuencia del elevado número de componentes que las implementan, y su alto costo, derivado de los conceptos de materiales y mano de obra.

En resumen, el diseño de una máquina dedicada a un uso concreto lleva consigo un alto coste, una reducida fiabilidad y un grave problema en el caso de desear modificar alguna de las características iniciales.

En oposición al principio de la "máquina cableada" (un circuito para cada aplicación) surgió el de la "máquina programada", que consistía en emplear una estructura principal para todas las aplicaciones.

Los motivos fundamentales que propiciaron la aparición y desarrollo de las máquinas programadas, referidas en nuestro caso a las implementadas con microprocesadores, fueron tres:

1.ª El incremento de la complejidad en las funciones y en el número de elementos que conformaban las máquinas, las cuales tenían que resolver trabajos más importantes cada vez. En este aspecto se potenció, la

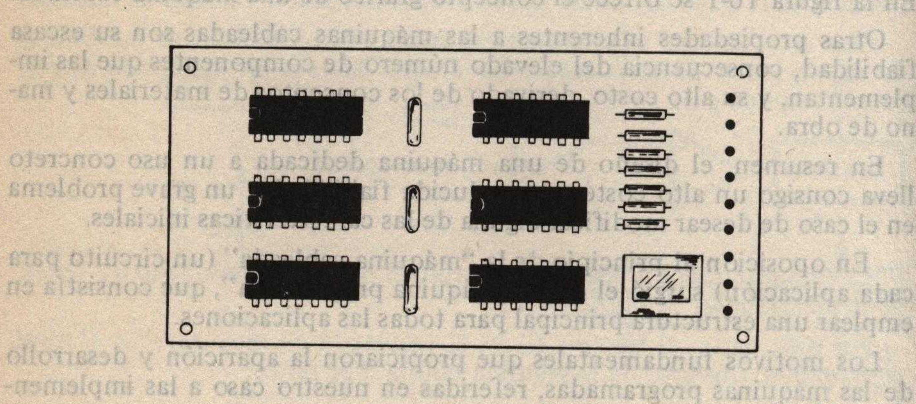


Fig. 16-1.- Concepto de la máquina cableada.

posibilidad de facultar a los dispositivos no sólo de elementos de regulación y control de las acciones físicas, sino también de otros destinados al cálculo y a la toma de decisiones.

2.ª Los avances tecnológicos habidos en la fabricación de circuitos integrados de alta escala de integración (LSI), que permitieron disponer en una sola pastilla de numerosos componentes activos y pasivos, formando circuitos muy complejos y potentes. En estos logros tuvieron mucho que ver los contratos del gobierno de los Estados Unidos, de carácter paramilitar, relacionados también con la carrera espacial, que impulsaron con efectividad a constructores e investigadores.

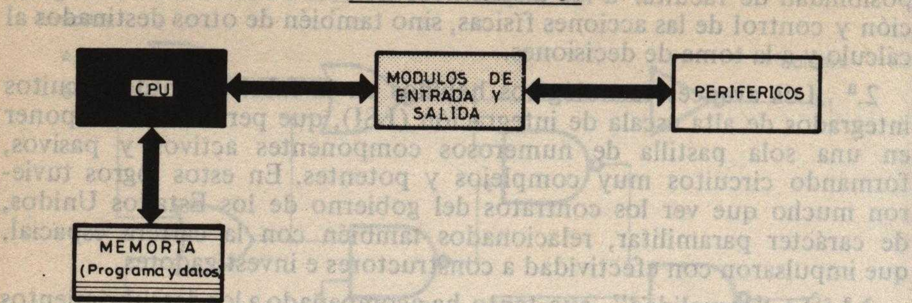
3.ª La "casualidad", que tanto ha acompañado a los descubrimientos en Electrónica y en general en todas las ciencias. Debe tenerse en cuenta que el primer microprocesador comercializado por INTEL, a comienzos de la década de los 70, surgió ccmo consecuencia de un pedido de un fabricante japonés de máquinas de cálculo.

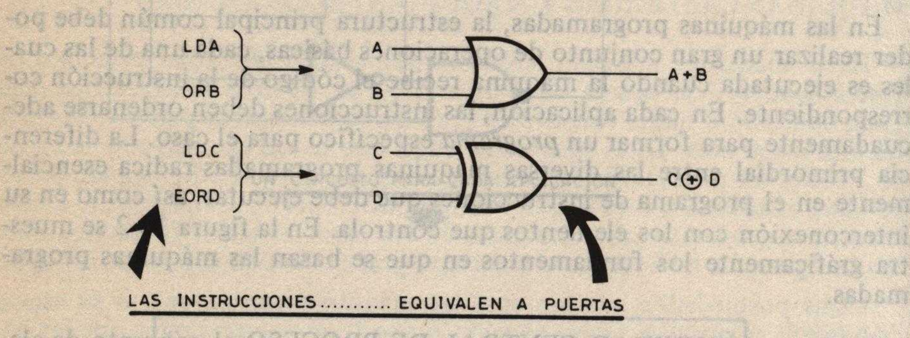
En las máquinas programadas, la estructura principal común debe poder realizar un gran conjunto de operaciones básicas, cada una de las cuales es ejecutada cuando la máquina recibe el código de la instrucción correspondiente. En cada aplicación, las instrucciones deben ordenarse adecuadamente para formar un *programa* específico para el caso. La diferencia primordial entre las diversas máquinas programadas radica esencialmente en el programa de instrucciones que debe ejecutar, así como en su interconexión con los elementos que controla. En la figura 16-2 se muestra gráficamente los fundamentos en que se basan las máquinas programadas.

Se denomina UNIDAD CENTRAL DE PROCESO al conjunto de elementos electrónicos, en general de carácter digital, capaz de interpretar y ejecutar el juego de operaciones elementales antes comentado así como de gobernar al resto de los componentes que constituyen el sistema. Abreviadamente recibe el nombre de CPU.

El soporte físico que contiene las instrucciones que conforman un programa es la MEMORIA, la cual también almacena los datos que procesa y obtiene la máquina.

Finalmente, cada máquina programada necesita una adaptación con los diversos periféricos que la comunican con el mundo exterior y se encargan de transmitir los datos a procesar o los resultados obtenidos en el procesamiento. Los circuitos de interface de los periféricos con el conjunto formado por la CPU y la MEMORIA se denominan MODULOS DE ENTRADA Y SALIDA (I/O).





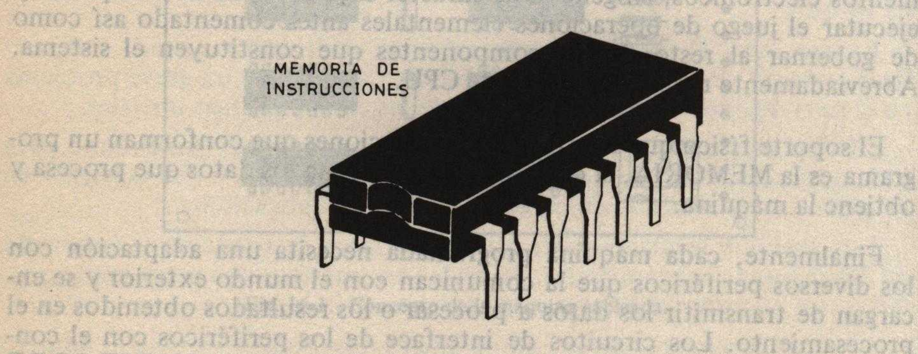


Fig. 16-2. – Arquitectura fundamental y concepto del programa almacenado en una máquina programada.

En la figura 16-2 se ha intentado reflejar la equivalencia entre las instrucciones del programa contenidas en la memoria (software) y los elementos lógicos y aritméticos (hardware).

La ventajas más reseñables de las máquinas programadas son:

a) Reducen el hardware, o sea, la estructura física, al usar circuitos muy potentes basados en circuitos integrados LSI.

Cada posición de memoria (a veces 2 ó 3) contiene una instrucción que ha de ejecutar la CPU, por ejemplo, si es de carácter lógico, como la AND, sustituye a una puerta que de otra manera tendría que implementarse con hardware.

b) Se incrementa la fiabilidad del sistema al disminuir considerablemente el número de elementos.

c) Disminuye el coste de los materiales, mano de obra y mantenimiento.

d) Permite realizar fácil y rápidamente cambios y adaptaciones sin afectar por lo general la estructura del sistema, sino sólo el programa de instrucciones.

e) Reduce el tiempo del diseño.

De lo expuesto se desprende que el diseño y desarrollo de máquinas programadas exige el conocimiento y la combinación de dos aspectos diferentes:

1. Tecnología y manipulación de componentes integrados (hardware).
2. Experiencia en el empleo de instrucciones y confección de programas (software).

ESTRUCTURA BASICA DEL MICROPROCESADOR

Con la aparición del microprocesador alrededor de 1970 se originó una profunda transformación de las técnicas de control y diseño clasicas, constituyendo en nuestros días una verdadera revolución industrial, que no sólo incluye el aspecto técnico, sino que afectará hasta la misma estructura social.

Se aplica la denominación de MICROPROCESADOR a un simple circuito integrado LSI que contiene los elementos que constituyen la Unidad Central de Proceso o CPU de una máquina programada, llamada genéricamente "computador". En la figura 16-3 se muestra de forma gráfica la idea del microprocesador.

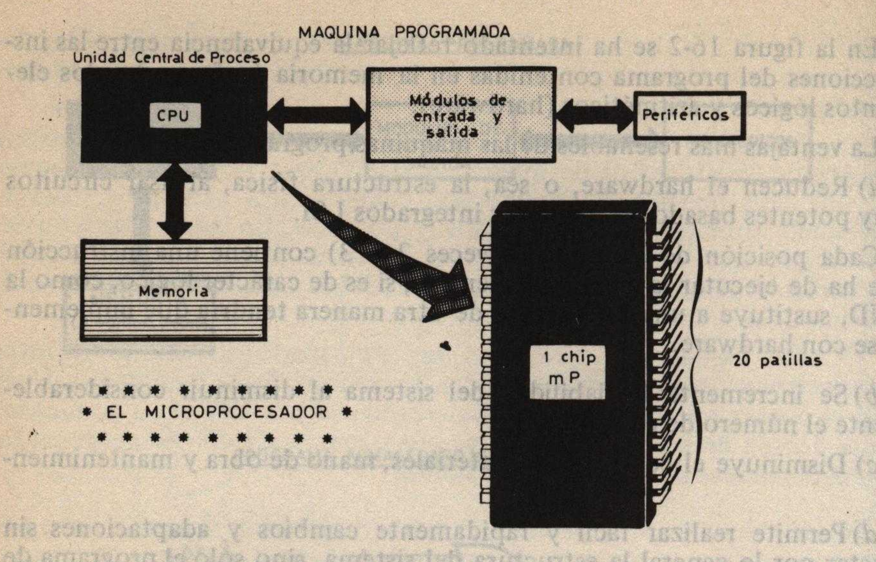


Fig. 16-3. – El microprocesador es un circuito integrado LSI que contiene a la CPU.

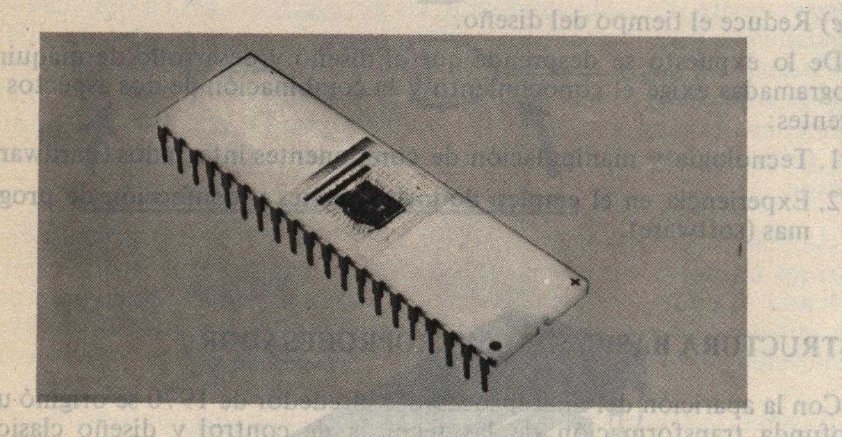


Fig. 16-4. – Fotografía del microprocesador 8085, de INTEL.

El microprocesador por sí solo no es operativo y precisa la participación de la memoria, que almacena el programa de instrucciones y los datos, así como de los módulos de Entrada y Salida.

La figura 16-5 muestra una arquitectura típica generalizada en todos los modelos de microprocesadores.

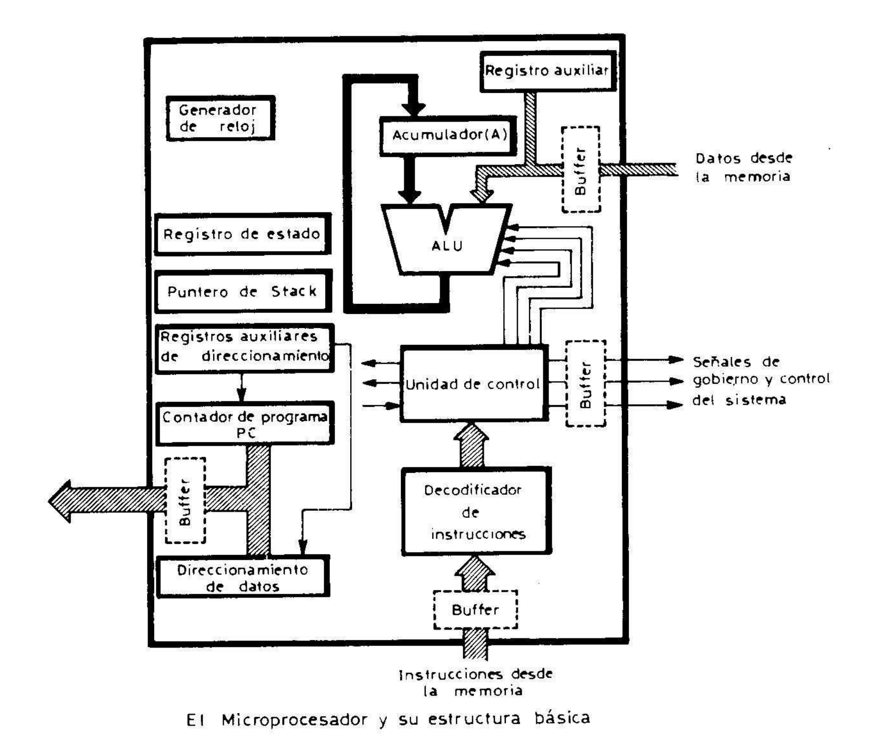


Fig. 16-5.–Estructura general común a la mayoría de los microprocesadores.

Las principales funciones de los elementos digitales que forman el microprocesador son las siguientes:

A) Direccionamiento de la instrucción a ejecutar

Se lleva a cabo mediante un contador, denominado CONTADOR DE PROGRAMA (PC), que aunque normalmente se va incrementando en una unidad, puede cargarse con cualquier valor, lo que permite la rotura de la secuencia ordenada en la ejecución de las instrucciones del programa.

B) Decodificador de instrucciones

Se trata del elemento de la CPU que recibe la instrucción en código binario (código máquina) e interpreta su significado.

C) Unidad de Control y Tiempo o Secuenciador

Es el componente encargado de generar y transmitir las señales de gobierno y sincronismo a todo el sistema, para ejecutar la instrucción previamente decodificada.

D) Unidad lógico-aritmética (ALU)

Es la encargada de efectuar las operaciones de carácter lógico y aritmético. Está gobernada directamente por la Unidad de Control y se encuentra muy relacionada con un registro de trabajo llamado ACUMULADOR. Normalmente, el Acumulador contiene uno de los operandos que intervienen en la operación que realiza la ALU, así como el resultado de la misma, una vez ejecutada.

E) Registros de trabajos diversos

Entre ellos destacan por sus misiones más representativas los siguientes:

– Registro índice y de direccionado: participa en el direccionamiento de la memoria.

– Registro de estado: contiene información sobre el estado interno de la CPU, una vez ejecutada una instrucción. Se compone de una serie de bits, que reciben el nombre de flags o banderas. Los más usuales son:

C: Arrastre aritmético o noveno bit. Bit de desbordamiento en rotaciones y desplazamientos.

V: Sobrepasamiento o exceso. Usado con aritmética de complemento a 2, en la que al sumar 2 números con bit de signo, el arrastre de los bits de más peso puede afectar al de signo.

H: Acarreo o arrastre del 4.º bit para emplear con la aritmética BCD.

Z: Bit cero. La operación anterior ha dado resultado nulo o cero.

I: Flag para el enmascaramiento de ciertas interrupciones.

P: Paridad. Para comprobación de trasferencias de datos.

– Registro o Contador stack pointer o Puntero de pila: Sirve para direccionar algunas posiciones de memoria en las que se guarda temporalmente el contenido de ciertos elementos significativos de la CPU. Dispone de una estructura LIFO: último en entrar, primero en salir.

F) Otros componentes

En este apartado pueden incluirse los buffer triestado (separadores de tres estados) que adaptan las informaciones con el exterior de la CPU o las guardan temporalmente, el generador de señales de reloj que sincroniza el sistema y, finalmente, otros registros auxiliares.

La estructura descrita del microprocesador le confiere la potencia precisa para poderse aplicar en casi todos los campos de la industria, comercio, gestión, etc., variando en cada caso solamente el programa de instrucciones y los módulos de adaptación con los periféricos exteriores.

"El microprocesador constituye la solución práctica, en un vasto campo de posibles aplicaciones, para el desarrollo de las máquinas programadas".

También hay que tener en cuenta que la arquitectura típica de los microprocesadores utiliza un único bus interno para transferencia de informaciones, que si bien proporciona una disminución del área de integración, lleva aparejado un incremento en los tiempos requeridos para ejecutar ciertas instrucciones.

LECCION 17

Sistema básico con microprocesador

ARQUITECTURA DE UN SISTEMA ALREDEDOR DE UN MICROPROCESADOR

La máquina programada, o sea, el computador o procesador de datos completo consta de tres partes relacionadas entre sí, que son:

- CPU
- MEMORIA
- UNIDADES DE ENTRADA Y SALIDA (I/O)

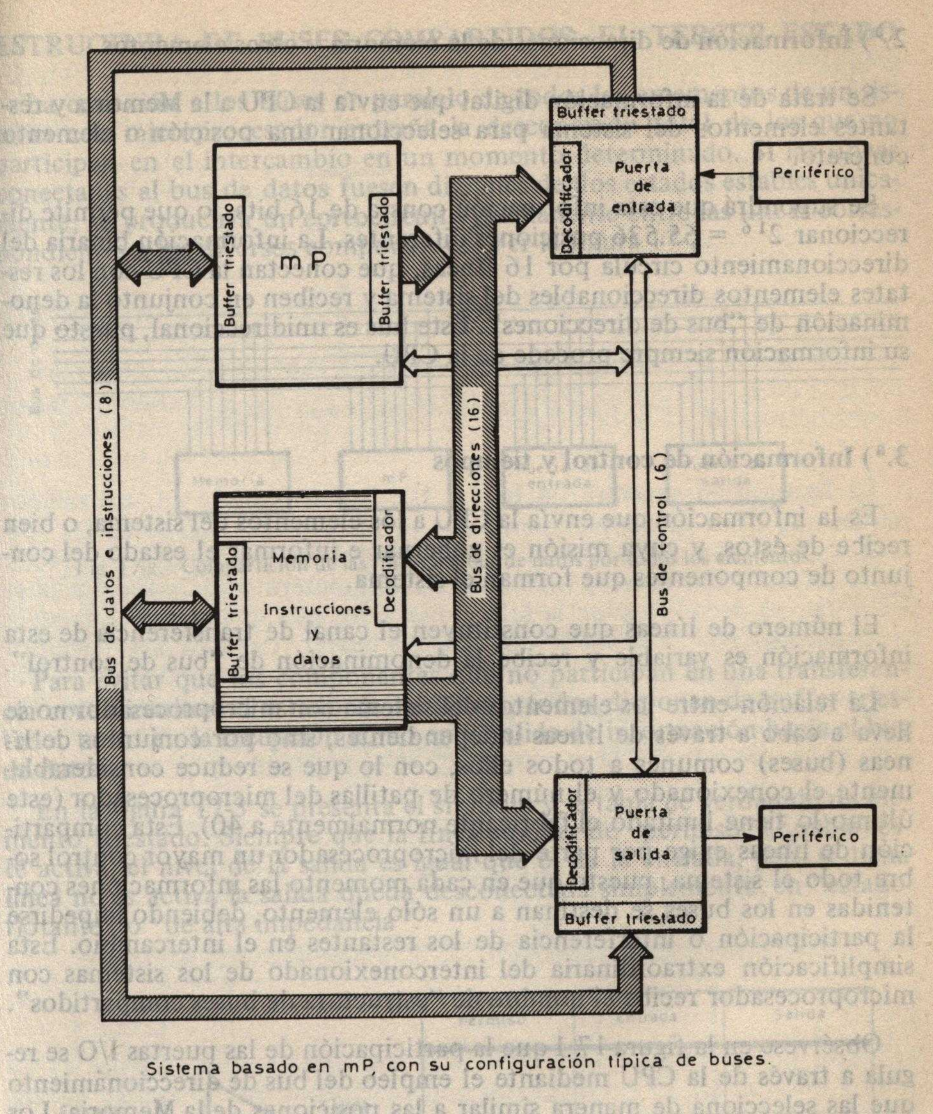
La CPU ejecuta las instrucciones que le proporciona la Memoria y procesa los datos recibidos desde los módulos de entrada o desde la Memoria, para originar unos resultados que salen al exterior por los módulos de Salida. La figura 17-1 muestra las diferentes partes del sistema y su interrelación.

Las informaciones que circulan por el sistema pueden ser de tres tipos diferentes:

1.ª) Información de datos e instrucciones

Las instrucciones están almacenadas siempre en la Memoria, mientras los datos que procesa u obtiene el programa de instrucciones puede proceder de la Memoria o de los módulos de Entrada y Salida.

Desde este momento, para normalizar los conceptos generales que se manipulan en el sistema, se supone que toda información de datos o instrucciones consta de 8 bits, los cuales circulan por 8 líneas comunicadas con todos los elementos del sistema, que reciben el nombre de "bus de datos" o "colector de datos". Se trata de un bus bidireccional puesto que la información puede circular entrando o saliendo de la CPU.



Sistema basado en mP con su configuración típica de buses.

Fig. 17-1.–Sistema basado en microprocesador con su configuración típica que comunica los componentes mediante buses o colectores de líneas.

2.ª) Información de direcciones de la memoria y otros elementos

Se trata de la información digital que envía la CPU a la Memoria y restantes elementos del sistema para seleccionar una posición o elemento concreto.

Se supondrá que esta información consta de 16 bits, lo que permite direccionar $2^{16} = 65.536$ posiciones diferentes. La información binaria del direccionamiento circula por 16 líneas, que conectan la CPU con los restates elementos direccionables del sistema y reciben en conjunto la denominación de "bus de direcciones". Este bus es unidireccional, puesto que su información siempre procede de la CPU.

3.ª) Información de control y tiempos

Es la información que envía la CPU a los elementos del sistema, o bien recibe de éstos, y cuya misión es gobernar e informar el estado del conjunto de componentes que forman el sistema.

El número de líneas que constituyen el canal de transferencia de esta información es variable y recibe la denominación de "bus de control".

La relación entre los elementos del sistema con microprocesador no se lleva a cabo a través de líneas independientes, sino por conjuntos de líneas (buses) comunes a todos ellos, con lo que se reduce considerablemente el conexionado y el número de patillas del microprocesador (este último lo tiene limitado el fabricante normalmente a 40). Esta compartición de líneas exige por parte del microprocesador un mayor control sobre todo el sistema, puesto que en cada momento las informaciones contenidas en los buses se destinan a un sólo elemento, debiendo impedirse la participación o interferencia de los restantes en el intercambio. Esta simplificación extraordinaria del interconexionado de los sistemas con microprocesador recibe el nombre de "estructura de buses compartidos".

Obsérvese en la figura 17-1 que la participación de las puertas I/O se regula a través de la CPU mediante el empleo del bus de direccionamiento que las selecciona de manera similar a las posiciones de la Memoria. Los decodificadores de los diversos elementos reciben e interpretan si la dirección enviada por la CPU, contenida en el bus de direccionamiento, les corresponde o no. También debe apreciarse en esa figura que la recepción y transmisión de información en los elementos del sistema se realiza desde elementos de tres estados, que permiten la no interferencia entre ellos.

ESTRUCTURA DE BUSES COMPARTIDOS. EL TERCER ESTADO

La conexión a los buses en paralelo de todos los emementos de un sistema con microprocesador entraña la desconexión total de los que no participan en el intercambio en un momento determinado. Si las líneas conectadas al bus de datos fuesen digitales de dos estados estables únicamente, se produciría un cortocircuito permanente entre las líneas correspondientes a los diversos componentes. Ver la figura 17-2.

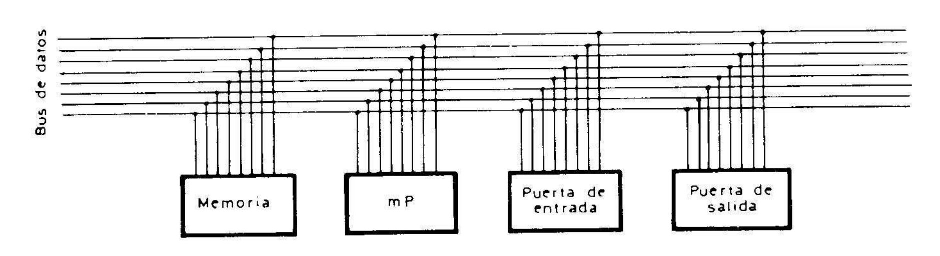
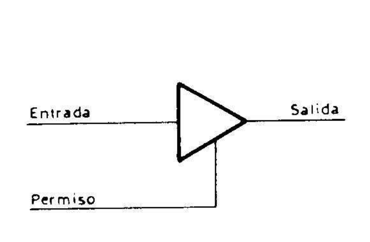


Fig. 17-2. Compartición de las líneas del bus de datos por todos los elementos.

Para evitar que los componentes que no participan en una transferencia cortocircuiten el estado de las líneas, todos disponen de buffer triestado, tanto en la recepción como en la salida de información hacia el bus de datos.

En la figura 17-3 se presenta el símbolo y la tabla de verdad de un elemento triestado. Siempre que la línea auxiliar de "permiso" (Enable) esté activa, el nivel de la salida es igual que el de la entrada, pero si dicha linea no es activa la salida queda desconectada simplemente, en "estado flotante" o "de alta impedancia".



Permiso	Entrada	Salida
1	1	1
1	0	0
0	1	Alta impedancia
0	0	Alta impedancia

Fig. 17-3.–Símbolo y tabla de la verdad de un buffer triestado.

Para comprender la actuación de la señal de permiso y el estado de alta impedancia que puede producir, se ha dibujado en la figura 17-4 un circuito equivalente a su actuación.

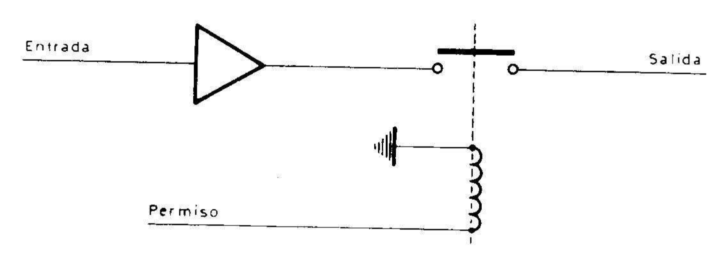


Fig. 17-4.–Símil de actuación de un elemento triestado.

La figura 17-5 muestra un buffer triestado residente en una memoria, en una línea de acoplamiento con el bus de datos. Las restantes 7 líneas reciben igual tratamiento. Cuando por el bus de direcciones se recibe la información correspondiente con una determinada posición de la memoria, el decodificador la selecciona y sus bits quedan conectados a las líneas del bus de datos a través de los buffer triestado. Los restantes elementos del sistema quedan desconectados con las líneas del bus de datos, es decir, en estado de alta impedancia. En la memoria caben dos operaciones: la *lectura* de la posición y el consiguiente traspaso de su contenido al bus de datos y la *escritura* de dicha posición con la información

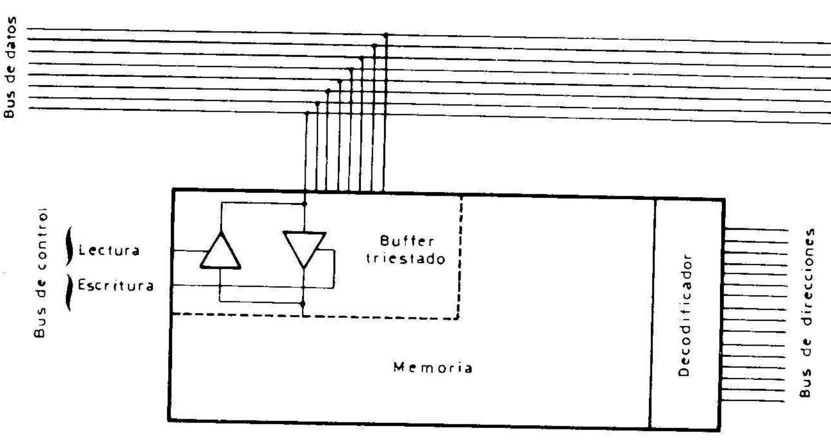


Fig. 17-5.–Conexión de las líneas del bus de datos con los bits de las posiciones de memoria a través de elementos triestados.

existente en el bus de datos. La elección de la operación adecuada se efectúa mediante la activación de la línea de lectura o la de escritura, perteneciente ambas al bus de control y gobernada desde la CPU (normalmente suele ser una sola línea (R/W) con dos niveles).

Para completar el presente capítulo se describen las características generales de los tres bloques que forman el sistema, o sea, la CPU, la Memoria y los Módulos de Entrada y Salida.

CONFIGURACION TIPICA DE UN MICROPROCESADOR

La figura 17-6 ofrece el diagrama de pines o patillas de un microprocesador hipotético y por lo tanto no existente en el mercado. Con él se trata de analizar las diferentes líneas de interconexión del microporcesador con el resto del sistema.

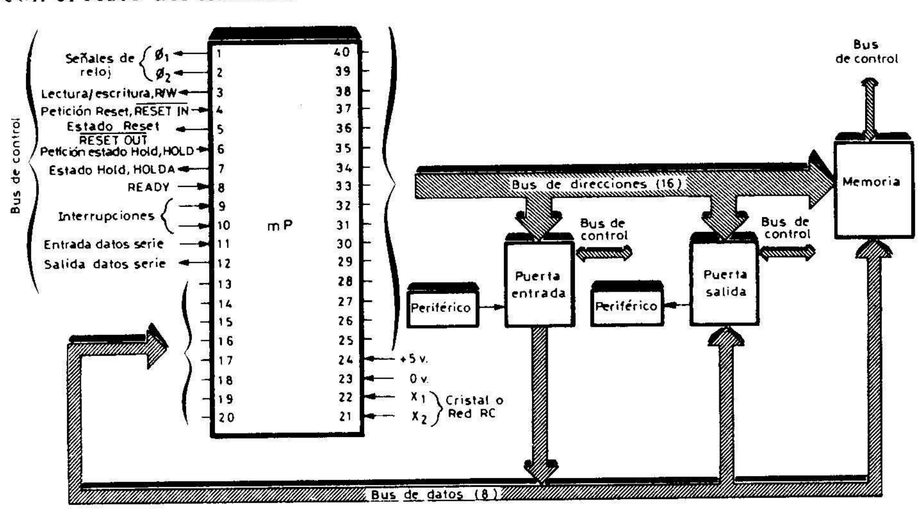


Fig. 17-6. Configuración de las patillas de un microprocesador hipotético.

La mayoría de lcs chips que contienen un microprocesador disponen de 40 patitas, número condicionado por aspectos de fabricación y comprobación. La limitación de patillas de la CPU impone una serie de restricciones en cuanto a los aspectos de transferencia y control de la información a través de todo el sistema.

En la figura 17-6 se han tratado de generalizar los conjuntos de patillas dedicados a una función específica, al igual que la mayoría de los modelos de microprocesadores existentes en el mercado.

Los conjuntos de patillas características se pueden agrupar de la siguiente manera:

A) Líneas de direccionamiento

Con referencia a la figura 17-6 existen 16 líneas de direccionamiento, que ccrresponden a los pines numerados desde el 25 al 40, cuya misión es transferir la dirección de la posición de memoria o elemento seleccionado por la CPU.

B) Líneas de datos

Son 8, que configuran al bus de instrucciones y datos, y que en el microprocesador hipotético corresponden a los pines 13 al 20.

C) Entrada de alimentación

En la actualidad casi todos los microprocesadores requieren una sola tensión de alimentación, que además se procura coincida con la necesaria para los sistemas TTL, es decir, + 5 V. Los pines 23 y 24 reciben dicha alimentación.

D) Cristal o red R-C

Los modernos microprocesadores disponen internamente de un generador de reloj, cuya frecuencia se controla exteriormente mediante un cristal o una red R-C, aplicables entre los pines 21 y 22, según la figura 17-6.

E) Salida de las señales de reloj

El generador interno del microprocesador produce dos señales normalmente opuestas, llamadas ϕ_1 y ϕ_2, que sirven para sincronizar los elementos del sistema que lo precise. Las salidas se realizan por los pines 1 y 2.

F) Petición de RESET y Reconocimiento de RESET (RESET/IN y RESET/OUT)

Por la línea de entrada al microprocesador RESET IN se provoca una petición del estado de RESET que se trata como una interrupción que

sirve para inicializar el sistema. RESET OUT es un pin de salida de la CPU (5) que informa del estado de RESET, o sea, se trata de una información de reconocimiento de un estado.

G) HOLD y HOLDA

La línea de entrada HOLD sirve para solicitar la entrada de la CPU en un estado especial denominado HOLD. HOLDA es una señal de reconocimiento del estado HOLD.

El estado HOLD deja con alta impedancia los buses de direccionamiento y de datos, para poder ser empleados desde el exterior para la realización del Acceso Directo a Memoria (DMA).

H) READY

Línea que sirve para sincronizar la CPU con memorias lentas.

I) Interrupciones

Las líneas de "interrupción" sirven para detener el procesamiento normal que lleva a cabo la CPU y permite a ésta saltar a otros programas que atienden las interrupciones.

Una interrupción común (vectorizada) consta de las siguientes fases:

1) En cuanto se produce la interrupción y termina la ejecución de la instrucción en curso, se procede a la "salvación" del contenido de los registros más importantes de la CPU en una parte de la memoria gobernada por el Stack Pointer.

2) El Contador de Programa (PC) se carga con el contenido de un par de direcciones especiales de la memoria (vector de interrupción).

3) La CPU ejecuta las intrucciones partiendo del nuevo contenido del PC, es decir, el programa de atención a la interrupción.

4) Acabado el programa que atiende a la interrupción se regresa al programa principal, recuperando desde la memoria los datos salvados al producirse la interrupción.

Dentro de los diferentes tipos de interrupciones las hay "no enmascarables" que realizan siempre que se provocan, en cambio hay otras llamadas "enmascarables" que sólo se llevan a cabo si un bit del Registro de Estado, el flag de interrupción, está a cierto nivel. También hay interrup-

ciones producidas por flanco, por nivel y de ambas maneras. Finalmente, cuando hay varias posibilidades de interrupción se las dota de un baremo de prioridad.

Aunque cada fabricante en cada modelo dispone de configuraciones de patillas específicas, la mostrada en la figura 17-6 tiene un carácter bastante general.

CONSTITUCION DE LAS MEMORIAS INTEGRADAS

La memoria es la parte del sistema encargada de almacenar las intrucciones y los datos en código binario. El elemento básico de almacenamiento de una memoria integrada, que es la típica empleada con microprocesadores, en el flip-flop (FF) de tipo D. Dicho FF se carga con el nivel lógico que se le aplica por la entrada de datos cuando recibe un impulso de reloj que lo habilita, tal como se ha representado en la figura 17-7.

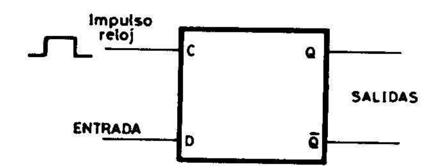


Fig. 17-7.– Elemento básico de memoria; el flip-flop de tipo D.

La necesidad de grandes capacidades de almacenamiento llevó a la implementación de conjuntos de FF en los circuitos integrados. En la figura 17-8 se presenta una memoria constituida por 16 FF que reciben simultáneamente el dato de entrada, el cual se carga en el FF seleccionado mediante la aplicación del impulso de reloj. Con mayor cantidad de FF el circuito integrado tendría tal número de patillas que sería imposible fabricar la memoria en un chip estándar.

En la actualidad la matriz de FF que forman la memoria se distribuye de tal forma que se selecciona una posición de la misma usando un decodificador. Normalmente cada posición consta de 8 FF que permiten obtener una palabra de información de 8 bits (byte) cada vez que se realiza una lectura. Esta información se deposita en las 8 líneas del bus de datos. En caso de realizarse una escritura en una posición de memoria, el contenido de las líneas del bus de datos se carga en los 8 FF de la posición seleccionada por el decodificador. La figura 17-9 muestra la arquitectura típica de un chip de memoria con 256 posiciones de 8 bits cada una (256 X 8). Dicho chip, además de los pines de alimentación, señal de lectura/escritura y la de permiso, precisa de 8 más para activar las 8 entradas del decodificador y de otros 8 para su conexionado con el bus

Fig. 17-8. – Selección independiente de cada FF mediante los impulsos de reloj.

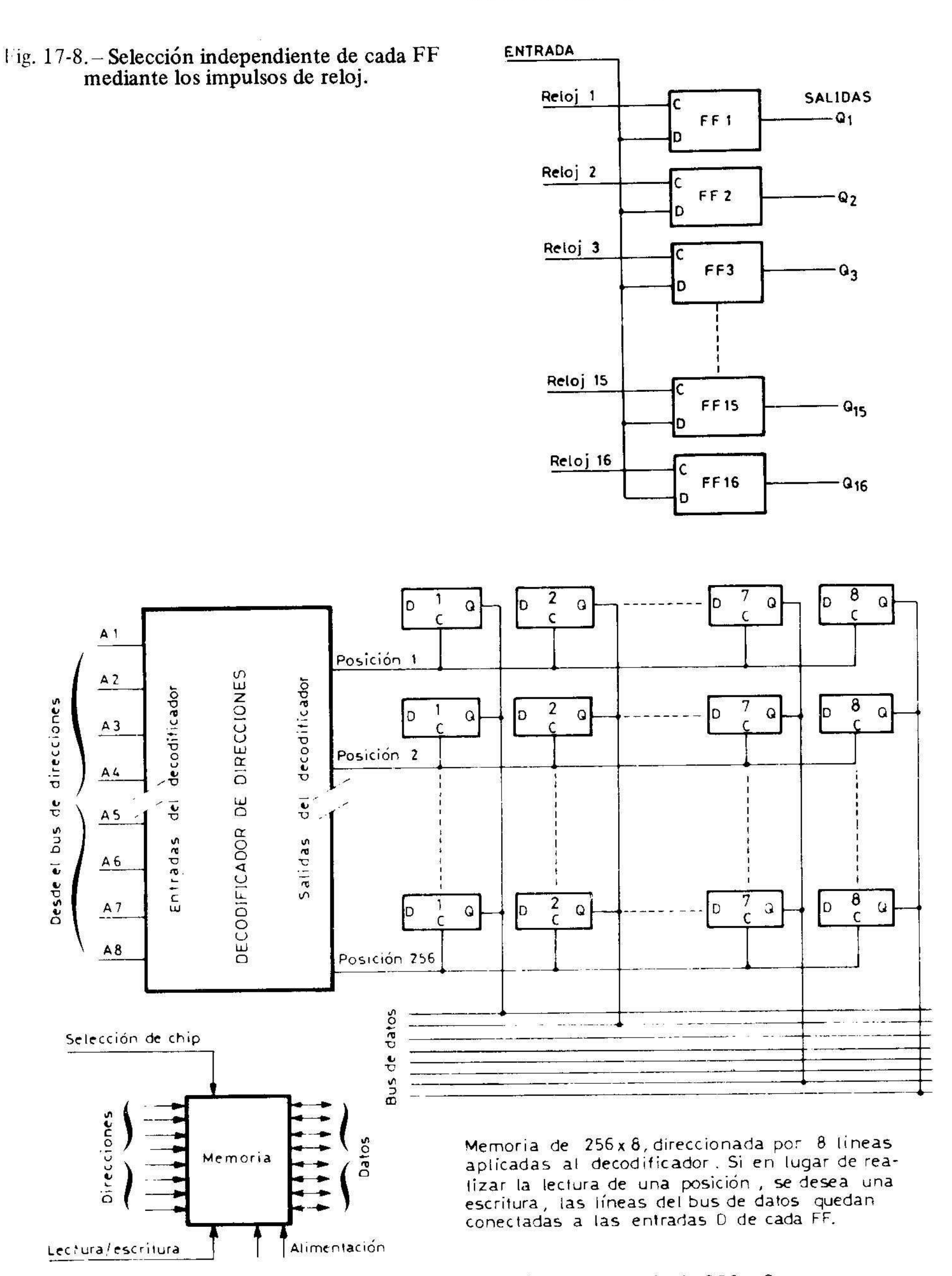


Fig. 17-9. – Aspectos de la esctructura de una memoria de 256 x 8.

de datos. Recuérdese que la conexión de la memoria al bus de datos precisa de buffer triestado para quedar en alta impedancia cuando no se selecciona dicho elemento.

Refiriéndonos a la figura 17-9, si se aplicase un nivel lógico cero a todas las entradas del decodificador a través del bus de direcciones, se seleccionaría la posición 1 y el contenido de sus 8 FF pasaría por los buffer triestado a las líneas del bus de datos en el caso de tratarse de una lectura. De realizarse una escritura, la información del bus de datos pasaría a los 8 FF de la posición seleccionada.

TIPOS DE MEMORIAS INTEGRADAS

Existen dos tipos fundamentales de memorias integradas:

1.º) RAM (Random Acces Memory). Memorias de acceso aleatorio.
2.º) ROM (Read Only Memory). Memorias de sólo lectura.

Tanto las memorias RAM como las ROM son de acceso aleatorio, lo que significa que se puede acceder a cualquier posición de ellas sin seguir un orden determinado.

Las posiciones de las memorias RAM pueden ser leídas o escritas, mientras que las de la memoria ROM sólo pueden leerse una vez que se han grabado.

En el apartado anterior se estudiaron las células estáticas, a base de FF de tipo D, pero las memorias RAM pueden estar construidas también por células dinámicas.

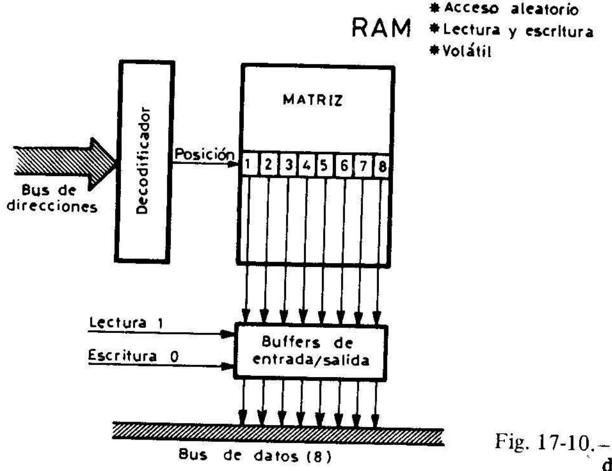


Fig. 17-10.– Constitución y funcionamiento de una memoria RAM.

Las células dinámicas de las memorias RAM se basan en la carga de un condensador mediante la conducción de un transistor de tipo MOS. En la figura 17-11 puede apreciarse cómo se produce la activación del transistor T_1 activando su puerta a través del correspondiente nivel lógico por la línea de "posición". De esta forma se traspasa el nivel existente en la línea de "información" al condensador.

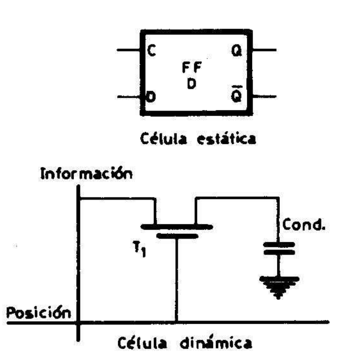


Fig. 17-11.–Célula estática y célula dinámica de una memoria RAM.

Existen importantes ventajas en el uso de memorias RAM con células dinámicas:

- Reducción en una tercera parte del coste por bit.
- Disipación de cuatro veces menos potencia que las células estáticas.
- Aumento de cuatro veces la densidad de integración respecto a las estáticas.
- Reducción del tiempo de acceso a más de la mitad del requerido por las células estáticas.

Sin embargo, también las células dinámicas tienen algunos inconvenientes:

- Exigencia de tres tensiones de alimentación contra sólo una las estáticas.
- Las fugas inherentes a todo condensador exigen un "circuito de refresco" muy rápido, que recargue cada pocos milisegundos todas las células, compensando de esta manera las pérdidas producidas por las fugas.

La constitución de las memorias ROM se basa en la realización de "conexiones" en los cátodos de una matriz de diodos que implementan los bits de la memoria. Observando la figura 17-12 se aprecia que la conexión del cátodo de uno de los diodos que actúan como células elementales, a la línea de información, representa un nivel 1 en ésta última, al permitir la circulación de corriente por su respectiva resistencia de absorción R_a.

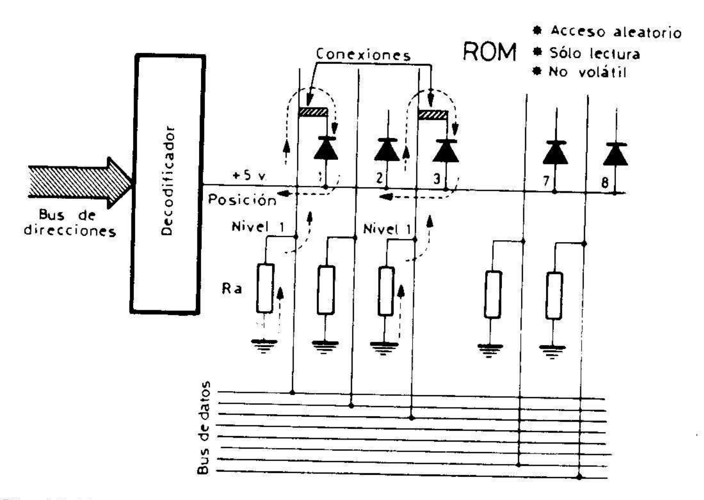


Fig. 17-12.– Estructura de una memoria ROM y conexionado de los cátodos de los diodos que actúan como células elementales.

Si el cátodo de un diodo queda sin conectar, no puede circular corriente por R_a y no habrá tensión (nivel 0) en la línea de información correspondiente.

Según el tipo de "conexión" que se emplee, las memorias ROM se clasifican en tres grandes grupos, expuestos en la figura 17-13.

Clase de ROM	Tipo de conexión	Grabación
DE MASCARA	Diseño de una máscara	En fábrica
PROM	Rotura de fusibles	En programador
EAROM	Alteración eléctrica	Programador y rayos ultravioletas

Fig. 17-13. Tipos de memorias ROM.

Memoria ROM de máscara. Por procedimientos sofisticados se diseña en fábrica una máscara que permite el conexionado de los cátodos de los diodos que deben contener el nivel 1. La obtención de esta máscara es muy cara y sólo interesa cuando la producción alcance cifras superiores al millar de unidades.

Memorias PROM. El fabricante suministra este tipo de memorias con un fusible especial que actúa de conexión. Mediante un instrumento apropiado, que se llama "programador de PROM" se funden los fusibles correspondientes a los diodos que debe, corresponder a un nivel lógico cero. Este tipo de memoria es idóneo para pequeñas series y prototipos.

Memorias EAROM o REPROM. El contenido de sus células es eléctricamente alterable y pueden grabarse y posteriormente borrar la información grabada mediante la aplicación de la intensidad adecuada de rayos ultraviolestas. En la actualidad los modelos existentes en el mercado se pueden grabar y volver a borrar un determinado número de veces con cierta fiabilidad.

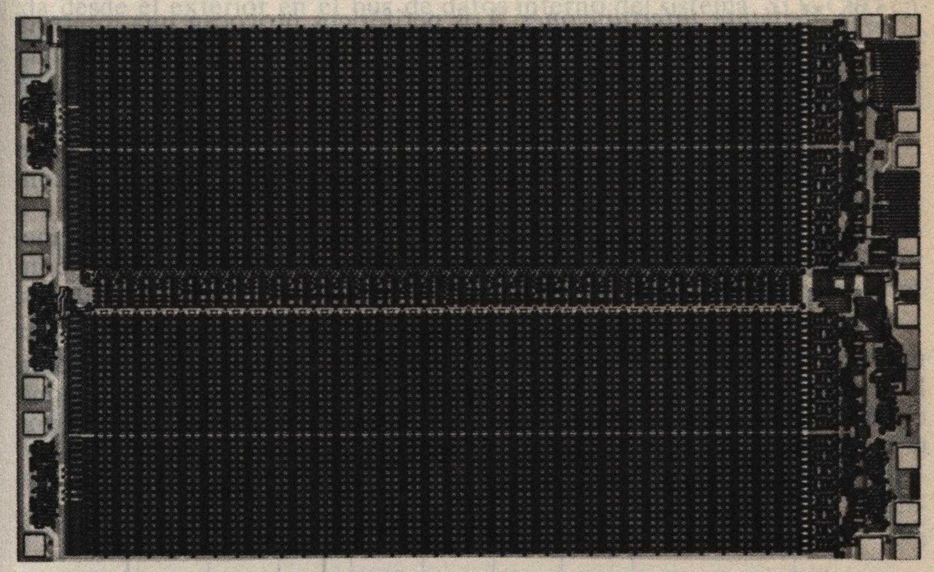


Fig. 17-14.–Microfotografía de una memoria RAM de 4.096 bits. El chip es de 2,225 x 0,142 pulgadas. Cortesía de INTEL.

MANEJO DE LAS ENTRADAS Y SALIDAS DEL SISTEMA

El interface entre los periféricos y el sistema de microprocesador requiere circuitos de adaptación que pueden estar implementados con componentes normales MSI (decodificadores, buffer, etc.), con circuitos integrados LSI de propósito general, como los PIA o PPI (de adaptación paralelo) y los UART (de adaptación serie), o también con controladores específicos para determinados periféricos.

Existen tres procedimientos importantes para la manipulación de los periféricos:

1.°) *Por software.* Consiste en un proceso de "consultas sucesivas" a los periféricos realizadas por programa, para detectar quién de ellos soli-

cita la atención de la CPU para proceder a realizar una entrada o salida de información. Este sistema es síncrono y por lo tanto no atiende las peticiones en el instante que se producen, sino cuando les corresponde por programa.

Este método también tiene el inconveniente de utilizar parte de la memoria del programa para el tratamiento de las I/O.

2.º) *Mediante interrupciones.* Los periféricos provocan una interrupción a la CPU para reclamar su atención. En este caso las interrupciones pueden tener un carácter prioritario, siendo también posible su enmascaramiento.

3.º) *Acceso Directo a Memoria (DMA).* Cada vez que un periférico desea realizar una entrada o salida de información se lo comunica al controlador del DMA, que detiene la CPU mediante una señal HOLD y a continuación se produce la transferencia directa de los datos desde la memoria al periférico (salida) o viceversa. La transferencia se realiza sin intervención de la CPU, por lo cual se alcanzan grandes velocidades.

La figura 17-15 muestra un diagrama por bloques de un sistema con microprocesador que emplea el procedimiento "memory mapped" para la selección del módulo I/O. Mediante el bus de direcciones se selecciona el periférico a tratar y la información de entrada o salida se transfiere por el bus de datos.

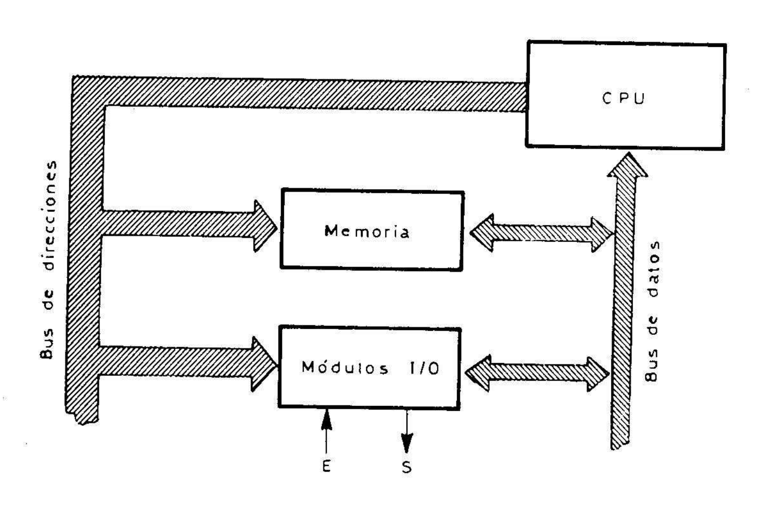


Fig. 17-15.–Tratamiento de las entradas y salidas por el método "memory mapped".

La figura 17-16 ofrece la constitución interna de un módulo de entrada y salida. La dirección a que responde el módulo se recibe por el bus de direcciones y se interpreta en el decodificador de entrada. Junto con la señal de salida del decodificador se recibe una señal de lectura desde la CPU, lo que supone la activación de la puerta lógica 1 (AND), cuya salida habilita al "buffer de entrada", que descarga la información recibida desde el exterior en el bus de datos interno del sistema. Si la CPU envía una orden de escritura, la salida de la puerta 2 habilita el "buffer de salida", con lo que la información existente en el bus de datos se tranfiere al mundo exterior.

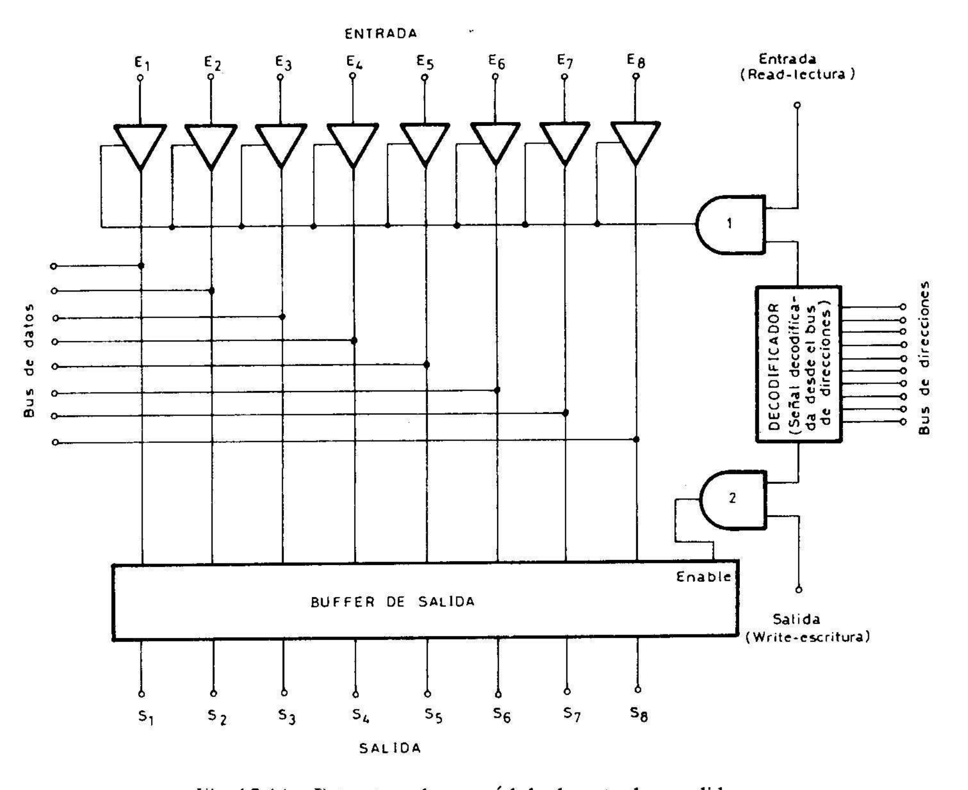


Fig. 17-16.–Estructura de un módulo de entradas y salidas.

En la actualidad los fabricantes de productos LSI trabajan en diseños muy perfeccionados de controladores de periféricos, que en muchas ocasiones incluyen otro microprocesador para el gobierno del controlador.

LECCION 18

Introducción al software

LAS INSTRUCCIONES DE LAS MAQUINAS PROGRAMADAS

El empleo de las máquinas programadas, además del conocimiento de la estructura de los componentes que las forman, requiere el de la manera de confeccionar los programas de instrucciones que resuelven las aplicaciones concretas a las que se destinan. La arquitectura y características físicas de los elementos que constituyen la máquina se engloban bajo la denominación de "hardware", mientras que el manejo de las instrucciones y las técnicas de programación reciben el nombre de "software",

El especialista en sistemas basados en microprocesador debe reunir amplios conocimientos de hadware y de software, pues ambas materias están muy estrechamente ligadas en este campo.

El decodificador de instrucciones de la CPU es capaz de interpretar un repertorio de instrucciones limitado, que en la mayoría de los casos ronda el centenar. Teniendo en cuenta que todos los elementos del sistema son digitales y trabajan exclusivamente con información binaria, y que el bus de instrucciones y datos consta de 8 líneas, cada instrucción estará formada por 8 bits, con lo que se puede conseguir un número máximo de combinaciones de $2^8 = 256$. Sin embargo, ningún modelo de microprocesador aprovecha este máximo de posibilidades y llega a interpretar 256 códigos diferentes.

El "lenguaje de máquina" o binario es el que puede interpretar directamente el decodificador de la CPU. Así, por ejemplo, la instrucción de RESTAR puede tener como código binario en lenguaje de máquina el byte 11110000, mientras que el código para la realización de la operación lógica AND puede ser 10101010.

Como todas las posiciones de memoria son de 8 bits, cada vez que se lee una de ellas se envía al decodificador de instrucciones, por el bus de datos, el código de una instrucción, tal como se muestra en la figura 18-1.

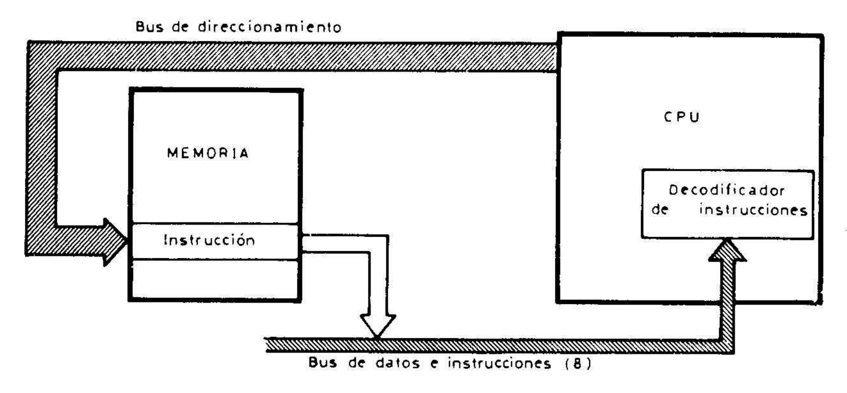


Fig. 18-1.–Búsqueda de una instrucción en la memoria empleando el bus de direccionamiento y traslado de su código hasta el decodificador de instrucciones de la CPU a través del bus de datos.

Adviértase que también se puede transferir de esta misma forma un dato de 8 bits, caso en el cual su destino no sería el decodificador de instrucciones.

La realización completa de una instrucción en un sistema consta de dos ciclos. En el primero, llamado de "búsqueda" (fetch), el PC de la CPU a través del bus de direcciones manda la dirección de la memoria en donde se encuentra el código de la instrucción que se ha de ejecutar, para que una vez localizado se devuelva por el bus de datos dicho código hasta el decodificador de instrucciones de la CPU, según se representa en la figura 18-1. El segundo ciclo de la instrucción es el de "ejecución", en la que se realizan las microinstrucciones elementales, generadas y controladas por el secuenciador de la CPU, para llevar a cabo la instrucción. El ciclo de búsqueda es común para todas las instrucciones, pero no así el de ejecución.

EL LENGUAJE BINARIO, SUS PROBLEMAS Y SOLUCIONES

Para evitar la programación en sistema binario, que origina largas expresiones y produce frecuentes equivocaciones, al confundir fácilmente un 1 por un 0 y viceversa, es más interesante en un primer paso de ayuda a la programación, emplear como código de operación (OP) el sistema hexadecimal, en el que cada 4 bits quedan representados por un dígito del 0 al F. Por ejemplo, el código binario antes comentado, que corresponde a la instrucción de RESTAR, 11110000, se convierte en hexadecimal en FO.

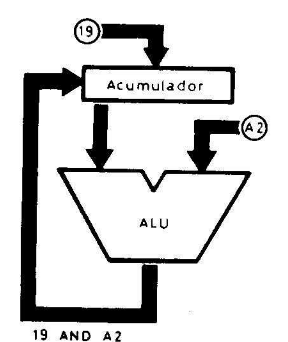
Lenguaje máquina = lenguaje binario

Instrucción		Lenguaje máquina (binario)		OP (Hex.)	Nemónico
Restar	:	1111	0000	F0	SUB
Sumar	:	0000	1111	0F	ADD
Cargar el acumulador	:	1111	1111	FF	LDA
Almacenar el acumulador	:	0000	0000	00	STA
Operación AND	:	1010	0111	A7	AND
Operación OR	:	0101	1010	5A	ORA
Fin	:	1000	1000	88	END

Fig. 18-2.- Ejemplo de diferentes instrucciones expresadas en lenguaje de máquina o binario, en hexadecimal y en nemónico.

Los programas confeccionados en código binario o hexadecimal no tienen significado para la mente humana, ya que forman una serie de números y letras sin expresión alguna. Para proporcionar un significado inteligible a los programas se creó un lenguaje de tipo nemórico, en el que cada instrucción se representa con varias letras que corresponden a las abreviaturas del significado de la instrucción en idioma inglés. Así, la instrucción RESTAR (substract, en inglés) en lenguaje nemórico se expresa por SUB; SUMAR (Add), por ADD; CARGAR ACUMULADOR (Load A), por LDA y ALMACENAR EL ACUMULADOR (Store A), por STA.

Un ejemplo muy sencillo de la forma de un programa se ofrece en la figura 18-3 y consiste en cargar el valor o dato 19 en el acumulador, a continuación realizar una operación lógica AND del acumulador con el dato A2 y finalmente el resultado de la operación, que la ALU habrá deposi-



Instrucciones	Nemónico	OP	Binario
Cargar el acumulador con 19	LDA 19	FF 19	1111 1111 0001 1001
Operación AND con A2	AND A2	A7 A2	1010 0111 1010 0010
Almacenar Ac en 23	STA 23	00 23	0000 0000 0010 0011
Fin	END	88	1000 1000

Fig. 18-3.– Un simple ejemplo de programación en los 3 lenguajes.

tado en el acumulador, almacenarlo en la posición de memoria 23. En la figura 18-3, a la izquierda del programa, se ha simulado la actuación de la ALU y del acumulador, el cual actúa como entrada de un operando y como registro de carga del resultado de la operación.

TIPOS DE LENGUAJES

El lenguaje que entiende la máquina es exclusivamente el binario, pero con objeto de simplificar sus expresiones se utiliza el hexadecimal, y para comprender el significado de las instrucciones se emplean los nemónicos. Estas tres formas de repressentar las instrucciones están íntimamente relacionadas con la máquina, puesto que cada código guarda correspondencia con una instrucción que el decodificador de instrucciones es capaz de interpretar.

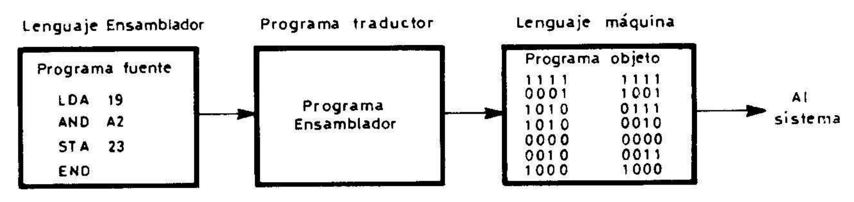


Fig. 18-4.—Traducción del lenguaje ensamblador.

Uno de los lenguajes más usados en los sistemas que disponen de microprocesador es el ensamblador (assembler, en inglés), que emplea los nemónicos para representar las instrucciones y una serie de reglas que facilitan la realización de programas. Los programas escritos con un lenguaje diferente al que admite la máquina (binario) precisan de una traducción previa, para poderse aplicar al decodificador de instrucciones. En la figura 18-4 se muestra cómo un "programa fuente", escrito en lenguaje ensamblador, se traduce mediante un programa de traducción, llamado programa ensamblador, para obtener el "programa objeto" en código de máquina, ya útil para su aplicación al sistema. Cada instrucción completa en lenguaje ensamblador equivalente a 1,2 o 3 bytes en código de máquina.

Existen otros tipos de lenguaje de más alto nivel, cuyas instrucciones no guardan relación con la estructura de la máquina, es decir, que las instrucciones de estos lenguajes, llamados COMPILADORES, no se corresponden directamente con instrucciones que pueda realizar directamente la máquina o interpretar su decodificador. Así, por ejemplo, gran parte de los microcomputadores no dispone de la instrucción de MULTIPLICAR, pero todos los lenguajes compiladores la poseen, lo que significa que la ejecución de una instrucción de un lenguaje de alto nivel entraña varias instrucciones elementales, que forman un pequeño programa.

Los tres lenguajes compiladores más importantes son:

1.°) FORTRAN (Fórmula Translation). De aplicación a cálculos.

2.°) COBOL (Common Busines Oriented Lenguage). Aplicado en especial a la gestión de los negocios.

3.°) BASIC (Beginners Algebraic Symbol Interpreter Compiler). Sencillo lenguaje compilador de extensa aplicación general.

En la figura 18-5 se muestra de forma simplificada, y sólo a título orientativo, la realización de un mismo programa en los tres lenguajes compiladores más comunes.

Ejemplo de programación simplificada :

Escribir el área A de un triángulo, conocida la base B y la altura H.

FORTRAN		COBOL (traducido)		BASIC	
10	B = 4	100	Base es 4	10	LET B = 4
20	H = 5	200	Altura es 5	20	LET H = 5
30	A = B.H/2	300	Multiplicar base por altura	30	PRINT B.H/2
40	PRINT A	400	Dividir (base por altura) entre 2, para dar el área		
		500	Escribir el área		

Fig. 18-5.–Programa, en los tres lenguajes compiladores más importantes, para escribir el área del triángulo en función de la base y la altura.

Al igual que sucedía con el lenguaje ensamblador, los compiladores necesitan una traducción al lenguaje de máquina. Para este fin se emplea el ordenador, junto con un programa de traducción denominado compilador.

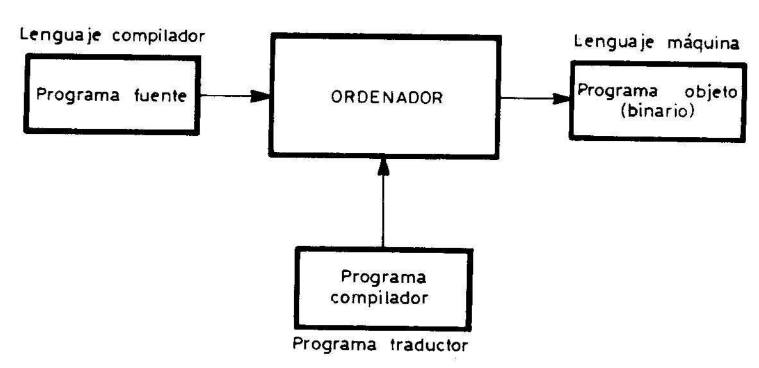


Fig. 18-6.–Traducción de un programa en lenguaje compilador.

En la confección de programas aplicados a sistemas con microprocesadores existen ciertos programas de alto nivel que cada día se emplean más en este campo concreto y son el PL/M y el PASCAL, caracterizados porque cada una de sus instrucciones equivale a varias del ensamblador, lo que supone la utilización de mayor cantidad de memoria que la necesaria al emplear el lenguaje ensamblador.

TIPOS DE INSTRUCCIONES

Aunque cada CPU responde a un repertorio específico de instrucciones, en todos los modelos existen grupos característicos comunes. A continuación se exponen los tipos más representativos de conjuntos de instrucciones usados en todos los microcomputadores.

A) ARITMETICAS. En este grupo de instrucciones se incluyen todas aquéllas con las que se puede ejecutar operaciones aritméticas, que suelen ser sólo dos: la suma y la resta.

B) LOGICAS. Grupos de instrucciones capaces de efectuar operaciones lógicas, tales como AND, OR, EOR, NAND, etc...

C) DE TRANSFERENCIA. Sirven para trasladar datos entre los diferentes registros de trabajo de la CPU, o entre éstos y la memoria y los módulos I/O. Ejemplo: "MVI r,dato":

D) DE SALTO. Permite que la ejecución del programa salte a una dirección especificada en la instrucción, alterando el contenido del contador de programa. Estas instrucciones pueden ser "incondicionales", cuando se realiza siempre el salto, o "condicionales", cuando sólo se produce si se cumple una condición determinada. Ejemplo: "JZ, dirección" es un salto condicional a la dirección que se indique, puesto que sólo se lleva a cabo si el flag Z del registro de estado vale 1.

E) DE LLAMADA A SUBRUTINA. Una subrutina es una parte del programa que realiza una determinada función de carácter repetitivo. Cada vez que el programa precisa de dicha función llama a la subrutina, la ejecuta y una vez completada regresa al punto de partida. Con el empleo de subrutinas se evita tener que intercalar en el programa principal el de éstas tantas veces como se tengan que realizar. En la memoria sólo existe un programa de subrutina, al que se salta cada vez que se ha de llevar a cabo la función que efectúa. Al final de la subrutina existirá la instrucción RET, con la que se saca del Stack la dirección de retorno al programa principal.

Existe un grupo de instrucciones para llamar a las subrutinas, bien de forma incondicional, como por ejemplo "CALL dirección", o bien de

forma condicional, como "CC dirección", que llama a la subrutina de la que se indica su dirección de inicio sólo en el caso que el flag de carry C esté en 1.

F) DE EMPLEO DEL STACK POINTER. Cuando el programa necesita guardar contenidos de registros o datos de forma temporal en la zona de memoria que direcciona el Stack, para luego poder sacarlos cuando se precisen, se emplea un conjunto de instrucciones destinadas a este cometido, entre las que destacan: PUSH, que guarda en la memoria de Stack lo que se indique, y POP que recupera del Stack lo que interese.

G) DE ENTRADA Y SALIDA. Son instrucciones que se emplean para transferir datos con los periféricos del sistema. Ejemplos: "IN puerta", que carga en el acumulador el dato que exista en la puerta indicada y "OUT puerta" que coloca en una determinada puerta el contenido del acumulador.

H) ESPECIALES. Como por ejemplo, NOP (No opera), CLC (Borrar o poner a cero el Carry), RLC o RRC (rotación a la izquierda o a la derecha del acumulador), etc.

MODOS DE DIRECCIONAMIENTO

Las instrucciones de las CPU disponen de diferentes formas de localizar los datos con los que debe operar la instrucción. Estas variantes reciben el nombre de "modos de direccionamiento". A continuación se analizan los modos de direccionamiento más característicos.

Direccionamiento inmediato

El byte que sigue al código de la instrucción, que en lenguaje de máquina también ocupará un byte, es el operando o dato que maneja la instrucción.

Direccionamiento directo

Detrás del código OP de la instrucción se indica la dirección de memoria donde se encuentra el operando. Constará de 3 bytes; el primero indica la operación y los dos siguientes (16 bits), la dirección de la memoria.

Direccionamiento indirecto

Detrás del código de la instrucción se facilita la dirección, cuyo contenido y el de la siguiente dirección forman la dirección de otra posición de memoria, donde se encuentra el operando.

Direccionamiento relativo

Detrás del código de la instrucción se proporciona un valor que, sumado al contenido del contador de programa, proporciona la nueva dirección a ejecutar.

Direccionamiento indexado

Detrás del código de la instrucción se proporciona un valor que, sumado al contenido de un registro índice de la CPU, facilita la dirección de la memoria donde se encuentra el operando.

Direccionamiento por registro

La CPU dispone de uno o varios registros cuyos contenidos sirven para localizar posiciones de memoria donde se encuentran los operandos.

Hay microprocesadores que admiten hasta 13 modos de direccionamiento diferentes, ya que los arriba indicados son los más importantes y hay más modos derivados de los anteriores; otros, en cambio, admiten menos direccionamientos.

Por lo tanto, la potencia y la capacidad de un juego de instrucciones de un determinado microprocesador no sólo se ha de medir por el número de que conste, sino también por los diversos modos de direccionamiento de que dispone. En general, se prefieren repertorios de instrucciones con escaso número de las mismas, pero con grandes posibilidades de direccionamiento.

LECCION 19

Confección de programas

FASES DE LA PROGRAMACION

Las máquinas programadas comentadas en esta obra, constituidas por sistemas desarrollados alrededor de un microprocesador, requieren para su funcionamiento una secuencia de instrucciones; por lo tanto, el manejo de estas máquinas exige conocimientos de programación.

Las ventajas que les confiere a los sistemas con microprocesador su previa programación son las siguientes:

- Economía de diseño, al ser más rápido el diseño y la puesta a punto de las máquinas programadas respecto a las cableadas.
- Facilidad para aceptar posibles cambios en las especificaciones iniciales, puesto que en la mayoría de los casos estas alteraciones sólo afectan al programa de instrucciones.
- Mayor fiabilidad, al reducir considerablemente el número de componentes físicos, lo que también conlleva una simplificación del mantenimiento.
- Posibilidad de utilizar módulos estándar en el hardware (tarjetas de aplicación general), para resolver la implementación del sistema con rapidez y seguridad.

La confección de programas consta de una serie de fases que no son siempre las mismas, ya que dependen de los instrumentos de ayuda de que se disponga, de la aplicación que se trate de resolver y del lenguaje de programación empleado. No obstante, a continuación se describen las fases que han de seguirse en un caso general para la obtención de un programa en código de máquina, listo para cargarse en la memoria del sistema.

1.ª *fase*.–DEFINICION DEL PROYECTO. Es de sumo interés conocer con detalle todos los aspectos del proyecto, así como los dispositivos que ha de gobernar. Una equivocación en esta fase producirá retrasos y pérdidas importantes de tiempo.

2.ª. *fase*.–DIAGRAMA DE FLUJO U ORDINOGRAMA. Se trata de un gráfico, realizado con ciertos símbolos establecidos, que representan las operaciones elementales que de forma ordenada habrán de irse resolviendo mediante instrucciones.

3.ª *fase*.–RESOLUCION DEL ORDINOGRAMA CON INSTRUCCIONES. Se trata de realizar las operaciones elementales presentadas en el ordinograma a base de las instrucciones disponibles en el lenguaje que se vaya a emplear.

En esta fase existe una parte final de verificación y corrección del programa realizado.

4.ª *fase*.–COMPILACION. Se trata de la traducción del programa fuente para la obtención de programa objeto en código máquina. Esta fase irá completada con una depuración del programa obtenido.

5.ª *fase*.–EJECUCION Y EVALUACION. La seguridad de la bondad del programa obtenido se alcanzará ejecutándolo y analizando los resultados, empleando un microprocesador igual al que se empleará en el hardware, el cual también puede ser simulado. En especial esta fase y también alguna de las precedentes tienen un alto grado de dependencia respecto a instrumentos empleados para llevarlas a cabo, trasladando al lector a páginas posteriores concernientes a los sistemas de desarrollo y otras ayudas.

DIAGRAMAS DE FLUJO U ORDINOGRAMAS

Una vez definido el proyecto y establecidas las características generales del diagrama por bloques que compondrá el hardware del sistema, se construye el diagrama de flujo, que consiste en un gráfico en el que se especifican y ordenan las operaciones elementales que resuelven los planteamientos del proyecto.

"El ordinograma es un diagrama gráfico que ordena la secuencia de las operaciones a ejecutar por la máquina, para resolver una determinada aplicación"

Las operaciones del ordinograma deben ser resueltas con el repertorio de instrucciones compatibles con el lenguaje utilizado.

Los símbolos más usuales en los ordinogramas se muestran en la figura 19-1.

El significado de los símbolos de la figura 19-1 es el siguiente:

a) De operación: "rectángulo".–Indican la realización de una operación determinada, por ejemplo, sumar, cargar el acumulador, etc.

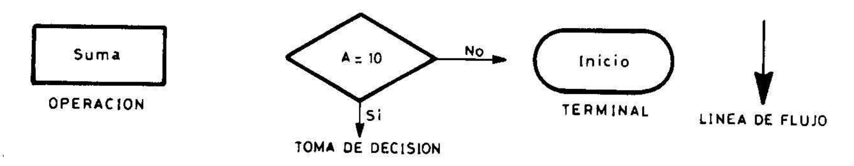


Fig. 19-1. – Símbolos más corrientes de los ordinogramas.

b) De toma de decisión: "rombo".–Permiten la rotura de la secuencia ordenada de operaciones cuando se cumple una condición. Un ejemplo de este tipo de operaciones puede ser la consulta de un valor de un registro o del acumulador, que según cuál sea el mismo, el programa continúa por un camino o por otro.

c) De terminal: "rectángulo curvilíneo".–Empleado al principio y al final del programa.

d) De línea de flujo: "línea con flecha".–Indica el camino operativo del programa.

En la figura 19-2 se ofrece un sencillo programa de temporización o retardo en el que se emplean todos los símbolos comentados.

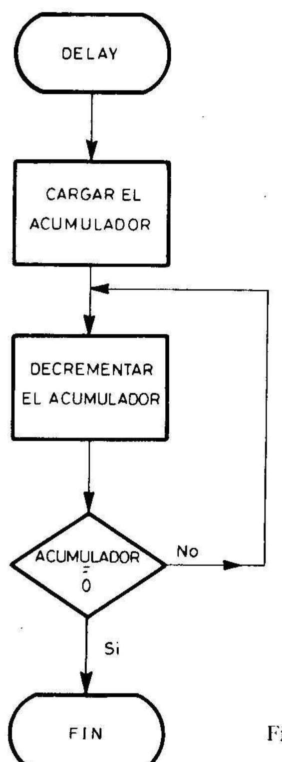


Fig. 19-2. – **Ordinograma para una función de retardo o delay en el que se emplean los símbolos más comunes.**

En la confección de ordinogramas se ha de tener muy en cuenta la potencia y características de todas las instrucciones del lenguaje que se emplee, para evitar la inclusión de operaciones imposibles de resolver.

CONVERSION DEL ORDINOGRAMA EN PROGRAMA. SISTEMAS OPERATIVOS

Construido el ordinograma, la siguiente fase consiste en la resolución de cada operación indicada en él por medio de las instrucciones del lenguaje que se emplea. Aunque se puede trabajar directamente en lenguaje de máquina, esto sucede rarísimas veces, dada la complejidad del código

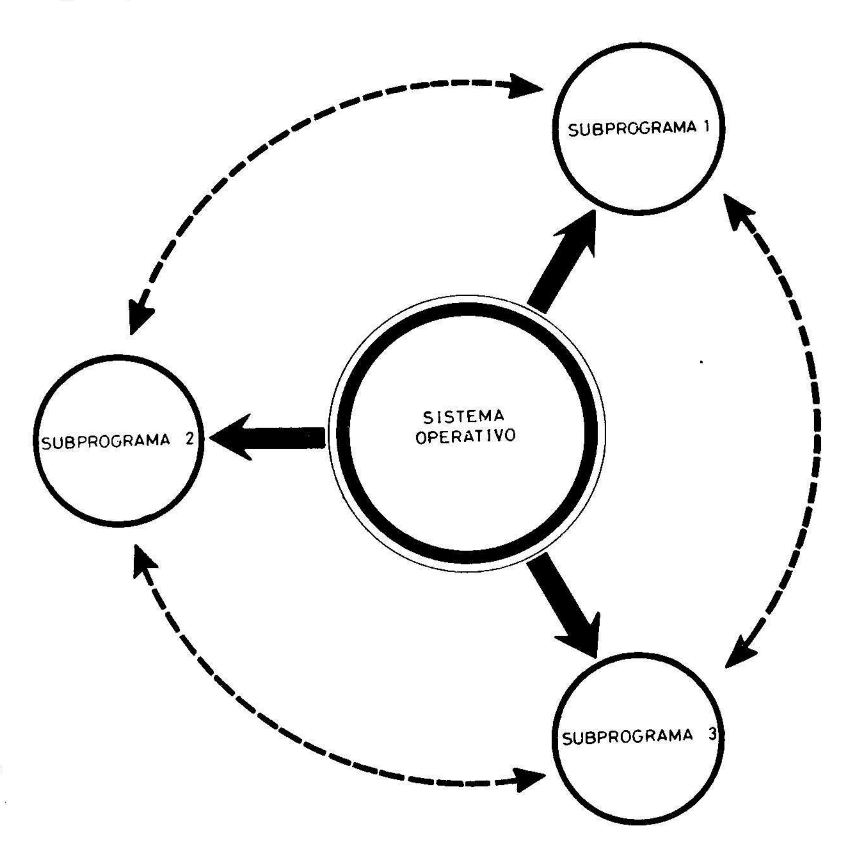


Fig. 19-3. – El programa principal, llamado "sistema operativo", controla todos los subprogramas.

binario. Lo usual es trabajar con un lenguaje compilador, ensamblador o, en último caso, en hexadecimal. Debe existir reciprocidad y paralelismo entre las operaciones indicadas en el ordinograma y las instrucciones del lenguaje empleado.

Es muy aconsejable la confección de programas de carácter modular, o sea, formados por una serie de subprogramas, cada uno de ellos dedicado a una función específica, y un programa central que controle todos los subprogramas, tal como se expone de manera gráfica en la figura 19-3. Al programa principal se le llama "sistema operativo"

La construcción modular de los programas permite la comprobación independiente de cada subprograma, que a su vez puede ser utilizado en otros programas si lleva a cabo una operación estándar.

Un sistema operativo se dice que es en "tiempo real" cuando el procesamiento de los datos es tan rápido como para satisfacer las necesidades del sistema que controla.

Teniendo en cuenta la "realimentación", los sistemas operativos se clasifican como *de bucle abierto* o *de bucle cerrado*. En los primeros el sistema operativo únicamente procesa las informaciones para obtener unos resultados, mientras que en los segundos los resultados influyen en el procesamiento.

La edición, corrección y mejora de estos programas fuentes exigen instrumentos de ayuda al software de los que se hablará más adelante.

COMPILACION

Según el lenguaje empleado en la confección del "programa fuente", se requerirá un determinado programa traductor, que interprete las instrucciones y las codifique en lenguaje de máquina. También para esta labor y la consiguiente depuración de los programas objeto se precisan instrumentos adecuados.

EMULACION O SIMULACION

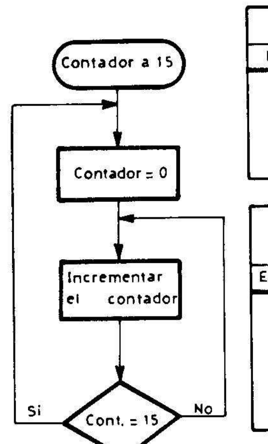
Finalmente, hay que comprobar el funcionamiento del programa objeto y su puesta a punto, bien empleando el mismo microprocesador del sistema, bien emulando su comportamiento con instrumentos que suelen permitir la comprobación de las transferencias con los módulos de I/O.

La superación de esta última fase proporciona el programa objeto que ha de cargarse en la memoria de instrucciones del sistema.

EJEMPLO DE PROGRAMACION

En la figura 19-4 se ofrecen el ordinograma y el programa que implementan un contador que cuenta de 0 a 15 y repite el ciclo.

En la figura 19-4 se han desarrollado tres programas diferentes para el mismo problema, en tres lenguajes diferentes: en BASIC (alto nivel), en



PROGRAMA EN LENGUAJE BASIC		
Línea	Instrucción	Explicación
10	LET COUNT = 0	Poner el contador = 0
20	LET COUNT = COUNT + 1	Incrementar el contador
30	IF COUNT = 15 THEN 10	Si el contador = 15, ir a 10
40	GO TO 20	Ir a 20 en otro caso

PROGRAMA EN LENGUAJE ENSAMBLADOR (8085)		
Etiqueta	Instrucción	Comentarios
Inicio:	MVI A,0	Poner a 0 el acumulador
Bucle:	INR A	Incrementar acumulador
	CPI OF	Comparar acumulador con 15
	JZ INICIO	Si A=15 ir a INICIO
	JMP BUCLE	Si A≠15 ir a BUCLE

PROGRAMA EN LENGUAJE MAQUINA (8085)			
Dirección	Contenido	Significado	Instrucción correspondiente en lenguaje Ensamblador
0000	3E	OP	MVI A,0
0001	00	DATO	
0002	3C	OP	INR A
0003	FE	OP	CPI OF
0004	OF	DATO	
0005	CA	OP	JZ a 0000
0006	00	Dirección	
0007	00		
0008	C3	OP	JMP a 0002
0009	02	Dirección	
000A	00		

Fig. 19-4.–Ordinograma de un contador cíclico y sus programas correspondientes en diferentes lenguajes.

ENSAMBLADOR, haciendo referencia a las direcciones expresadas, con nemónicos, mediante "etiquetas", que son meras referencias, y en lenguaje de máquina OP. Para los dos últimos lenguajes se han escogido las instrucciones y códigos correspondientes al repertorio del microprocesador 8085 de INTEL, que se explica más adelante.

EJEMPLO DE APLICACION

Se puede definir un "microcomputador" como un sistema basado en un microprocesador que tiene un propósito de carácter general. El microcomputador de Hewlett Packard 5036 A tiene fines educativos y se estructura alrededor del microprocesador 8085. De sus programas demostrativos se expone a continuación uno, que puede aportar algunas ideas a los lectores poco acostumbrados a la confección de ordinogramas.

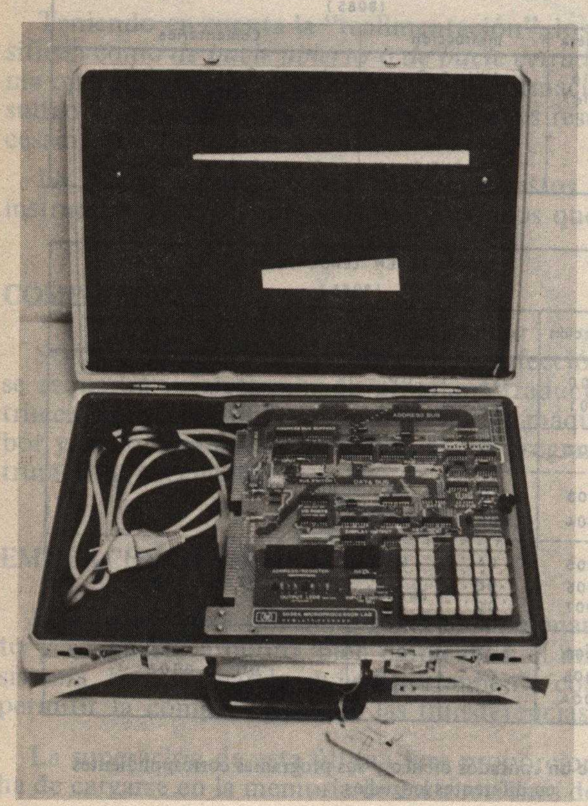


Fig. 19-5.–Foto del microcomputador de Hewlett Packard 5036 A.

Considérese una cinta transportadora que mueve engranajes fabricados en el área de producción de una factoría hasta el área de almacenamiento y venta. Como los engranajes se descargan al final de la cinta en una caja-envase de cartón, un operador deberá contarlos hasta llenar la caja con 10 engranajes, pasando a continuación a cambiar la caja llena por otra vacía. Se trata de automatizar este sistema.

En principio se requiere una configuración física como la representada en la figura 19-6. Una célula fotoeléctrica actúa como sensor de engranajes, suministrando un impulso cada vez que uno de estos pasa frente a ella. Se precisa otra cinta transportadora para las cajas, de forma que una vez completa una pueda ser retirada automáticamente y reeemplazada por otra vacía. Por último, existirá un "controlador", que cuente los engranajes y mueva las cajas adecuadamente.

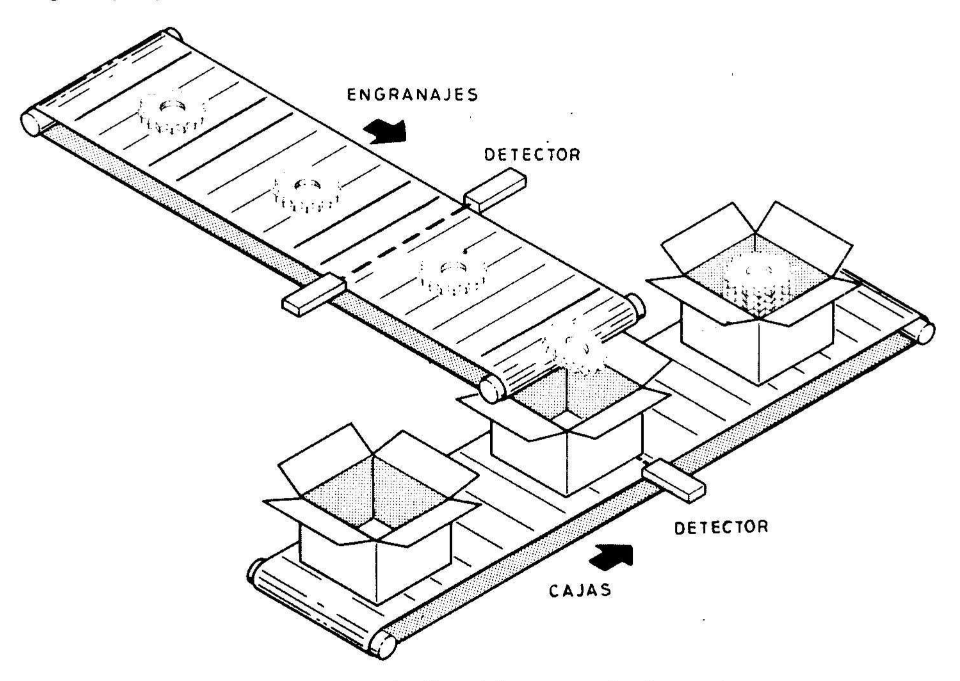


Fig. 19-6.– Configuración física del transportador de engrajanes.

La figura 19-7 muestra el ordinograma que gobierna al controlador del transportador. En principio, se para la cinta que transporta los engranajes y se pone en marcha la de las cajas, hasta que alcanza la posición correcta una caja vacía, dato éste que informa otro detector de caja. En

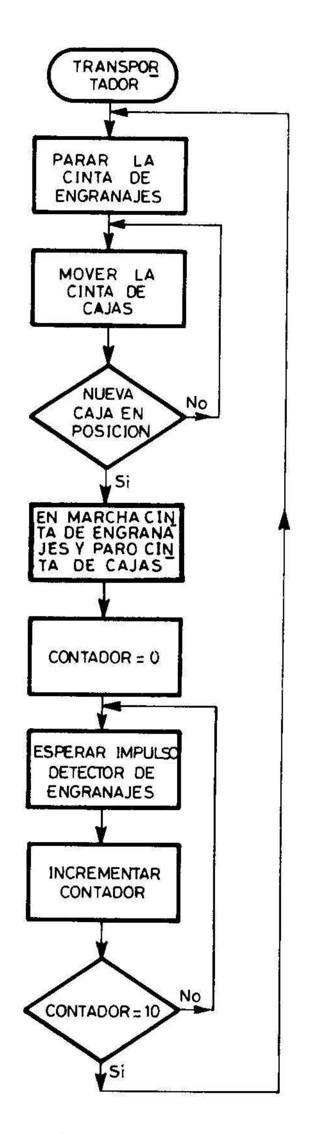


Fig. 19-7.–Ordinograma para el control del transportador.

esta situación se pone en marcha la cinta transportadora de los engranajes, al mismo tiempo que se pone a cero un contador, el cual se incrementa una unidad cada vez que recibe un impulso de paso de engranajes del detector correspondiente. Cuando el contador alcanza la cifra 10 se repite el ciclo.

En el microcomputador 5036 de H.P. este ejemplo se halla grabado de forma permanente dentro de su programa Monitor, comenzando en la dirección de memoria 04F8. Para simular el funcionamiento de la transportadora se carga el PC con la dirección indicada y se corre el programa (RUN). La presión de la tecla O simula un impulso desde el detector de engranajes. Cuando se han efectuado 10 pulsaciones se producen unos efectos ópticos y sonoros que simulan el movimiento de la cinta transportadora de las cajas.

Aunque las instrucciones que admiten los decodificadores de las diferentes CPU, no son iguales y se han creado por lo general de acuerdo con las aplicaciones y objetivos previstos por su fabricante, en realidad los repertorios de cada una son bastante parecidos y conociendo el manejo de un juego particular de instrucciones es muy fácil comprender los demás.

En la figura 19-8 se muestra una vista de una clase de microprocesadores, con diferentes modelos de microcomputadores para prácticas de los alumnos.

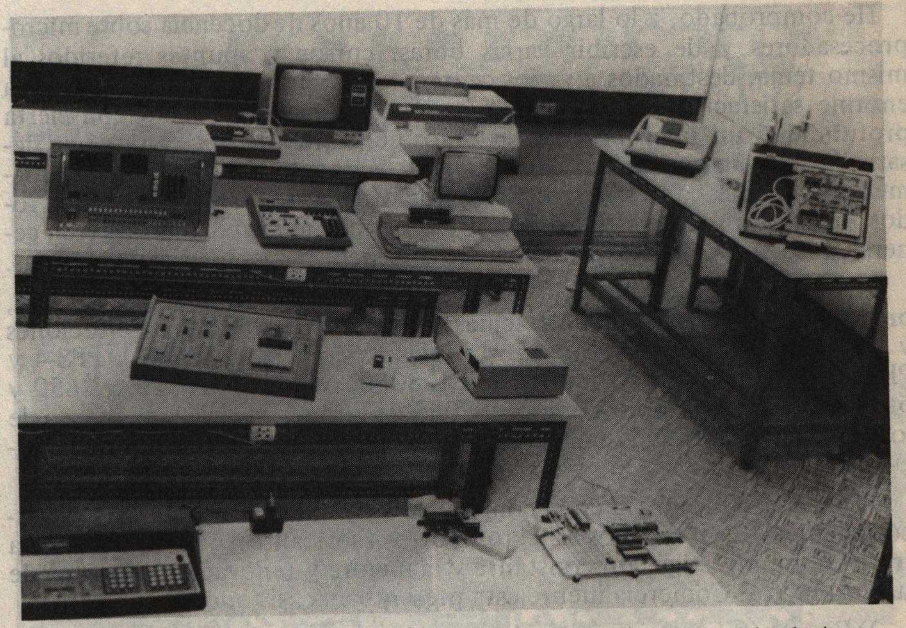


Fig. 19-8. Fotografía de una clase de microprocesadores, con diferentes modelos de sistemas de desarrollo para prácticas de los alumnos. Cortesía de ANCART, Bilbao.

LECCION 20

Arquitectura del microprocesador 8085 de «INTEL»

¿POR QUE INTEL?

He comprobado, a lo largo de más de 10 años de docencia sobre microprocesadores y de escribir varias obras, cursos y apuntes referidos al mismo tema, destinados a varios centenares de alumnos, que he tenido la enorme satisfación de tenerles en mis clases, que, conocido con cierta profundidad un microprocesador y los conceptos básicos en que se desarrolla su funcionamiento, cualquier otro modelo se comprende rápidamente y apenas con esfuerzo. Esto, por otra parte, es lógico, porque todos los microprocesadores se basan en los mismos fundamentos y en general poseen las mismas características e incluso los mismos problemas.

En otro de mis libros, (MICROPROCESADORES. Arquitectura, programación y desarrollo de sistemas), se pueden encontrar explicaciones y referencias de microprocesadores tales como el ROCKWELL PPS-4 y PPS-8, el MOTOROLA 6800, INTEL 8080, 6502, SIGNETICS 2650 y otros. Para esta obra he elegido el 8085 de la casa INTEL, que es uno de los más representativos en la actualidad de dicho fabricante, por los siguientes motivos:

1) Ser INTEL pionera en la comercialización de microprocesadores, sacó una ventaja en muchos aspectos a otros fabricantes, que la mantiene a través de su investigación constante y la mejora y renovación continua de sus productos. Comercialmente está presente en casi todo el mundo.

2) En capítulos posteriores de esta obra, que hacen referencia a aplicaciones concretas con microprocesadores, se usa con mucha frecuencia el 8085.

3) La excelente información técnica que suministra uno de sus distribuidores en España (Interface S.A.).

4) No considero a este microprocesador el más sencillo en cuanto a su hardware ni en cuanto a su software, lo que permitirá a los lectores pasar a otros modelos con gran comodidad.

5) Dispone de una extensa familia de componentes auxiliares, módulos de I/O y controladores de periféricos. También son de destacar la variedad de microcomputadores en un sólo chip que ofrece este fabricante y que se comentan posteriormente.

6) Dispone de un buen soporte de ayuda al sofware.

Obsérvese que en ninguno de los puntos indicados he dicho que este microprocesador o este fabricante sean los mejores, ni siquiera en algún aspecto particular. "No hay un microprocesador mejor que los demás". El mejor microprocesador en cada momento y en cada lugar, será el que mejor cumpla la mayoría de las especificaciones concretas del proyecto al que se le destine.

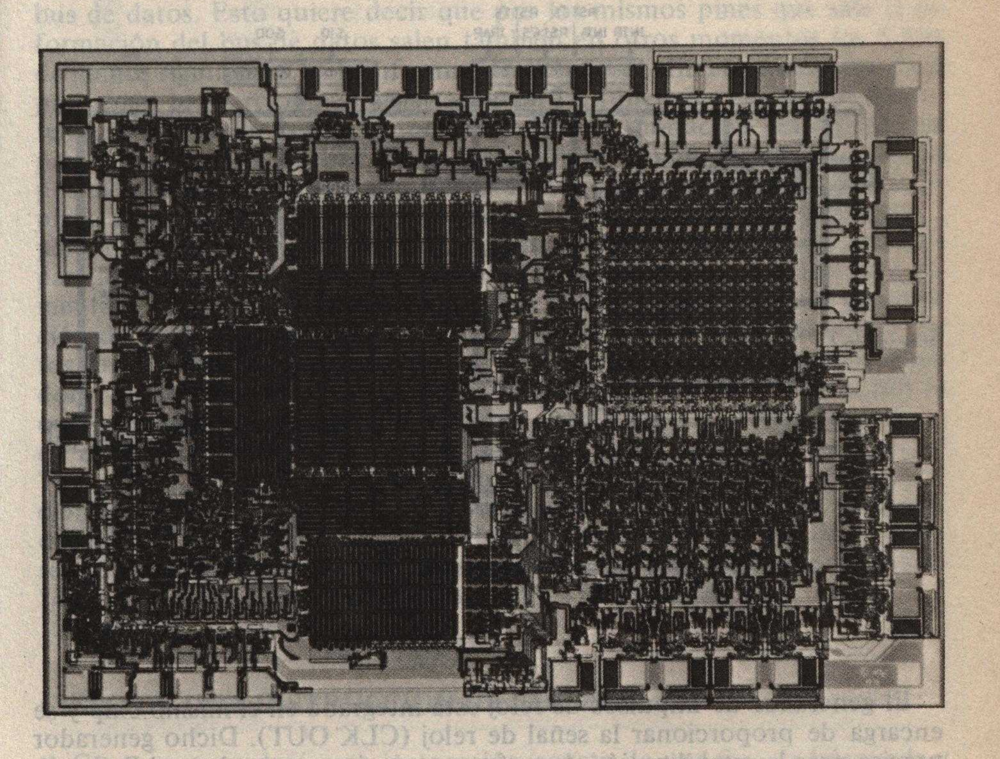


Fig. 20-1. – Microfotografía del 8085 (Cortesía de INTEL).

CARACTERISTICAS GENERALES DEL 8085

El microprocesador 8085 es una versión mejorada del 8080 del mismo fabricante, el cual procede a su vez del 8008, que INTEL introdujo en 1973 para actuar como controlador de TRC para un equipo de DATA-POINT.

De acuerdo con la arquitectura general de todo microprocesador, el 8085 dispone, como puede apreciarse en la figura 20-2, del contador de programa; buffers para la entrada y salida de información por los buses de direcciones y de datos; la ALU con el acumulador; el decodificador de instrucciones; el circuito de control y tiempos y el Stack Pointer. Además, posee tres parejas de registros de trabajo (B-C, D-E y H-L), así como un control de interrupciones y otro de entrada y salida de información en serie.

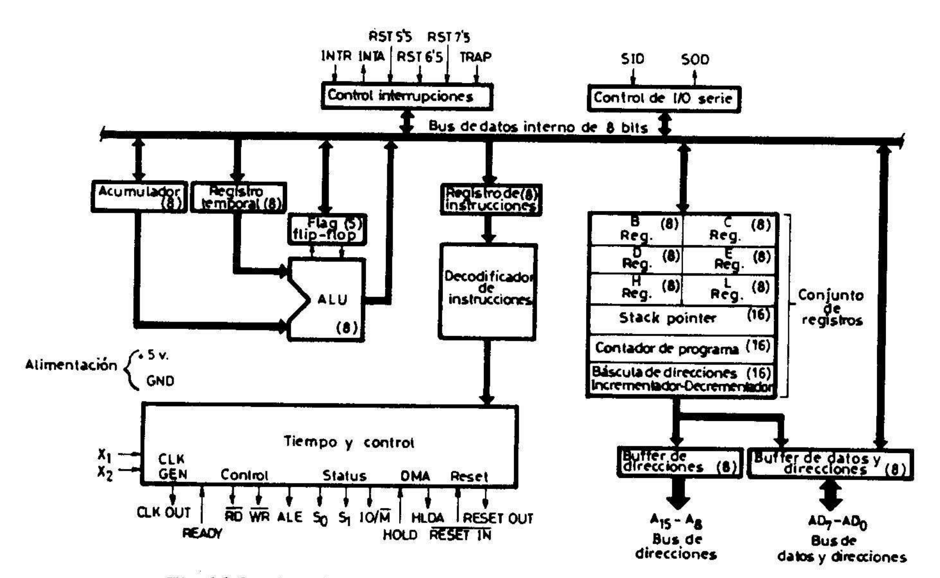


Fig. 20-2. – Arquitectura fundamental del microprocesador 8085.

El generador de impulsos de reloj está integrado en el mismo chip y se encarga de proporcionar la señal de reloj (CLK OUT). Dicho generador precisa para la estabilización de su frecuencia de un cristal o red R-C aplicada a las entradas X_1 y X_2.

El 8085 consta de tres bloques fundamentales.

1.º) Conjunto de registros, formado por el Contador de Programa (16 bits), el Stack Pointer (16) y las tres parejas de registros de 8 bits cada uno, junto con la báscula que incrementa o decrementa el contenido de todos estos registros.

2.º) La ALU, en combinación con el acumulador y un registro temporal, así como los 5 bits que actúan como flags o señalizadores de estado.

3.º) El Registro de Instrucciones, combinado con el decodificador de instrucciones y el circuito de control y tiempos.

El control de las interrupciones y el de la información de Entrada /Salida en serie se pueden considerar elementos auxiliares.

Una característica muy peculiar del 8085 la constituye el multiplexado de los 8 bits de menos peso del bus de direcciones con los 8 bits del bus de datos. Esto quiere decir que por los mismos pines que sale la información del bus de datos salen también en otros momentos los 8 bits de menos significado de la información del bus de direccionamiento. Esta propiedad proporciona 8 pines más para las funciones de control del sistema. Este detalle es muy importante dada la limitación del número de pines que tienen los fabricantes. Dicha limitación impide el aumento del posible control de la CPU, ya que si se destinan con carácter general 16 pines al bus de direcciones, 8 al bus de datos, 2 para la alimentación y 2 para el control del generador de reloj interno, sólo quedan libres 12 pines para las funciones de control, interrupciones, sincronización, etc. Para aumentar esta potencia el 8080 multiplexa en el bus de datos la información de su estado interno y el 8085 multiplexa también en el bus de datos los 8 bits de menos peso del bus de direcciones. En los microprocesadores de 16 bits la limitación de patillas se hace aún más crítica, por lo que a veces su empleo resulta lento y complicado. Una solución consiste en encapsular al microprocesador en una pastilla de más pines como el Texas TMS 9900, de 64 pines. Otra solución consiste en la implementación en el mismo chip de la CPU, la memoria y las I/O (microcomputador monopastilla), con lo que la interconexión del bus de datos y direcciones es interna, saliendo al exterior casi exclusivamente las líneas de I/O, como sucede con los modelos 8048 y 8748 de INTEL.

CICLO DE UNA INSTRUCCION DE EL 8085

Como se recordará, una instrucción consta de una fase de búsqueda y otra de ejecución.

Fig. 20-3.–Flujo de información en la fase de búsqueda de la instrucción MVI OD.

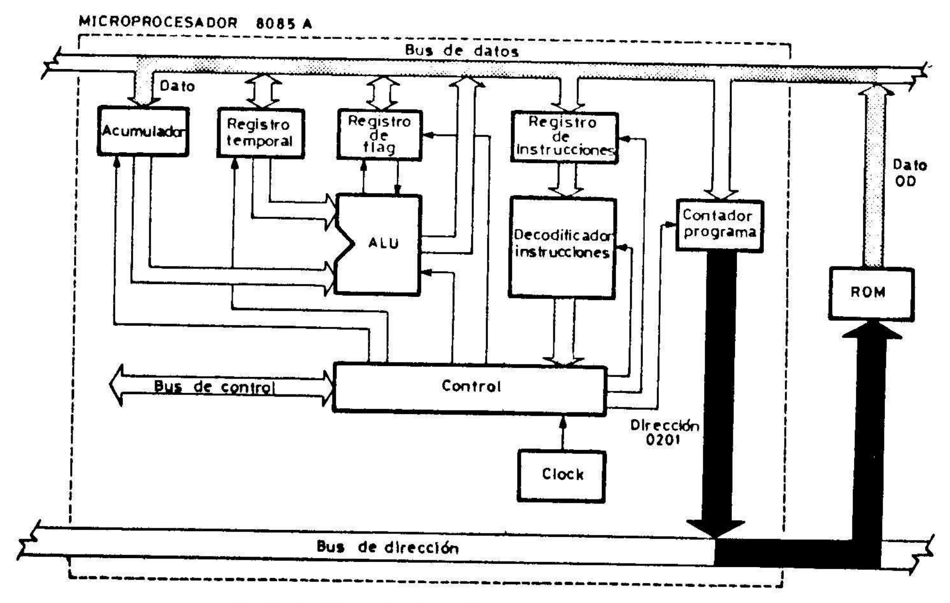


Fig. 20-4.–Fase de ejecución de la instrucción MVI OD.

La figura 20-3 muestra el flujo de la información para llevar a cabo la fase de búsqueda de una instrucción MVI ϕD, situada en la posición de memoria ϕ2ϕϕ y con la cual se pretende cargar el dato ϕD en el acumulador, el cual reside en la posición ϕ2ϕ1. La dirección parte del contador de programa y se dirige a la memoria por el bus de direcciones. El contenido de la posición 0200, que es el código OP de la instrucción MVI (3E), se traslada por el bus de datos hasta el registro de instrucciones, donde se deposita, y se da por completada la fase de búsqueda.

Al iniciarse la fase de ejecución, el código OP depositado en el registro de instrucciones se transfiere al decodificador de instrucciones y tras su interpretación se producen en el circuito de control las señales necesarias (microinstrucciones) para depositar en el acumulador el contenido de la posición 0201 (OD) (figura 20-4).

DIAGRAMA DE CONEXIONADO DEL 8085

Un análisis detallado del cometido de cada uno de los 40 pines de que dispone el microprocesador 8085 y que se ofrecen en la figura 20-5 de forma simplificada y puntual, proporcionará un conocimiento más profundo del comportamiento del chip y constituirá una importante ayuda al efectuar su conexionado con los restantes componentes del sistema.

Pines 21 al 28 (A8, A9, ...A15): Corresponden a los 8 bits de más peso del bus de direccionamiento.

Pines 12 al 19 (ADO, ADI, ...AD7): Corresponden a las 8 líneas del bus de datos y mediante su multiplexado a los 8 bits de menos peso del bus de direcciones. La señal ALE (activación de la báscula de direccionamiento) producida en el circuito de control, indica cuándo la información de estos 8 pines corresponde a los bits de menos peso del bus de direccionamiento.

Pin 30 (ALE): ALE: Address Latch Enable (activación de la báscula de direccionamiento). Indica cuándo la información de los pines 12 al 19 corresponde a los 8 bits de menos peso del bus de direcciones.

Pin 40 (V_{cc}): Entrada de la tensión de alimentación de 5 V. Polo positivo.

Pin 20 (V_{ss}): Entrada del polo negativo o masa de la alimentación.

Pines 1 y 2 (Cristal o red R-C): Conexión para el circuito externo que estabiliza la frecuencia del generador interno de reloj. Dicho circuito puede estar formado por un cristal o una red R-C.

Pin 37 (CLK OUT): Salida de la señal de reloj generada internamente.

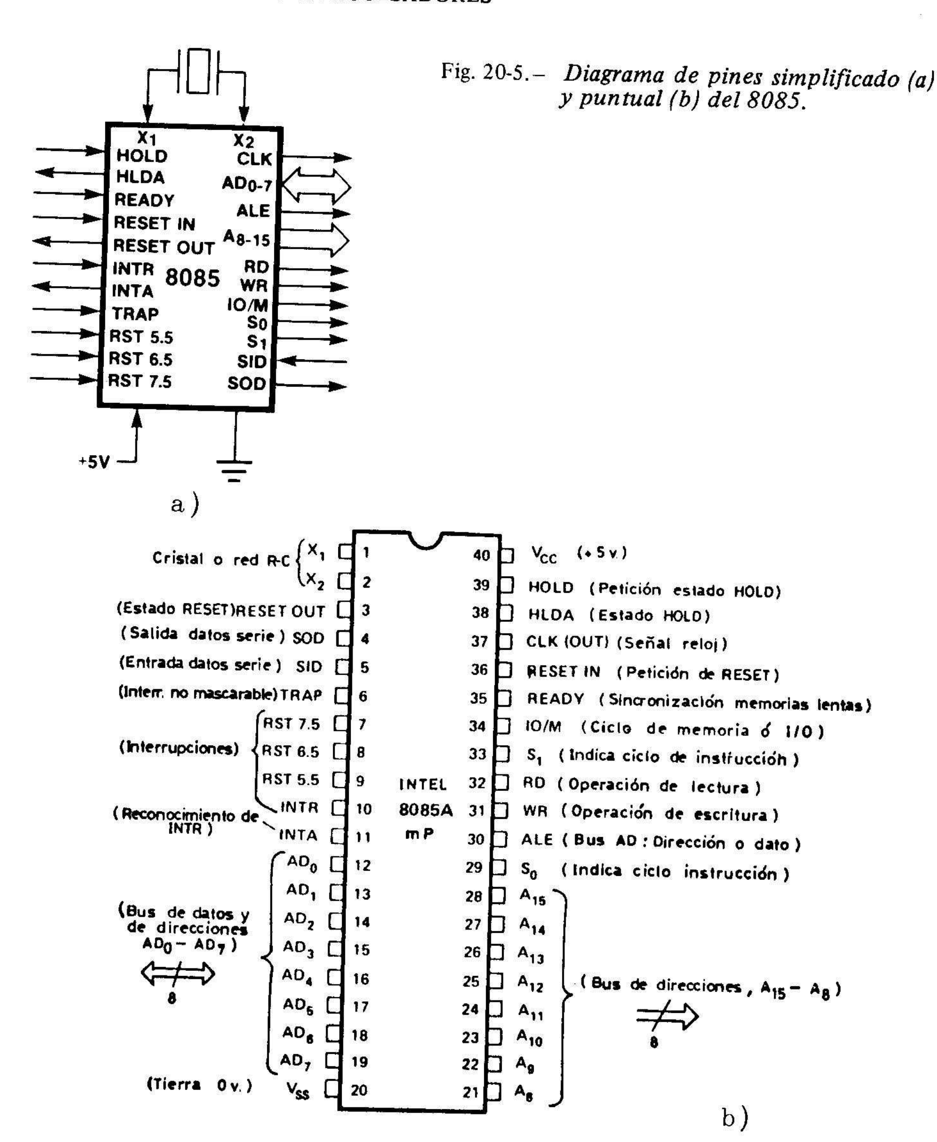


Fig. 20-5.– *Diagrama de pines simplificado (a) y puntual (b) del 8085.*

Pines 4 y 5 (SOD y SID): Salida y entrada de datos en serie.

Pin 36 (RESET IN): Petición de RESET. Con objeto de evitar la indeterminación de los contenidos de los registros más importantes de la CPU. Al activarse esta línea con nivel cero, el contador de programa parte

de la dirección cero, desde la que se debe preveer el estado de inicialización del sistema. También quedan a cero los restantes registros y se desactiva el sistema de interrupciones.

Pin 3 (RESET OUT): Se trata de una señal de reconocimiento del estado RESET.

Pin 39 (HOLD): Petición del estado HOLD. Se emplea para permitir operaciones de acceso directo a memoria, cediendo la CPU el control de los buses de direcciones y datos (estado de alta impedancia) a un elemento exterior (DMA).

Pin 38 (HOLDA): Indica la entrada del microprocesador en el estado HOLD. Se trata de una señal de reconocimiento.

Pin 35 (READY): Sirve para sincronizar la CPU con los dispositivos de memorias cuyos tiempos de acceso sean superiores a los de trabajo del sistema.

Pin 34 (IO /M): Sirve para informar si se está realizando un ciclo de memoria o de I/O.

Pines 33 y 29 (S1 y SO): Sirven para informar del tipo de ciclo de instrucción que se está realizando. Más adelante se ampliarán detalles.

Pin 32 (RD): Informa que se está realizando una operación de lectura.

Pin 31 (WR): Informa que se está realizando una operación de escritura.

Pines 6, 7, 8, 9, 10, y 11 (TRAP, RST 7.5, RST 6.5, RST 5.5, INRT e INTA): Todos ellos se emplean para la petición de interrupciones, a excepción del último, que informa del reconocimiento de la interrupción INTR.

En general, las interrupciones se tratan de forma similar a las subrutinas. Cuando se producen, el Stack Pointer guarda la dirección de retorno y el PC salta a una dirección determinada ("vector de interrupción"), donde se suele colocar una instrucción de salto a la dirección de inicio del programa que atiende a dicha interrupción.

De acuerdo con el orden de prioridad se describen en forma resumida las 5 interrupciones posibles:

TRAP: Provoca una interrupción "no enmascarable", pasando la CPU a atender una subrutina vectorizada en la posición de memoria 24_{16}. Esta línea es activada tanto por flanco como por nivel. Dado el carácter de máxima prioridad de esta interrupción, se suele usar para atender causas catastróficas, como el fallo de la alimentación, que origina en muchos casos la carga de los datos desde la memoria RAM a otra memoria no volátil (de burbujas, de ferrita, etc.).

RST 7.5: Se activa por flanco, pasando el contador de programa a la dirección vectorizada en la posición $3C_{16}$. Puede enmascararse poniendo un nivel cero en el bit adecuado, usando la instrucción SIM.

RST 6.5. y RST 5.5: Se activan por nivel 1, el cual debe mantenerse hasta que se atienda la petición de interrupción. Estas dos interrupciones funcionan igual que la TRAP, pero estando vectorizadas en las posiciones 34_{16} y $2C_{16}$ y siendo enmascarables mediante los bits adecuados.

INTR: Ejecuta la instrucción que entra a la CPU por el bus AD (datos) mediante hardware externo. Forma un segundo grupo de interrupciones al emplear las instrucciones RST 1, 2, 3, 4, 5, 6, y 7. INTA es la señal de reconocimiento. En realidad la instrucción RESTART (RST) se creó para potenciar esta línea de interrupción, la cual con sólo un byte salta a una de las 8 posiciones especiales de la memoria (0, 8, 16, 24, 32...54), de acuerdo con el código de 3 de sus bits.

Las instrucciones de RESTART pueden producir interrupciones por software, pero al activar este pin INTR del 8085, si se introduce por el bus de datos el código de una instrucción RST, la interrupción se produce por hardware.

MULTIPLEXADO DEL BUS DE DATOS

Al describir el diagrama de pines de 8085 se analizó la compartición de las 8 líneas del bus de datos con las 8 del bus de direciones que contienen los bits de menos peso. Esta técnica reduce el número de pines necesario para formar la dirección, lo que permite aumentar el control de las transferencias del microprocesador.

El pin 30 del 8085 (ALE) informa cuándo las líneas del bus de datos contienen información correspondiente al bus de direcciones. En la figura 20-6 se presenta el esquema adoptado por el microcomputador de Hewlett Packard 5036 para resolver el problema del multiplexado expuesto. La báscula cerrojo de 8 bits constituida por el circuito integrado 74LS374 dispone de salidas triestado y se encarga de sacar por ellas la información del bus de datos cuando se produce el flanco negativo de la señal ALE, razón por la que se requiere un inversor previo a la entrada de CLK de la báscula. Simultáneamente, el buffer triestado 8lLS95 proporciona directamente la información de su estado, o sea, los 8 bits de más peso de la dirección.

La figura 20-7 muestra el diagrama de tiempos del bus de direcciones y las señales auxiliares más representativas. Al principio de cada ciclo de memoria las líneas A8-A15 contienen siempre el byte de más peso de la

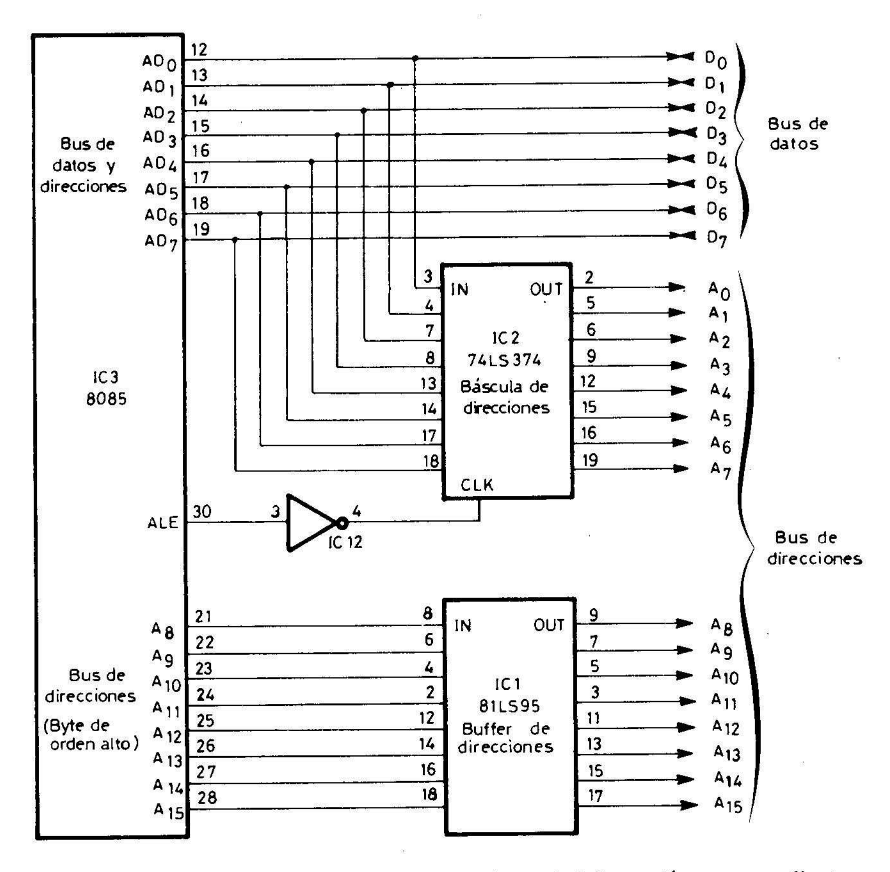


Fig. 20-6. – **Demultiplexado del bus de datos para obtener la información correspondiente al bus de direcciones.**

dirección y se coloca en el bus de datos/direcciones el byte de menos peso. El flanco negativo de ALE indica que está presente la dirección y produce el demultiplexado activando la báscula 74LS374, que almacena el byte de menos peso de la dirección.

Si se está efectuando una operación de lectura, el microprocesador genera la señal READ y el elemento de memoria o de I/O seleccionado coloca en el bus de datos/direcciones.

Si se trata de un ciclo de escritura, el microprocesador genera una señal WRITE y en su flanco positivo la posición de memoria direccionada almacena el dato desde el bus.

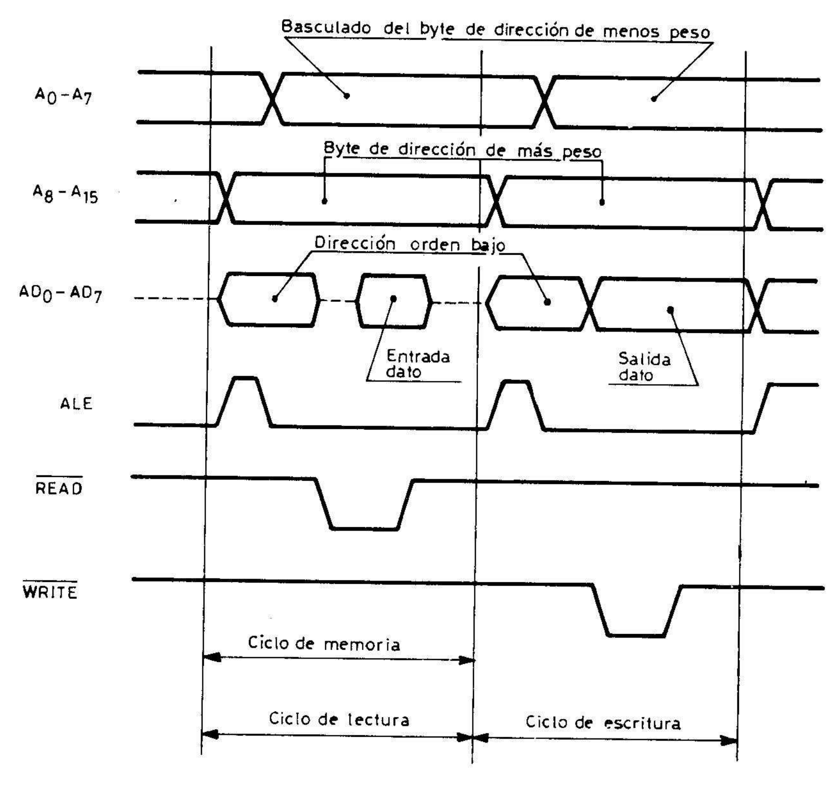


Fig. 20-7. – Diagrama de tiempos del bus de direcciones.

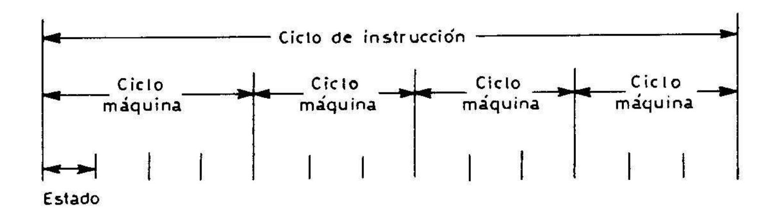
El ahorro de 7 pines en el 8085 ha impulsado al fabricante a construir elementos auxiliares acoplables al mismo, para formar sistemas específicos para este microprocesador. Los chips a los que se hace referencia poseen 8 pines para datos/direcciones y una báscula de multiplexado interna.

DIAGRAMAS DE TIEMPO

Aunque ya se han presentado los diagramas de tiempo correspondientes al demultiplexado de los 8 bits de menos peso de la dirección, en este apartado se amplían algunos conceptos de interés en la transición de estados y transferencia de la información a lo largo del tiempo.

La figura 20-8 muestra el diagrama de tiempos de una instrucción cualquiera, con indicación de la única señal de reloj que posee el 8085. La unidad básica de tiempo es el "estado", que es un ciclo de reloj (clock). Un ciclo de máquina consta de 3 a 6 estados. Las operaciones más sencillas requieren sólo un ciclo de máquina. El "ciclo de instrucción" es el tiempo requerido para ejecutar una instrucción completa y puede constar de 1 a 5 ciclos de máquina.

Clock



Nota: Se trata de un típico ciclo de instrucción ; hay muchas variaciones.
Un ciclo de instrucción puede contener de 1 a 5 ciclos. máquina.
Un ciclo de máquina puede contener de 3 a 6 estados.

Fig. 20-8. – Partes fundamentales de un ciclo de instrucción.

Si, por ejemplo, la frecuencia de trabajo del microprocesador es de 2 MHz, el ciclo de reloj tendrá una duración de 500 ns, por cuanto la instrucción más rápida, al constar de 4 ciclos, será de 500 x 4 = 2.000 ns y la más lenta, de 18 ciclos, será de 18 x 500 = 9.000 ns. Normalmente, el tiempo de ciclo en el microprocesador 8080 es de 2 μs; en el 8085, de 1,3 μs y en el 8048 de 2,5 μs.

Los 6 estados que admite el 8085 se marcan de Tl a T6. Durante Tl la CPU envía desde PC una dirección por el bus correspondiente, para lo cual también ha de participar la línea ALE, que informa sobre el demultiplexado del bus de datos. Durante este estado la CPU informa del tipo de ciclo que se va a realizar, mediante las líneas IO/M, SO y S1, de acuerdo con la tabla de figura 20-9.

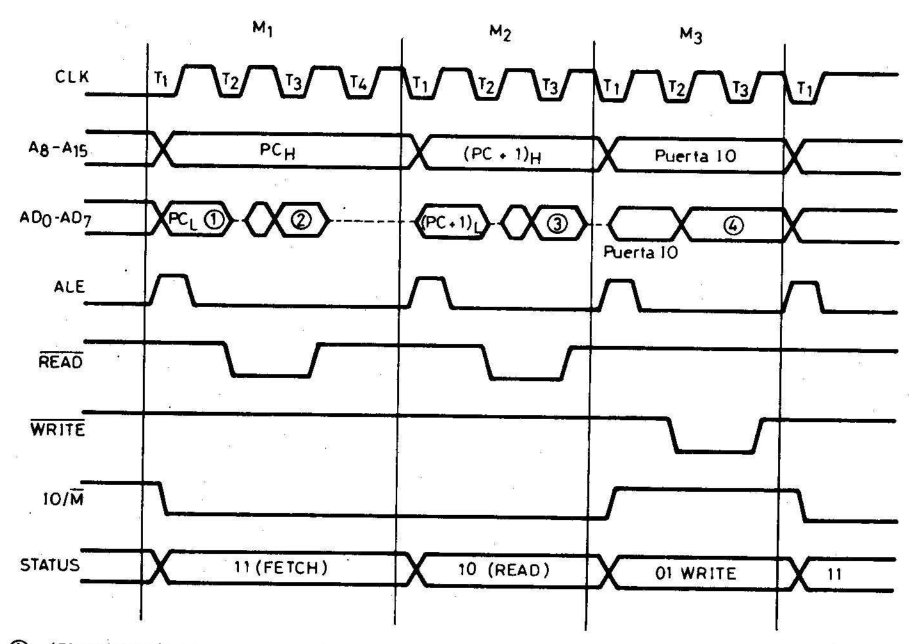
En el estado T2 el bus AD pasa a contener el dato de la información bien de lectura o de escritura. También durante este estado se comprueba el nivel de la línea READY, según el cual la CPU entra o no en un estado de espera (WAIT).

Tipo de ciclo	IO/$\overline{M}$	S0	S1
Búsqueda	0	1	1
Lectura memoria	0	1	0
Escritura memoria	0	0	1
Interrupción	0	1	1
Entrada	1	1	0
Salida	1	0	1
Bus vacío	X	X	X

Fig. 20-9.– Tabla para reconocimiento de ciclo que informa la CPU durante el estado T1.

En el estado T3 la CPU comprueba el estado de la línea HOLD.

Finalmente, durante T4, T5 y T6 la CPU se dedica a desarrollar las operaciones internas, de acuerdo con el tipo de instrucción que se ejecuta.



① (Direccionamiento menos peso)

② Dato desde memoria (Instrucción)

③ Dato desde memoria (Dirección puerta I/O)

④ Dato a memoria o periférico

Fig. 20-10.– Diagrama de tiempos de las fases de búsqueda y ejecución de la instrucción OUT en el 8085.

La figura 20-10 muestra un diagrama completo de las fases de búsqueda y ejecución de una instrucción OUT en el 8085.

En el primer ciclo de máquina, Ml se busca el código OP en le memoria. En M2 el 2.° byte de la instrucción (la dirección de la puerta) es leído desde la memoria. En M3 se ejecuta la instrucción: el dato escrito en la puerta de salida.

La fase de búsqueda realizada durante el ciclo de máquina Ml es común a todas las intrucciones del repertorio y consta de los siguientes estados internos:

T1: El contenido del contador de programa, PC, pasa al bus de direcciones.

T2: El PC se incrementa, mientras en la memoria se realiza la decodificación de la dirección antes suministrada.

T3: El contenido de la posición de memoria direccionada se coloca en el bus de datos e instrucciones y se dirige al registro de instrucciones.

T4 y a veces T5: Se decodifica la instrucción para su posterior ejecución.

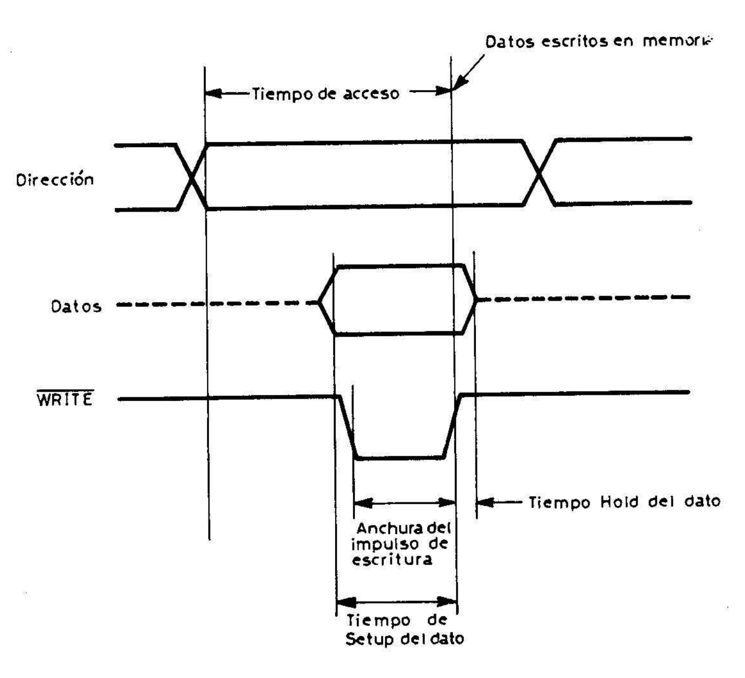


Fig. 20-11.–Diagrama de tiempos de una operación de escritura.

La figura 20-11 ofrece el diagrama de tiempos de una operación de escritura. La dirección debe estar presente en el bus correspondiente durante un tiempo previo, llamado "tiempo de acceso", que permite al decodificador interno de la memoria seleccionar la posición direccionada. El dato debe ser estable durante el período de tiempo adicional, denominado "tiempo de set-up" (preparación), antes de efectuar la escritura. Así mismo, el dato debe permanecer estable cierto tiempo después de producir el impulso de escritura. Dicho tiempo se llama "tiempo hold" (de espera). El impulso de escritura debe ser de duración mínima.

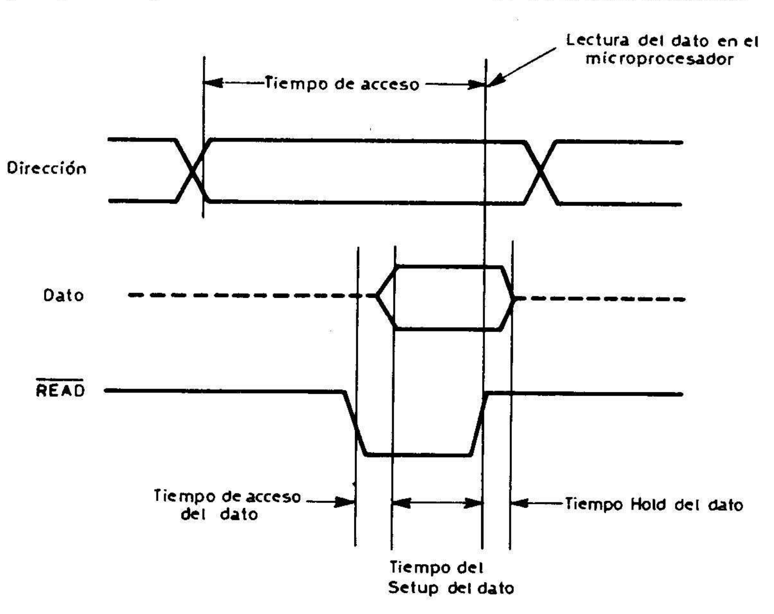


Fig. 20-12.–Lectura de un dato de la memoria.

En la figura 20-12 se ofrece el diagrama de tiempos de una operación de lectura. Al igual que en la operación de escritura, la dirección debe ser estable un tiempo previo para permitir la decodificación. Entonces se genera el impulso de lectura $\overline{READ}$ y tras un tiempo denominado "de acceso de datos" la memoria coloca el dato seleccionado en el bus de datos. Este dato ha de ser estable un tiempo de set-up antes de producirse el flanco positivo de $\overline{READ}$ que es cuando el dato es leído por la CPU. Por último, el dato debe permanecer un tiempo hold antes de completar la operación de lectura.

LECCION 21

Repertorio de instrucciones del 8085

MODOS DE DIRECCIONAMIENTO DEL 8085

El microprocesador 8085 dispone de un juego de 71 instrucciones diferentes, frente a las 69 del 8080. Sin embargo, cada instrucción puede admitir varios códigos de operación, según el tipo de direccionamiento que utilice de los 4 posibles que se citan a continuación.

1.º) *Direccionamiento inmediato.*–El byte posterior al del código OP de la instrucción es el operando. La instrucción completa consta de 2 bytes.

2.º) *Direccionamiento directo.*–Los dos bytes posteriores al del código OP de la instrucción indica la dirección de la memoria que contiene el operando.

3.º) *Direccionamiento por registro.*–Uno o dos registros (B, C, E, H, o L) contienen el operando.

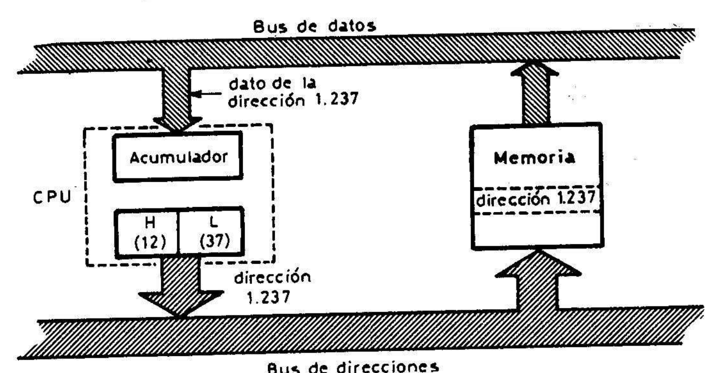


Fig. 21-1.–Ejemplo de una instrucción de transferencia entre una posición de memoria y el acumulador, empleando "direccionamiento indirecto".

4.º) *Direccionamiento por par de resgistros indirecto.*—Una pareja de registros (B-C, D-E, o H-L) contienen la dirección de la memoria en la que está almacenado el operando. Así, por ejemplo, en una instrucción de transferencia (MOV) se lleva el contenido de M (dirección de memoria seleccionada por la pareja de registros H-L) al acumulador. En la figura 21-1 se indica el movimiento de la información en este tipo de instrucción que usa direccionamiento indirecto.

Es de destacar la importancia del banco de registros de la CPU del 8085 sobre el repertorio de instrucciones. El conjunto de registros de trabajo, dibujados en la figura 21-2 son de propósito general y pueden servir para almacenar temporalmente un dato, o para guardar una dirección de memoria.

B (8)	C (8)
D (8)	E (8)
H (8)	L (8)
STACK POINTER (16)	

Fig. 21-2.—Conjunto de registros de trabajo del 8085.

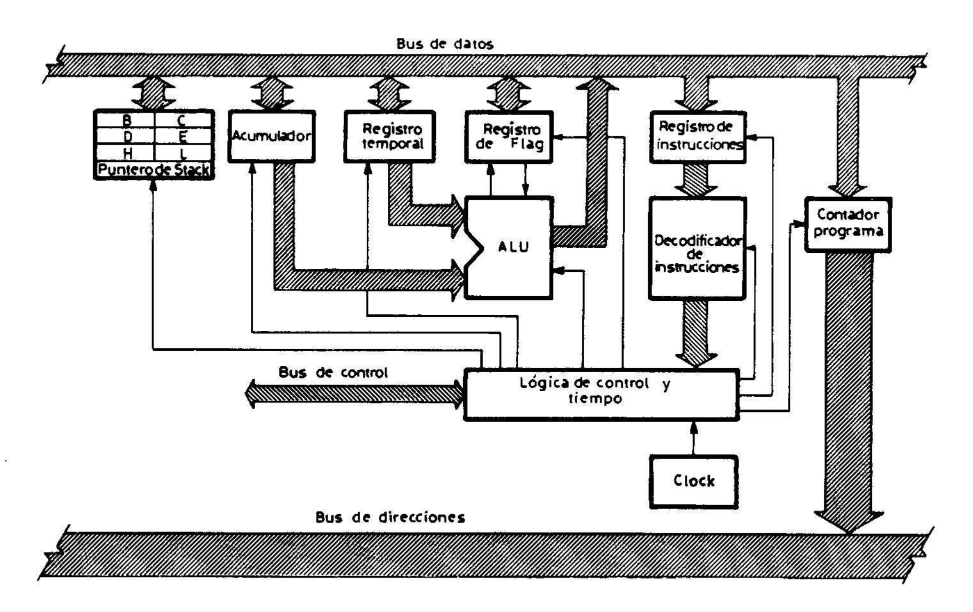


Fig. 21-3.—Interrelación del juego de registros con los restantes bloques del 8085.

Un grupo impotante de instrucciones se forman en dependencia con el banco de registros. Así, por ejemplo, la instrucción MVI sirve para cargar mediante direccionamiento inmediato el byte que acompaña al código OP en cualquiera de los registros de la figura 21-2, así como en el acumulador. Ejemplo, MVI, en donde representa alguno de los registros A, B, C, D, E, H, o L.

Otro tipo de instrucciones responde al formato MOV r_1, r_2, en donde el contenido del registro fuente r_2 se traslada al registro destino r_1.

La instrucción INR incrementa el contenido del registro que se indique y la instrucción DCR lo decrementa.

Para apreciar las posibilidades de trabajo del conjunto de registros y su interrelación con los restantes bloques de la CPU, en la figura 21-3 se ofrece un diagrama simplificado.

DESCRIPCION RESUMIDA DE INSTRUCCIONES

El repertorio completo de instrucciones que admite el decodificador de instrucciones del 8085 se ofrece completo en páginas posteriores de este mismo capítulo, con sus códigos correspondientes, y clasificadas según los diversos tipos de operaciones que realizan. Con objeto de facilitar la comprensión del trabajo de las instrucciones más representativas se ofrece una breve explicación de ellas.

Instrucciones de manipulación y transferencia de datos.

Una de las operaciones más comunes del microprocesador consiste en cargar el acumulador o un registro cualquiera con un dato concreto. Para esta misión se emplea la instrucción MVI, ya comentada, con la cual se carga en el registro el byte que sigue al código OP de la instrucción. Para este tipo de instrucción habrá tantos códigos OP como registros r, es decir MVI A (3E), MVI B (06), MVI C (OE), MVI D (16), MVI E (1E), MVI H (26), MVI L (2E) y MVI M (36), siendo M el contenido de la posición de memoria seleccionada por el par de registros H-L.

Otro tipo de operación muy frecuente en un microprocesador es la transferencia del contenido de un registro a otro, caso en el cual se emplea la instrucción MOV r_1, r_2, con lo que el contenido de r_2 pasa a r_1. Para la formación de los códigos de instrucciones que manejan registros, éstos disponen de unos valores codificados que se indican más adelante.

También se pueden incluir en este apartado las instrucciones de incremento, INR, decremento, DCR, y complementación del acumulador, CMA.

Instrucciones de comparación

En este grupo destaca el conjunto de instrucciones CPI, que compara el dato inmediato que se pone detrás del código OP con el valor del acumulador. Para realizar las diversas instrucciones de comparación se emplea el flag Z o cero, que se pone a 1 (set), cuando el resultado de una operación es cero.

Instrucciones de salto

La instrucción JMP provoca un salto sin tener en cuenta ninguna condición. Los dos bytes que siguen al código OP indican la dirección a la que se traslada el PC.

Existe otro tipo de instrucciones de salto condicionales, en las que para producirse el salto es preciso se cumpla un estado concreto en uno de los flags o bits señalizadores. Así por ejemplo, JZ, comprueba el flag Z y salta sólo cuando éste vale 1.

Instrucciones de tratamiento de subrutinas

Las instrucciones del tipo CALL se emplean para saltar a la dirección de inicio de una subrutina. Dicho salto puede ser incondicional o condicional.

Las instrucciones de llamada a subrutina van completamentadas con la instrucción RET, que sirve para devolver al PC la dirección de retorno al programa principal desde la posición siguiente a la que se produjo el salto. El retorno puede ser condicional o incondicional.

Instrucciones de referencia a memoria

Las instrucciones más importates de este grupo son las del tipo LDA y STA, que transfiere el contenido del acumulador a una dirección de memoria (o puerta I/O) en el caso de STA y viceversa en el caso de LDA. Detrás del códgio OP de la instrucción siguen los dos bytes que forman la dirección de la memoria o de la puerta I/O.

Intrucciones de control de interrupciones

En este grupo se incluyen las siguientes instrucciones:

SIM: Se emplea para especificarse qué interrupción debe ser ejecutada y cual no.

RIM: Lectura del estado de interrupciones.
EI: Selecciona la interrupción a ejecutar.
DR: Inhabilita a todas las interrupciones.

Instrucciones aritmético-lógicas

Permite la realización de operaciones aritméticas de sumar y restar (ADD, ADC, SUB y DAD). También se incluyen en este grupo las instrucciones que permiten realizar operaciones lógicas (AND, OR, EOR, etcétera.).

Otras instrucciones

Destacan entre las restantes instrucciones del 8085 las que hacen referecia al Stack Pointer, bien para cargarlo o para descargarlo (PUSH y POP), las de entrada y salida de información (IN y OUT) y otras especiales como NOP (No operar) y HLT (Alto).

SIMBOLOGIA EMPLEADA EN EL JUEGO DE INSTRUCCIONES DEL 8085

r_1, r_2 y r_3: Representan uno de los registros A, B, C, D, E, H, L y M (dirección de memoria determinada por H-L). DDD: registro destino y SSS: registro fuente. De 000 a 111.

r_p: Repesenta una pareja de registros

Código: B (B-C): OO, D (D-E): Ol, H (H-L): 1O, y SP (Stack): 11

n: Representa un número del 0 al 7 que indica una de las 8 posiciones a las que salta el PC cuando se produce una instrucción RST.

Código: NNN del 000 al 111.

CCC: Indican una condición determinada por el estado de los flags.

Código: 000 : Z = 0, 001 : Z = 1, 010 : CY = 0, 011 : P = 0, 101 : P = 1, 010 : P = 1, 100 : S = 0, 111 : S = 1.

DATA: Indica una cantidad o valor de 8 bits.

ADRS: Indica una dirección de 16 bits.

Para entender la formación de los códigos OP de las instrucciones usando la simbología descrita, se exponen algunos ejemplos representativos para ciertas instrucciones, que luego se pueden verificar acudiendo al repertorio general de instrucciones.

INSTRUCCIONES DEL 8085

Nemónico	Expresión Gráfica	Código instrucción (1.º byte) OP							
		D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
MOV r_1, r_2	$r_1 \leftarrow r_2$ La información contenida en r_2 pasa al r_1	0	1	D	D	D	S	S	S
MOV r_1, dato	$r_1 \leftarrow$ dato El dato pasa a r_1	0	0	D	D	D	1	1	0
LXI rp, dato	rp $\leftarrow$ dato El dato se coloca en el par de registros rp	0	0	R	P	0	0	0	1
LDA mem.	A $\leftarrow$ men El contenido de la posición direccionada de memoria se transfiere al acumulador	0	0	1	1	1	0	1	0
STA mem.	mem $\leftarrow$ A El contenido del acumulador se guarda en una posición de memoria direccionada	0	0	1	1	0	0	1	0
LHLD mem.	HL $\leftarrow$ mem El contenido que hay en una posición de memoria se coloca en el registro L. El contenido de esa dirección + 1, en el registro H	0	0	1	0	1	0	1	0
SHLD mem.	mem $\leftarrow$ HL El contenido de los registro HL pasa a una posición de la memoria y a la siguiente	0	0	1	0	0	0	1	0

INSTRUCCIONES DEL 8085 (Continuación)

Nemónico	Expresión Gráfica	Código instrucción (1.º byte) OP							
		D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
LDAX rP	A ← rP El contenido de la posición de memoria direccionada por el par de registros rP pasa al acumulador	0	0	R	P	1	0	1	0
STAX rP	rP ← A El contenido del acumulador se guarda en la posición de memoria direccionada por un par de registros	0	0	R	P	0	0	1	0
XCHG	H ↔ D L ↔ E El contenido de los registros H y L se intercambia por el contenido de los registros D y E respectivamente	1	1	1	0	1	0	1	1
ADD, r	A ← A + r Añadir el contenido del registro r al acumulador	1	0	0	0	0	S	S	S
ADI, dato	A ← A + dato El dato ó 2.º byte se añade al acumulador	1	1	0	0	0	1	1	0
ADC, r	A ← A + r + CY Añadir el contenido del registro r y el arrastre CY al acumulador	1	0	0	0	1	S	S	S
ACI dato	A ← A + Dato + CY El dato y el arrastre se añaden al acumulador	1	1	0	0	1	1	1	0
SUB r	A ← A − r Sustraer el contenido del registro r, del acumulador	1	0	0	1	0	S	S	S
SUI dato	A ← A − dato El dato se resta del acumulador	1	1	0	1	0	1	1	0
SBBR	A ← A − r − CY Sustraer del acumulador el contenido del registro r y el arrastre	1	0	0	1	1	S	S	S

INSTRUCCIONES DEL 8085 (Continuación)

Nemónico	Expresión Gráfica	Código instrucción (1.º byte) OP							
		D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
SBI dato	A ← A − dato − CY El dato y el arrastre se restan del acumulador	1	1	0	1	1	1	1	0
INR r	r ← r + 1 Incrementar el contenido del registro r	0	0	D	D	D	1	0	0
DCR r	r ← r − 1 Decrementar el contenido del registro r	0	0	D	D	D	1	0	1
INX rP	El contenido del par de registros rp se incrementa en una unidad rp ← rp + 1	0	0	R	P	O	O	1	1
DCX rP	rp ← rp − 1 El contenido del par de registros rp se decrementa en una unidad	0	0	R	P	1	0	1	1
DAD rp	HL ← rp + HL El contenido del par de registros rp se añade al contenido del par de registros H y L. El resultado permanece en H y L	0	0	R	P	1	0	0	1
DAA	Ajuste decimal en el acumulador formando 2 dígitos de 4 bits en BCD	0	0	1	0	0	1	1	1
ANA r	A ← A ∧ r Ejecutar la intersección lógica entre el registro r y el acumulador. Operación AND	1	0	1	0	0	S	S	S
ANI dato	A ← A ∧ dato Intersección lógica entre el dato y el acumulador	1	1	1	0	0	1	1	0
XRA r	A ← A ∀ r Efectuar la operación lógica 0 - Exclusiva entre el registro r y el acumulador	1	0	1	0	1	S	S	S

INSTRUCCIONES DEL 8080 (Continuación)

Nemónico	Expresión Gráfica	Código instrucción (1.º byte) OP							
		D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
XRI dato	A ← A ∀ dato Operación 0 - Exclusiva entre el dato y el acumulador	1	1	1	0	1	1	1	0
ORA r	A ← A ∨ r Reunión lógica entre el contenido del registro r y el acumulador. El Resultado queda en el acumulador. Operación OR	1	0	1	1	0	S	S	S
ORI dato	A ← A ∨ dato Reunión lógica entre el dato y el acumulador	1	0	1	1	1	S	S	S
CMP r	A – r (resta) Compara el contenido del registro r con el acumulador. El acumulador no cambia. El flag Z = 1, si A = r. El flag CY = 1, si A< r	1	0	1	1	1	S	S	S
CPI dato	A – dato Comparación del dato con el acumulador. El acumulador no cambia	1	1	1	1	1	1	1	0
RLC	Rotación del acumulador a la izquierda $(A_{n+1}) \leftarrow (A_n)$; $(A_0) \leftarrow (A_7)$; $(CY) \leftarrow (A_7)$	0	0	0	0	0	1	1	1
RRC	Rotación del acumulador a la derecha $(A_n) \leftarrow (A_{n+1})$; $(A_7) \leftarrow (A_0)$. $(CY) \leftarrow (A_0)$	0	0	0	0	1	1	1	1
RAL	Rotación del acumulador a la izquierda a través del carry $(A_{n+1}) \leftarrow (A_n)$; $(CY) \leftarrow (A_7)$, $(A_0) \leftarrow (CY)$	0	0	0	1	0	1	1	1
RAR	Rotación del acumulador a la derecha a través del carry $(A_n) \leftarrow (A_{n+1})$; $(CY) \leftarrow (A_0)$; $(A_7) \leftarrow (CY)$	0	0	0	1	1	1	1	1

INSTRUCCIONES DEL 8085 (Continuación)

Nemónico	Expresión Gráfica	Código instrucción (1.º byte) OP							
		D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
CMA	A ← $\overline{A}$ Complementar el acumulador	0	0	1	0	1	1	1	1
CMC	CY ← $\overline{CY}$ Arrastre complementado	0	0	1	1	1	1	1	1
STC	CY ← 1 Arrastre igual a 1	0	0	1	1	0	1	1	1
JMP mem	PC ← mem El contador de programa queda cargado con la dirección de memoria dada por el 2.º y 3.º bytes	1	1	0	0	0	0	1	1
JXX mem	PC ← mem; Si CCC = 1 Depende de los flags. Salto condicional	1	1	C	C	C	0	1	0
CALL mem	SP − 1 ← PCH SP − 2 ← PCL SP ← SP − 2 PC ← mem (3.º byte, 2.º byte) Se salta incondicionalmente a la subrutina que empieza en mem, dada por el 2.º y 3.º bytes	1	1	0	0	1	1	0	1
CXX mem Condicional	Igual a CALL si ccc se cumple. Depende de los flags	1	1	C	C	C	1	0	0
RET	PCL ← SP PCH ← SP + 1 SP ← SP + 2 Vuelve incondiconalmente al programa del que se procedía	1	1	0	0	1	0	0	1
RXX	Igual a RET si CCC = 1. Depende de los flags	1	1	C	C	C	0	0	0
RST n	Salto incondicional a una subrutina cuya dirección es n. SP − 1 ← PCH SP − 2 ← PCL SP ← SP − 2 PC ← 8 *NNN	1	1	N	N	N	1	1	1

INSTRUCCIONES DEL 8085 (Continuación)

Nemónico	Expresión Gráfica	Código instrucción (1.º byte) OP							
		D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
PCHL	PC ← HL El contenido de HL, reemplaza al contenido del contador de programa	1	1	1	0	1	0	0	1
PUSH rp	SP − 1 ← rh SP − 2 ← rl SP ← SP − 2 El contenido del par de registros rp, se coloca en el stack	1	1	R	P	0	1	0	1
POP rp	rl ← SP rh ← SP + 1 SP ← SP + 2 El contenido del stack se traspasa al par de registros rp	1	1	R	P	0	0	0	1
PUSH PSW	El contenido del registro P, pasa al stack	1	1	1	1	0	1	0	1
POP PSW	El contenido del stack pasa al registro P	1	1	1	1	0	0	0	1
XTHL	L ↔ SP H ↔ SP + 1 El contenido de los registros L y H se intercambia con las 2 primeras posiciones del Stack	1	1	1	0	0	0	1	1
SPHL	SP ← HL El contenido de H y L reemplaza el contenido del puntero del stack	1	1	1	1	1	0	0	1
IN canal	A ← (datos canal) La entrada "canal", suministra sus 8 bits de información, que quedan depositados en el acumulador	1	1	0	1	1	0	1	
OUT canal	El contenido del acumulador se envía al canal de salida: (datos canal) → A	1	1	0	1	0	0	1	1

INSTRUCCIONES DEL 8085 (Continuación)

Nemónico	Expresión Gráfica	Código instrucción (1.º byte) OP							
		D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
EI	Interrupciones abiertas. El flag de interrupción pasa al estado de habilitación, permitiendo que la CPU reconozca y responda a una interrupción	1	1	1	1	1	0	1	1
DI	Interrupciones bloqueadas. El flag de interrupción pasa al estado de prohibición, con lo que la CPU ignora las interrupciones posteriores	1	1	1	1	0	0	1	1
HLT	Alto, stop. La CPU entra en un estado de parada, del que sólo puede salir a través de una interrupción	0	1	1	1	0	1	1	0
NOP	No operar. La instrucción no modifica nada en absoluto y se pasa a la siguiente	0	0	0	0	0	0	0	0
RIM	Lectura de la máscara de interrupciones	0	0	1	0	0	0	0	0
SIM	Colocación o escritura de la máscara de interrupciones	0	0	1	1	0	0	0	0

JUEGO DE INSTRUCCIONES DEL 8085 (Cortesía de INTEL)

		D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	
MOVE, LOAD, AND STORE										
MOVr1 r2	Move register to register	0	1	D	D	D	S	S	S	4
MOV M r	Move register to memory	0	1	1	1	0	S	S	S	7
MOV r M	Move memory to register	0	1	D	D	D	1	1	0	7
MVI r	Move immediate register	0	0	D	D	D	1	1	0	7
MVI M	Move immediate memory	0	0	1	1	0	1	1	0	10
LXI B	Load immediate register Pair B & C	0	0	0	0	0	0	0	1	10
LXI D	Load immediate register Pair D & E	0	0	0	1	0	0	0	1	10
LXI H	Load immediate register Pair H & L	0	0	1	0	0	0	0	1	10
LXI SP	Load immediate stack pointer	0	0	1	1	0	0	0	1	10
STAX B	Store A indirect	0	0	0	0	0	0	1	0	7
STAX D	Store A indirect	0	0	0	1	0	0	1	0	7
LDAX B	Load A indirect	0	0	0	0	1	0	1	0	7
LDAX D	Load A indirect	0	0	0	1	1	0	1	0	7
STA	Store A direct	0	0	1	1	0	0	1	0	13
LDA	Load A direct	0	0	1	1	1	0	1	0	13
SHLD	Store H & L direct	0	0	1	0	0	0	1	0	16
LHLD	Load H & L direct	0	0	1	0	1	0	1	0	16
XCHG	Exchange D & E H & L Registers	1	1	1	0	1	0	1	1	4
STACK OPS										
PUSH B	Push register Pair B & C on stack	1	1	0	0	0	1	0	1	12
PUSH D	Push register Pair D & E on stack	1	1	0	1	0	1	0	1	12
PUSH H	Push register Pair H & L on stack	1	1	1	0	0	1	0	1	12
PUSH PSW	Push A and Flags on stack	1	1	1	1	0	1	0	1	12
POP B	Pop register Pair B & C off stack	1	1	0	0	0	0	0	1	10
POP D	Pop register Pair D & E off stack	1	1	0	1	0	0	0	1	10
POP H	Pop register Pair H & L off stack	1	1	1	0	0	0	0	1	10
POP PSW	Pop A and Flags off stack	1	1	1	1	0	0	0	1	10
XTHL	Exchange top of stack H & L	1	1	1	0	0	0	1	1	16
SPHL	H & L to stack pointer	1	1	1	1	1	0	0	1	6
JUMP										
JMP	Jump unconditional	1	1	0	0	0	0	1	1	10
JC	Jump on carry	1	1	0	1	1	0	1	0	7/10
JNC	Jump on no carry	1	1	0	1	0	0	1	0	7/10
JZ	Jump on zero	1	1	0	0	1	0	1	0	7/10
JNZ	Jump on no zero	1	1	0	0	0	0	1	0	7/10
JP	Jump on positive	1	1	1	1	0	0	1	0	7/10
JM	Jump on minus	1	1	1	1	1	0	1	0	7/10
JPE	Jump on parity even	1	1	1	0	1	0	1	0	7/10
JPO	Jump on parity odd	1	1	1	0	0	0	1	0	7/10
PCHL	H & L to program counter	1	1	1	0	1	0	0	1	6
CALL										
CALL	Call unconditional	1	1	0	0	1	1	0	1	18
CC	Call on carry	1	1	0	1	1	1	0	0	9/18
CNC	Call on no carry	1	1	0	1	0	1	0	0	9/18
CZ	Call on zero	1	1	0	0	1	1	0	0	9/18
CNZ	Call on no zero	1	1	0	0	0	1	0	0	9/18
CP	Call on positive	1	1	1	1	0	1	0	0	9/18
CM	Call on minus	1	1	1	1	1	1	0	0	9/18
CPE	Call on parity even	1	1	1	0	1	1	0	0	9/18
CPO	Call on parity odd	1	1	1	0	0	1	0	0	9/18
RETURN										
RET	Return	1	1	0	0	1	0	0	1	10
RC	Return on carry	1	1	0	1	1	0	0	0	6/12
RNC	Return on no carry	1	1	0	1	0	0	0	0	6/12
RZ	Return on zero	1	1	0	0	1	0	0	0	6/12
RNZ	Return on no zero	1	1	0	0	0	0	0	0	6/12
RP	Return on positive	1	1	1	1	0	0	0	0	6/12
RM	Return on minus	1	1	1	1	1	0	0	0	6/12
RPE	Return on parity even	1	1	1	0	1	0	0	0	6/12
RPO	Return on parity odd	1	1	1	0	0	0	0	0	6/12
RESTART										
RST	Restart	1	1	A	A	A	1	1	1	12
INPUT/OUTPUT										
IN	Input	1	1	0	1	1	0	1	1	10
OUT	Output	1	1	0	1	0	0	1	1	10
INCREMENT AND DECREMENT										
INR r	Increment register	0	0	D	D	D	1	0	0	4
DCR r	Decrement register	0	0	D	D	D	1	0	1	4
INR M	Increment memory	0	0	1	1	0	1	0	0	10
DCR M	Decrement memory	0	0	1	1	0	1	0	1	10
INX B	Increment B & C registers	0	0	0	0	0	0	1	1	6
INX D	Increment D & E registers	0	0	0	1	0	0	1	1	6
INX H	Increment H & L registers	0	0	1	0	0	0	1	1	6
INX SP	Increment stack pointer	0	0	1	1	0	0	1	1	6
DCX B	Decrement B & C	0	0	0	0	1	0	1	1	6
DCX D	Decrement D & E	0	0	0	1	1	0	1	1	6
DCX H	Decrement H & L	0	0	1	0	1	0	1	1	6
DCX SP	Decrement stack pointer	0	0	1	1	1	0	1	1	6
ADD										
ADD r	Add register to A	1	0	0	0	0	S	S	S	4
ADC r	Add register to A with carry	1	0	0	0	1	S	S	S	4
ADD M	Add memory to A	1	0	0	0	0	1	1	0	7
ADC M	Add memory to A with carry	1	0	0	0	1	1	1	0	7
ADI	Add immediate to A	1	1	0	0	0	1	1	0	7
ACI	Add immediate to A with carry	1	1	0	0	1	1	1	0	7
DAD B	Add B & C to H & L	0	0	0	0	1	0	0	1	10
DAD D	Add D & E to H & L	0	0	0	1	1	0	0	1	10
DAD H	Add H & L to H & L	0	0	1	0	1	0	0	1	10
DAD SP	Add stack pointer to H & L	0	0	1	1	1	0	0	1	10
SUBTRACT										
SUB r	Subtract register from A	1	0	0	1	0	S	S	S	4
SBB r	Subtract register from A with borrow	1	0	0	1	1	S	S	S	4
SUB M	Subtract memory from A	1	0	0	1	0	1	1	0	7
SBB M	Subtract memory from A with borrow	1	0	0	1	1	1	1	0	7
SUI	Subtract immediate from A	1	1	0	1	0	1	1	0	7
SBI	Subtract immediate from A with borrow	1	1	0	1	1	1	1	0	7
LOGICAL										
ANA r	And register with A	1	0	1	0	0	S	S	S	4

INSTRUCCIONES DEL 8085 (Continuación)

		D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	
XRA r	Exclusive Or register with A	1	0	1	0	1	S	S	S	4
ORA r	Or register with A	1	0	1	1	0	S	S	S	4
CMP r	Compare register with A	1	0	1	1	1	S	S	S	4
ANA M	And memory with A	1	0	1	0	0	1	1	0	7
XRA M	Exclusive Or memory with A	1	0	1	0	1	1	1	0	7
ORA M	Or memory with A	1	0	1	1	0	1	1	0	7
CMP M	Compare memory with A	1	0	1	1	1	1	1	0	7
ANI	And immediate with A	1	1	1	0	0	1	1	0	7
XRI	Exclusive Or immediate with A	1	1	1	0	1	1	1	0	7
ORI	Or immediate with A	1	1	1	1	0	1	1	0	7
CPI	Compare immediate with A	1	1	1	1	1	1	1	0	7
ROTATE										
RLC	Rotate A left	0	0	0	0	0	1	1	1	4
RRC	Rotate A right	0	0	0	0	1	1	1	1	4
RAL	Rotate A left through carry	0	0	0	1	0	1	1	1	4
RAR	Rotate A right through carry	0	0	0	1	1	1	1	1	4
SPECIALS										
CMA	Complement A	0	0	1	0	1	1	1	1	4
STC	Set carry	0	0	1	1	0	1	1	1	4
CMC	Complement carry	0	0	1	1	1	1	1	1	4
DAA	Decimal adjust A	0	0	1	0	0	1	1	1	4
CONTROL										
EI	Enable Interrupts	1	1	1	1	1	0	1	1	4
DI	Disable Interrupt	1	1	1	1	0	0	1	1	4
NOP	No operation	0	0	0	0	0	0	0	0	4
HLT	Halt	0	1	1	1	0	1	1	0	5
NEW 8085 INSTRUCTIONS										
RIM	Read Interrupt Mask	0	0	1	0	0	0	0	0	4
SIM	Set Interrupt Mask	0	0	1	1	0	0	0	0	4

Notas:

(1) DDS ó SSS: B = 000; C = 001; D = 010; E = 011; H = 100; L = = 101; M = 101 y A = 111.

(2) Cuando se indican dos posibles números de ciclos, depende de si se cumple o no la condición de los flags.

JUEGO DE INSTRUCCIONES DEL 8085 POR GRUPOS DE INSTRUCCIONES Y POR ORDEN DE SUS CODIGOS DE OPERACION

DATA TRANSFER GROUP

Move

MOV	A,A	7F
	A,B	78
	A,C	79
	A,D	7A
	A,E	7B
	A,H	7C
	A,L	7D
	A,M	7E
MOV	B,A	47
	B,B	40
	B,C	41
	B,D	42
	B,E	43
	B,H	44
	B,L	45
	B,M	46
MOV	C,A	4F
	C,B	48
	C,C	49
	C,D	4A
	C,E	4B
	C,H	4C
	C,L	4D
	C,M	4E
MOV	D,A	57
	D,B	50
	D,C	51
	D,D	52
	D,E	53
	D,H	54
	D,L	55
	D,M	56

Move (cont)

MOV	E,A	5F
	E,B	58
	E,C	59
	E,D	5A
	E,E	5B
	E,H	5C
	E,L	5D
	E,M	5E
MOV	H,A	67
	H,B	60
	H,C	61
	H,D	62
	H,E	63
	H,H	64
	H,L	65
	H,M	66
MOV	L,A	6F
	L,B	68
	L,C	69
	L,D	6A
	L,E	6B
	L,H	6C
	L,L	6D
	L,M	6E
MOV	M,A	77
	M,B	70
	M,C	71
	M,D	72
	M,E	73
	M,H	74
	M,L	75

XCHG EB

Move Immediate

MVI	A, byte	3E
	B, byte	06
	C, byte	0E
	D, byte	16
	E, byte	1E
	H, byte	26
	L, byte	2E
	M, byte	36

Load Immediate

LXI	B, dble	01
	D, dble	11
	H, dble	21
	SP, dble	31

Load/Store

LDAX B	0A
LDAX D	1A
LHLD adr	2A
LDA adr	3A
STAX B	02
STAX D	12
SHLD adr	22
STA adr	32

byte - constant or logical arithmetic expression that evaluates to an 8-bit data quantity (Second byte of 2-byte instructions)

dble - constant or logical arithmetic expression that evaluates to a 16-bit data quantity (Second and Third bytes of 3-byte instructions)

adr - 16-bit address (Second and Third bytes of 3-byte instructions)

* - all flags (C, Z, S, P, AC) affected

** - all flags except CARRY affected (exception: INX and DCX affect no flags)

† only CARRY affected

ARITHMETIC AND LOGICAL GROUP

Add*

ADD	A	87
	B	80
	C	81
	D	82
	E	83
	H	84
	L	85
	M	86
ADC	A	8F
	B	88
	C	89
	D	8A
	E	8B
	H	8C
	L	8D
	M	8E

Subtract*

SUB	A	97
	B	90
	C	91
	D	92
	E	93
	H	94
	L	95
	M	96
SBB	A	9F
	B	98
	C	99
	D	9A
	E	9B
	H	9C
	L	9D
	M	9E

Double Add †

DAD	B	09
	D	19
	H	29
	SP	39

Increment**

INR	A	3C
	B	04
	C	0C
	D	14
	E	1C
	H	24
	L	2C
	M	34
INX	B	03
	D	13
	H	23
	SP	33

Decrement**

DCR	A	3D
	B	05
	C	0D
	D	15
	E	1D
	H	25
	L	2D
	M	35
DCX	B	0B
	D	1B
	H	2B
	SP	3B

Specials

DAA*	27
CMA	2F
STC†	37
CMC†	3F

Rotate †

RLC	07
RRC	0F
RAL	17
RAR	1F

Logical*

ANA	A	A7
	B	A0
	C	A1
	D	A2
	E	A3
	H	A4
	L	A5
	M	A6
XRA	A	AF
	B	A8
	C	A9
	D	AA
	E	AB
	H	AC
	L	AD
	M	AE
ORA	A	B7
	B	B0
	C	B1
	D	B2
	E	B3
	H	B4
	L	B5
	M	B6
CMP	A	BF
	B	B8
	C	B9
	D	BA
	E	BB
	H	BC
	L	BD
	M	BE

Arith & Logical Immediate

ADI byte	C6
ACI byte	CE
SUI byte	D6
SBI byte	DE
ANI byte	E6
XRI byte	EE
ORI byte	F6
CPI byte	FE

BRANCH CONTROL GROUP

Jump

JMP adr	C3
JNZ adr	C2
JZ adr	CA
JNC adr	D2
JC adr	DA
JPO adr	E2
JPE adr	EA
JP adr	F2
JM adr	FA
PCHL	E9

Call

CALL adr	CD
CNZ adr	C4
CZ adr	CC
CNC adr	D4
CC adr	DC
CPO adr	E4
CPE adr	EC
CP adr	F4
CM adr	FC

Return

RET	C9
RNZ	C0
RZ	C8
RNC	D0
RC	D8
RPO	E0
RPE	E8
RP	F0
RM	F8

Restart

RST	0	C7
	1	CF
	2	D7
	3	DF
	4	E7
	5	EF
	6	F7
	7	FF

I/O AND MACHINE CONTROL

Stack Ops

PUSH	B	C5
	D	D5
	H	E5
	PSW	F5
POP	B	C1
	D	D1
	H	E1
	PSW*	F1
XTHL		E3
SPHL		F9

Input/Output

OUT byte	D3
IN byte	DB

Control

DI	F3
EI	FB
NOP	00
HLT	76

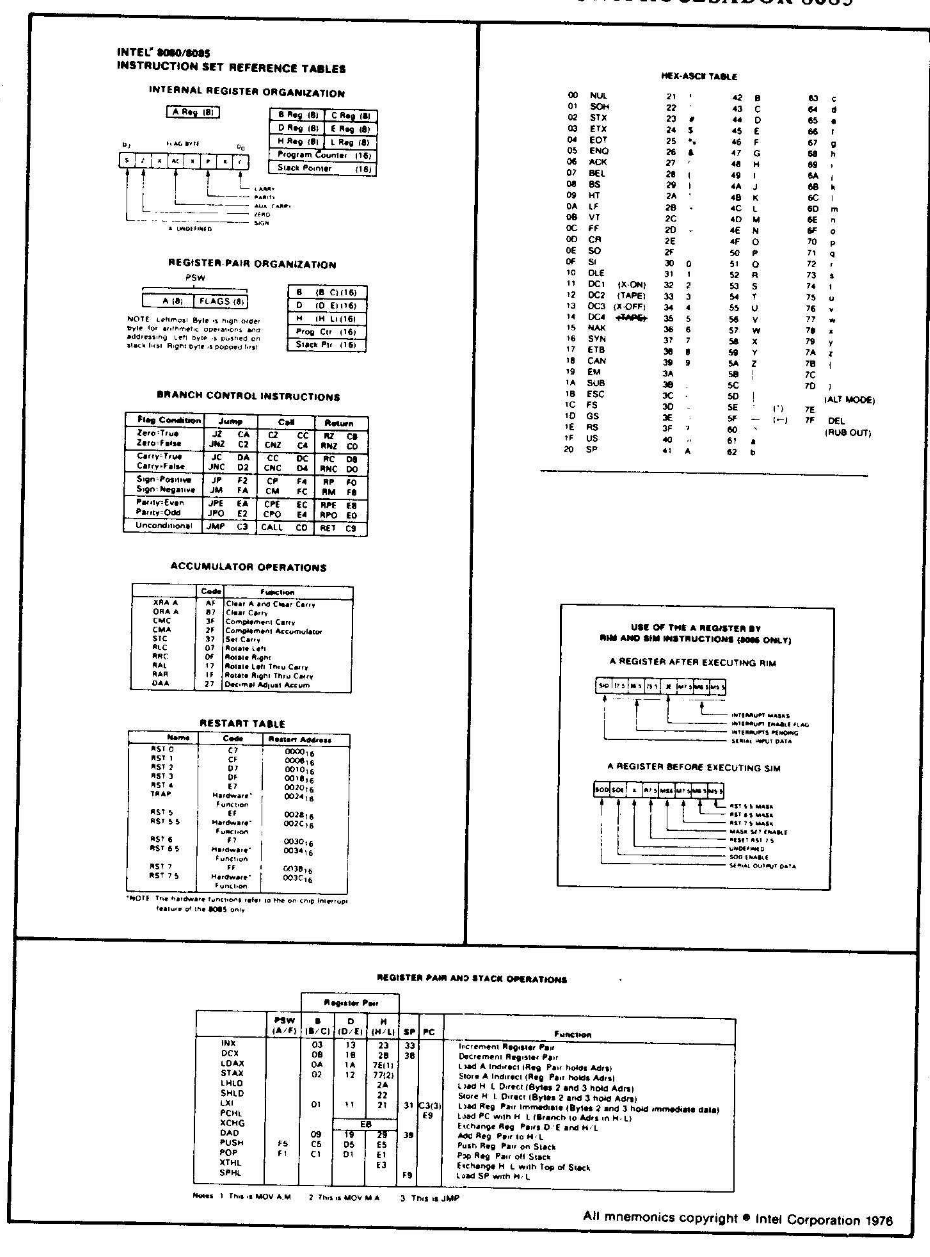
New Instructions (8085 Only)

RIM	20
SIM	30

00	NOP	2B	DCX H	56	MOV D,M	81	ADD C	AC	XRA H	D7	RST 2
01	LXI B,dble	2C	INR L	57	MOV D,A	82	ADD D	AD	XRA L	D8	RC
02	STAX B	2D	DCR L	58	MOV E,B	83	ADD E	AE	XRA M	D9	---
03	INX B	2E	MVI L,byte	59	MOV E,C	84	ADD H	AF	XRA A	DA	JC adr
04	INR B	2F	CMA	5A	MOV E,D	85	ADD L	B0	ORA B	DB	IN byte
05	DCR B	30	SIM*	5B	MOV E,E	86	ADD M	B1	ORA C	DC	CC adr
06	MVI B,byte	31	LXI SP,dble	5C	MOV E,H	87	ADD A	B2	ORA D	DD	---
07	RLC	32	STA adr	5D	MOV E,L	88	ADC B	B3	ORA E	DE	SBI byte
08	---	33	INX SP	5E	MOV E,M	89	ADC C	B4	ORA H	DF	RST 3
09	DAD B	34	INR M	5F	MOV E,A	8A	ADC D	B5	ORA L	E0	RPO
0A	LDAX B	35	DCR M	60	MOV H,B	8B	ADC E	B6	ORA M	E1	POP H
0B	DCX B	36	MVI M,byte	61	MOV H,C	8C	ADC H	B7	ORA A	E2	JPO adr
0C	INR C	37	STC	62	MOV H,D	8D	ADC L	B8	CMP B	E3	XTHL
0D	DCR C	38	---	63	MOV H,E	8E	ADC M	B9	CMP C	E4	CPO adr
0E	MVI C,byte	39	DAD SP	64	MOV H,H	8F	ADC A	BA	CMP D	E5	PUSH H
0F	RRC	3A	LDA adr	65	MOV H,L	90	SUB B	BB	CMP E	E6	ANI byte
10	---	3B	DCX SP	66	MOV H,M	91	SUB C	BC	CMP H	E7	RST 4
11	LXI D,dble	3C	INR A	67	MOV H,A	92	SUB D	BD	CMP L	E8	RPE
12	STAX D	3D	DCR A	68	MOV L,B	93	SUB E	BE	CMP M	E9	PCHL
13	INX D	3E	MVI A,byte	69	MOV L,C	94	SUB H	BF	CMP A	EA	JPE adr
14	INR D	3F	CMC	6A	MOV L,D	95	SUB L	C0	RNZ	EB	XCHG
15	DCR D	40	MOV B,B	6B	MOV L,E	96	SUB M	C1	POP B	EC	CPE adr
16	MVI D,byte	41	MOV B,C	6C	MOV L,H	97	SUB A	C2	JNZ adr	ED	---
17	RAL	42	MOV B,D	6D	MOV L,L	98	SBB B	C3	JMP adr	EE	XRI byte
18	---	43	MOV B,E	6E	MOV L,M	99	SBB C	C4	CNZ adr	EF	RST 5
19	DAD D	44	MOV B,H	6F	MOV L,A	9A	SBB D	C5	PUSH B	F0	RP
1A	LDAX D	45	MOV B,L	70	MOV M,B	9B	SBB E	C6	ADI byte	F1	POP PSW
1B	DCX D	46	MOV B,M	71	MOV M,C	9C	SBB H	C7	RST 0	F2	JP adr
1C	INR E	47	MOV B,A	72	MOV M,D	9D	SBB L	C8	RZ	F3	DI
1D	DCR E	48	MOV C,B	73	MOV M,E	9E	SBB M	C9	RET	F4	CP adr
1E	MVI E,byte	49	MOV C,C	74	MOV M,H	9F	SBB A	CA	JZ	F5	PUSH PSW
1F	RAR	4A	MOV C,D	75	MOV M,L	A0	ANA B	CB	---	F6	ORI byte
20	RIM*	4B	MOV C,E	76	HLT	A1	ANA C	CC	CZ adr	F7	RST 6
21	LXI H,dble	4C	MOV C,H	77	MOV M,A	A2	ANA D	CD	CALL adr	F8	RM
22	SHLD adr	4D	MOV C,L	78	MOV A,B	A3	ANA E	CE	ACI byte	F9	SPHL
23	INX H	4E	MOV C,M	79	MOV A,C	A4	ANA H	CF	RST 1	FA	JM adr
24	INR H	4F	MOV C,A	7A	MOV A,D	A5	ANA L	D0	RNC	FB	EI
25	DCR H	50	MOV D,B	7B	MOV A,E	A6	ANA M	D1	POP D	FC	CM adr
26	MVI H,byte	51	MOV D,C	7C	MOV A,H	A7	ANA A	D2	JNC adr	FD	---
27	DAA	52	MOV D,D	7D	MOV A,L	A8	XRA B	D3	OUT byte	FE	CPI byte
28	---	53	MOV D,E	7E	MOV A,M	A9	XRA C	D4	CNC adr	FF	RST 7
29	DAD H	54	MOV D,H	7F	MOV A,A	AA	XRA D	D5	PUSH D		
2A	LHLD adr	55	MOV D,L	80	ADD B	AB	XRA E	D6	SUI byte		

*8085 Only

ALGUNAS CARACTERISTICAS SIGNIFICATIVAS REFERENTES AL JUEGO DE INSTRUCCIONES DEL MICROPROCESADOR 8085



INTEL® 8080/8085
INSTRUCTION SET REFERENCE TABLES

INTERNAL REGISTER ORGANIZATION

REGISTER-PAIR ORGANIZATION

NOTE Leftmost Byte is high order byte for arithmetic operations and addressing Left byte is pushed on stack first Right byte is popped first

BRANCH CONTROL INSTRUCTIONS

Flag Condition	Jump		Call		Return	
Zero=True	JZ	CA	CZ	CC	RZ	C8
Zero=False	JNZ	C2	CNZ	C4	RNZ	C0
Carry=True	JC	DA	CC	DC	RC	D8
Carry=False	JNC	D2	CNC	D4	RNC	D0
Sign=Positive	JP	F2	CP	F4	RP	F0
Sign=Negative	JM	FA	CM	FC	RM	F8
Parity=Even	JPE	EA	CPE	EC	RPE	E8
Parity=Odd	JPO	E2	CPO	E4	RPO	E0
Unconditional	JMP	C3	CALL	CD	RET	C9

ACCUMULATOR OPERATIONS

	Code	Function
XRA A	AF	Clear A and Clear Carry
ORA A	B7	Clear Carry
CMC	3F	Complement Carry
CMA	2F	Complement Accumulator
STC	37	Set Carry
RLC	07	Rotate Left
RRC	0F	Rotate Right
RAL	17	Rotate Left Thru Carry
RAR	1F	Rotate Right Thru Carry
DAA	27	Decimal Adjust Accum

RESTART TABLE

Name	Code	Restart Address
RST 0	C7	0000_{16}
RST 1	CF	0008_{16}
RST 2	D7	0010_{16}
RST 3	DF	0018_{16}
RST 4	E7	0020_{16}
TRAP	Hardware* Function	0024_{16}
RST 5	EF	0028_{16}
RST 5.5	Hardware* Function	$002C_{16}$
RST 6	F7	0030_{16}
RST 6.5	Hardware* Function	0034_{16}
RST 7	FF	0038_{16}
RST 7.5	Hardware* Function	$003C_{16}$

*NOTE The hardware functions refer to the on-chip interrupt feature of the 8085 only

HEX-ASCII TABLE

00	NUL		21	!	42	B	63	c
01	SOH		22	"	43	C	64	d
02	STX		23	#	44	D	65	e
03	ETX		24	$	45	E	66	f
04	EOT		25	%	46	F	67	g
05	ENQ		26	&	47	G	68	h
06	ACK		27	'	48	H	69	i
07	BEL		28	(	49	I	6A	j
08	BS		29	)	4A	J	6B	k
09	HT		2A	*	4B	K	6C	l
0A	LF		2B	+	4C	L	6D	m
0B	VT		2C		4D	M	6E	n
0C	FF		2D	-	4E	N	6F	o
0D	CR		2E		4F	O	70	p
0E	SO		2F		50	P	71	q
0F	SI		30	0	51	Q	72	r
10	DLE		31	1	52	R	73	s
11	DC1	(X-ON)	32	2	53	S	74	t
12	DC2	(TAPE)	33	3	54	T	75	u
13	DC3	(X-OFF)	34	4	55	U	76	v
14	DC4	~~(TAPE)~~	35	5	56	V	77	w
15	NAK		36	6	57	W	78	x
16	SYN		37	7	58	X	79	y
17	ETB		38	8	59	Y	7A	z
18	CAN		39	9	5A	Z	7B	{
19	EM		3A		5B	[	7C	
1A	SUB		3B	;	5C		7D	} (ALT MODE)
1B	ESC		3C	<	5D	]		
1C	FS		3D	=	5E	^ (↑)	7E	
1D	GS		3E	>	5F	— (←)	7F	DEL (RUB OUT)
1E	RS		3F	?	60	`		
1F	US		40	@	61	a		
20	SP		41	A	62	b		

USE OF THE A REGISTER BY RIM AND SIM INSTRUCTIONS (8085 ONLY)

A REGISTER AFTER EXECUTING RIM

A REGISTER BEFORE EXECUTING SIM

REGISTER PAIR AND STACK OPERATIONS

	PSW (A/F)	Register Pair B (B/C)	D (D/E)	H (H/L)	SP	PC	Function
INX		03	13	23	33		Increment Register Pair
DCX		0B	1B	2B	3B		Decrement Register Pair
LDAX		0A	1A	7E(1)			Load A Indirect (Reg Pair holds Adrs)
STAX		02	12	77(2)			Store A Indirect (Reg Pair holds Adrs)
LHLD				2A			Load H L Direct (Bytes 2 and 3 hold Adrs)
SHLD				22			Store H L Direct (Bytes 2 and 3 hold Adrs)
LXI		01	11	21	31	C3(3)	Load Reg Pair Immediate (Bytes 2 and 3 hold immediate data)
PCHL						E9	Load PC with H L (Branch to Adrs in H-L)
XCHG			EB				Exchange Reg Pairs D/E and H/L
DAD		09	19	29	39		Add Reg Pair to H/L
PUSH	F5	C5	D5	E5			Push Reg Pair on Stack
POP	F1	C1	D1	E1			Pop Reg Pair off Stack
XTHL				E3			Exchange H L with Top of Stack
SPHL					F9		Load SP with H/L

Notes 1 This is MOV A,M 2 This is MOV M,A 3 This is JMP

LECCION 22

Ejemplos de programación del 8085

INTRODUCCION

Los microprocesadores constituyen una herramiento de trabajo para el proyectista de sistemas y su conocimiento sólo puede alcanzarse manejándola. Es muy difícil tener una conciencia exacta de las posibilidades y características de los sistemas con microprocesadores si no se usan y manejan prácticamente.

Para el lector que está adquiriendo las bases de esta tecnología se ofrecen en este capítulo una serie de ejercicios de programación que no sólo se exponen para ser comprendidos, sino también para ser ejecutados en un sistema de desarrollo, por mínimo que sea. En este aspecto, el kit SDK-85 puede cumplir este propósito, sin requerir un gasto excesivo. Para quienes dispongan de más medios económicos el uNAND 85 y el Hewlett Packard 5036 facilitarán en gran manera los conocimientos prácticos necesarios.

Los ejercicios para ser realizados en cualquier sistema basado en el 8080 o el 8085 son muy sencillos y lo único que ha de tenerse en cuenta al comprobarlos experimentalmente es elegir las direcciones de memoria que el sistema tenga libres para el usuario (en los primeros ejercicios se han usdado las direcciones libres del SDK-85 y el uNAND-85).

Las figuras 22-1, 22-2 y 22-3 muestran fotografías de los sistemas SDK-85 uNAND 85 y H.P. 5036.

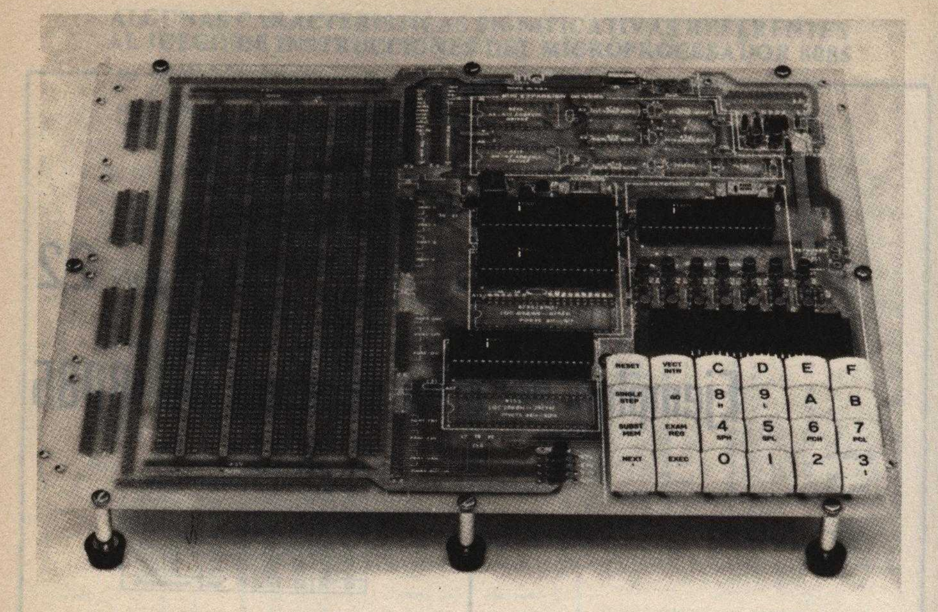


Fig. 22-1.– El kit SDK-85 montado.

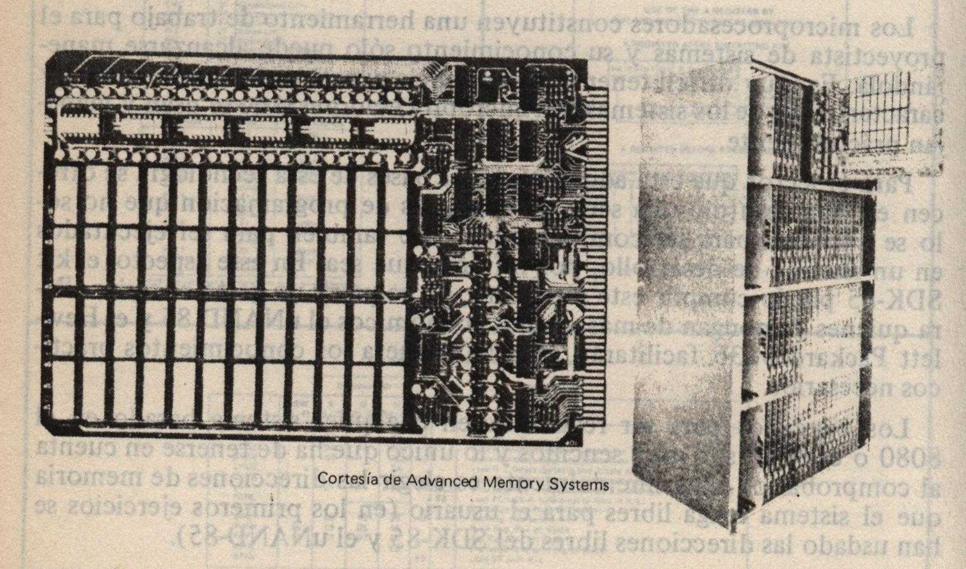

Cortesía de Advanced Memory Systems

Fig. 22-2.–Microcomputador de experimentación uNAND 85 (Cortesía de ANCART).

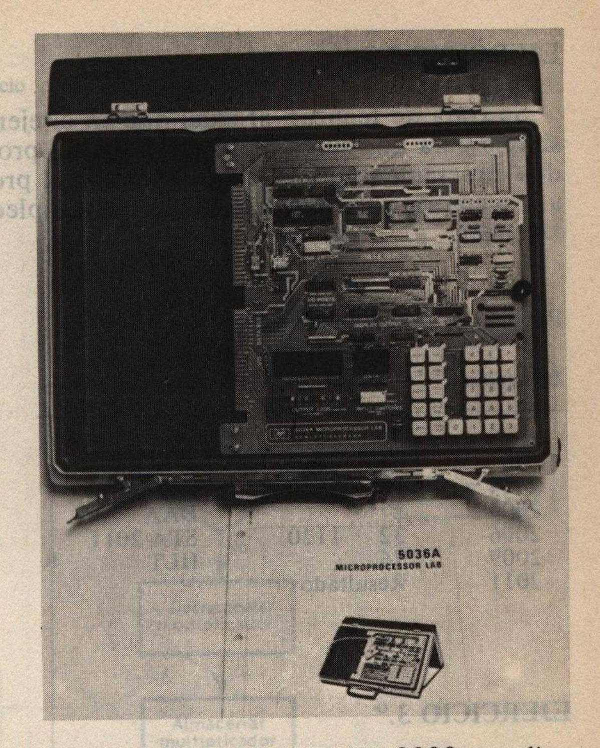


Fig. 22-3.– Maleta que contiene el microcomputador de Hewlett Packard 5036. (Cortesía del laboratorio del departamento de Arquitectura de Ordenadores de la Universidad de Deusto.)

EJERCICIO 1.º

Confeccionar un programa que comience en la posición 2000 y realice la suma de dos datos X e Y, almacenados en las posiciones de memoria 200F y 2010.

Dada la sencillez de este programa se presenta a continuación sin necesidad de exponer con antelación el ordinograma a que responde.

Programa solución al ejercicio 1.º

Dirección	OP	Nemónicos	Comentarios
2000	3A 0F20	LDA 200F	(A) ← Sumando 1.º
2003	21 1020	LXI,H 2010	(H) (L) ← Sumando 2.º
2006	86	ADD,M	(A) ← (A) + [(H) (L)]
2007	32 1120	STA 2011	(M) ← (A)
200A	76	HLT	Stop
200F	Sumando 1.º		
2010	Sumando 2.º		
2011	Resultado		

Nota: Con el H.P. 5036, comenzar los programas en la dirección 0800.

EJERCICIO 2.º

Se trata de realizar, al igual que en el ejercicio anterior, un programa simple para una suma, pero en este caso proporcionando los dos sumandos directamente en las instrucciones del programa, sin tener que acudir a la memoria para buscarlos. Nótese el empleo de la instrucción de Ajuste Decimal.

Programa solución al ejercicio 2.º

Dirección	OP		Nemónicos	Comentarios
2000	3E	10	MVI,A 10	(A) ← 10
2002	06	06	MVI,B 06	(B) ← 06
2004	80		ADD,B	(A) ← (A) + (B)
2005	27		DAA	Ajuste decimal
2006	32	1120	STA 2011	(M) ← (A)
2009	76		HLT	Stop
2011	Resultado			

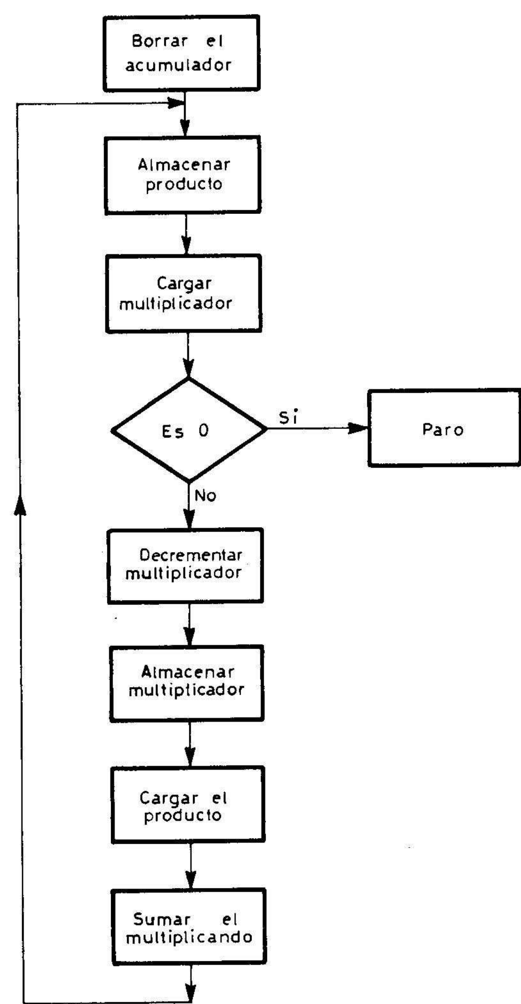
EJERCICIO 3.º

Realizar un programa que multiplique dos números variables contenidos en las posiciones 201D (multiplicando) y 201E (multiplicador). El resultado o producto deberá quedar almacenado en la posición 201F.

Programa solución al ejercicio 3.º

Dirección	OP		Nemónicos	Comentarios
2000	3A	1D20	LDA 201D	(A) ← Multiplicando
2003	47		MOV B,A	(B) ← (A)
2004	AF		XRA,A	(A) ← 0
2005	21	1E20	LXI,H 201E	(H) (L) ← 201E
2008	35		DCR,M	[(H) (L)] ← [(H) (L)] – 1
2009	FA	1020	JM 2010	Si (M) < 0
200C	80		ADD,B	(A) ← (A) + (B)
200D	C3	0820	JMP 2008	
2010	32	1F20	STA 201F	(M) ← (A)
2013	76		HLT	Stop
201D	Multiplicando; 201E Multiplicador; 201F Producto			


Fig. 22-4.– Ordinograma del ejercicio de multiplicación.



EJERCICIO 4.º

Confeccionar un programa que divida dos números cualesquiera entre sí. El dividendo estará contenido en la dirección de memoria 201F, el divisor en la 2020 y el resultado o cociente quedará almacenado en la posición 2021 una vez ejecutado el programa.

Se comienza ofreciendo en la figura 22-5 el ordinograma al que ha de responder el programa solución.

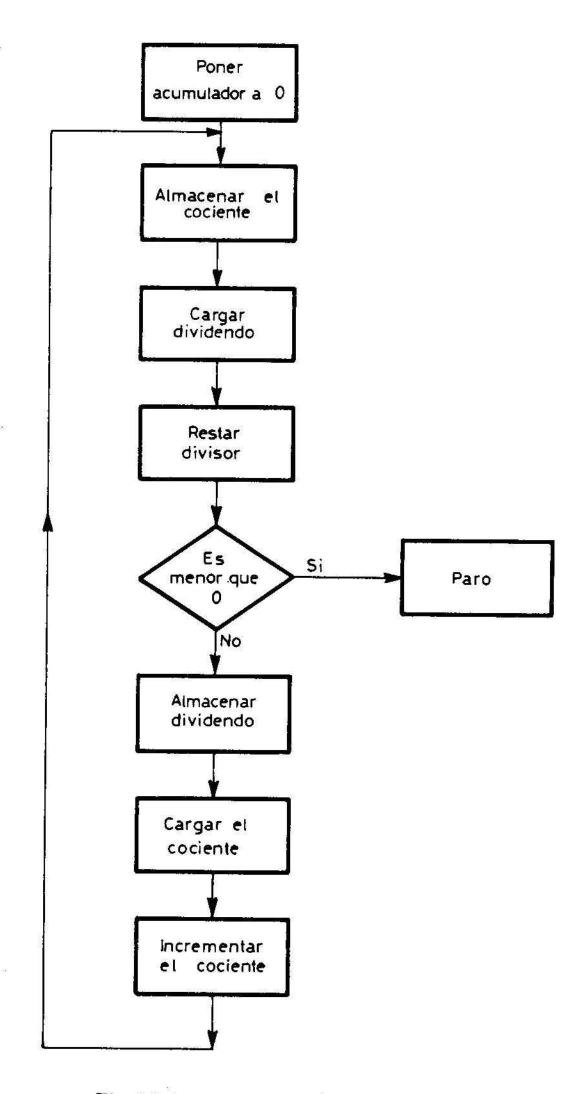


Fig. 22-5.–Ordinograma del ejercicio de división de dos números.

Programa solución del ejercicio 4.º

Dirección	OP		Nemónicos	Comentarios
2000	06	00	MVI,B 00	(B) ← 00
2002	3A	1F20	LDA 201F	(A) ← Dividendo
2005	21	2020	LXI,H 2020	(H) (L) ← 2020 (Divisor)
2008	96		SUB,M	(A) ← [(H) (L)] − (A)
2009	FA	1020	JM 2010	Si (A) < 0
200C	04		INR,B	(B) ← (B) + 1
200D	C3	0820	JMP 2008	
2010	78		MOV A,B	(A) ← (B)
2011	32	2120	STA 2021	(A) ↔ (M) (2021) Cociente
2014	76		HLT	Stop
201F	Dividendo: 2020 Divisor: 2021 Cociente.			

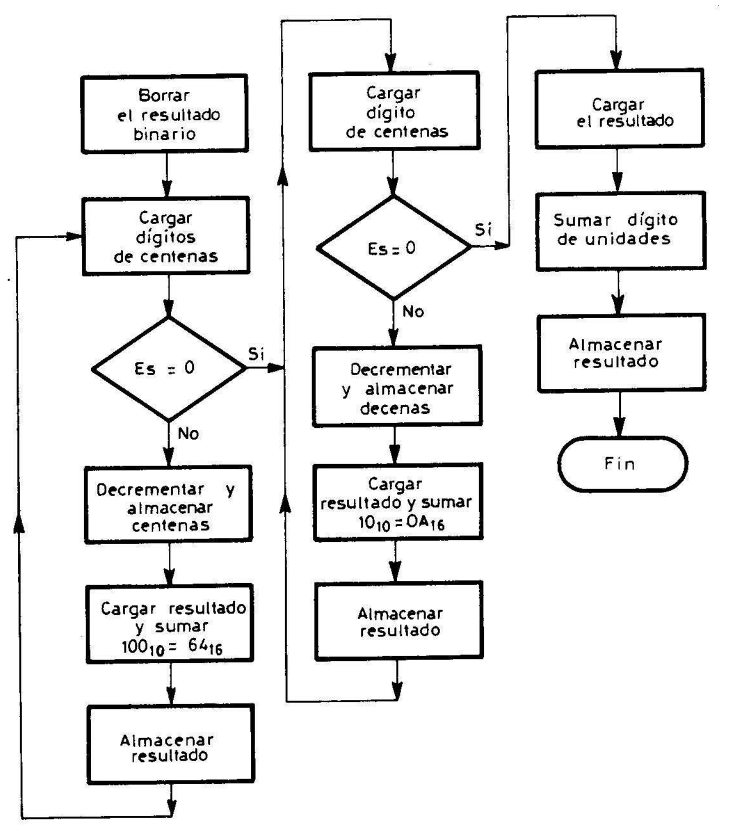


Fig. 22-6.—Ordinograma para la conversión de un número de tres dígitos en código BCD al sistema binario o hexadecimal.

EJERCICIO 5.º

Confeccionar un programa que convierta un número expresado en BCD a binario o hexadecimal. El número constará de tres dígitos de cuatro bits cada uno, como corresponde a un dígito BCD. El dígito de las centenas se almacena en la posición de memoria 2035, el de las decenas en la 2036 y el de las unidades en la 2037. Finalmente, el resultado de la conversión quedará depositado en la posición 2038.

Para efectuar esta conversión habrá que sumar tantas veces 100_{10}, ó sea 64_{16}, como indique el dígito de las centenas; al resultado así obtenido sumarle tantas veces 10_{10}, ó sea $0A_{16}$, como lo indique el dígito de las decenas y al resultado así obtenido sumarle las unidades.

En la figura 22-6 de la página anterior se muestra el diagrama de flujo y a continuación el programa de instrucciones del repertorio del 8085 que resuelven este ejercicio.

Programa solución del ejercicio 5.º

Dirección	OP		Nemónicos	Comentarios
2000	AF		XRA,A	(A) ← 00
2001	06	64	MVI,B 64	(B) ← 100
2003	21	3520	LXI,H 2035	(H) (L) ← 2035 (centenas)
2006	35		DCR,M	[(H) (L)] ← [(H) (L)] – 1
2007	FA	0E20	JM 200E	Si (M) < 0
200A	80		ADD,B	(A) ← (A) + (B)
200B	C3	0620	JMP 2006	
200E	23		INX,H	(H) (L) ← (H) (L) + 1 (decen.)
200F	06	0A	MVI,B 0A	(B) ← 10
2011	35		DCR,M	[(H) (L)] ← [(H) (L)] – 1
2012	FA	1920	JM 2019	Si (M) < 0
2015	80		ADD,B	(A) ← (A) + (B)
2016	C3	1120	JMP 2011	
2019	23		INX,H	(H) (L) ← (H) (L) + 1 (unid.)
201A	86		ADD,M	(A) ← (A) + [(H) (L)]
201B	32	3820	STA 2038	(A) → (M) resultado
201E	76		HLT	Stop
2035	Centenas; 2036 decenas; 2037 unidades; 2038 resultado			

EJERCICIO 6.º

Se trata de cargar el dato ϕϕ en todas las posiciones de memoria comprendidas entre la 2030 y la 2038, direccionadas mediante los registros H y L, que se incrementarán tantas veces como lo indique el registro B.

Programa solución del ejercicio 6.º

Dirección	OP		Nemónicos	Comentarios
2000	3E	00	MVI,A 00	(A) ← 00
2002	06	09	MVI,B 09	(B) ← 09
2004	21	3020	LXI,H 2030	(H) (L) ← 2030
2007	77		MOV M,A	[(H) (L)] ← (A)
2008	23		INX,H	(H) (L) ← (H) (L) + 1
2009	05		DCR,B	(B) ← (B) – 1
200A	C2	0720	JNZ 2007	Si no es 0
200D	76		HLT	Stop

EJERCICIO 7.º

Comparar dos números, uno de ellos fijo (20) y el otro variable, almacenado en la posición 201A. Si el número fijo es mayor que el variable, se deposita la resta de ambos en la posición de memoria 201B, pero si el fijo es menor que el variable, se deposita la suma de ambos en la posición 201C.

El ordinograma a que responde el programa que resuelve este ejercicio se muestra en la figura 22-7.

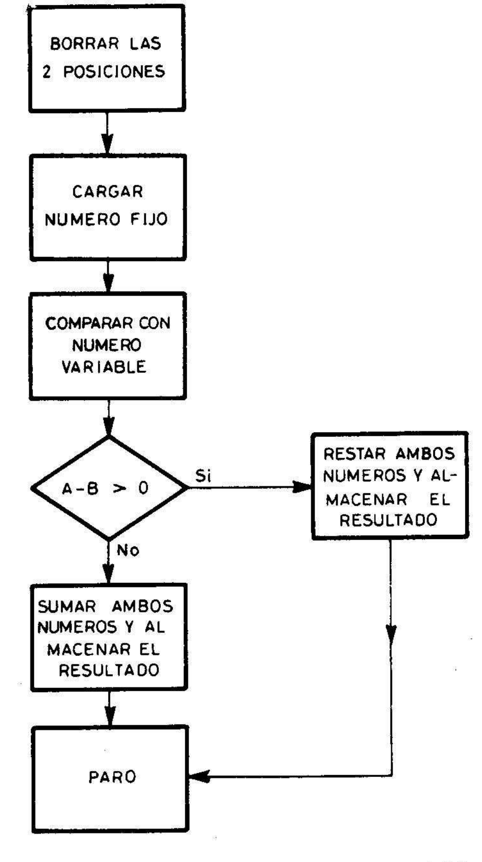


Fig. 22-7.–Diagrama de flujo del ejercicio sobre comparación de dos números.

Programa solución del ejercicio 7.°

Dirección	OP		Nemónicos	Comentarios
2000	AF		XRA,A 00	(A) ← 00
2001	32	1B20	STA 201B	(M) resta ← (A)
2004	32	1C20	STA 201C	(M) suma ← (A)
2007	21	1A20	LXI;H 201A	(H) (L) ← 201A (variable)
200A	3E	20	MVI,A 20	(A) ← 20
200C	BE		CMP,M	(A) – [(H) (L)]
200D	F2	1520	JP 2015	Si es positivo
2010	86		ADD,M	(A) ← (A) + [(H) (L)]
2011	32	1C20	STA 201C	(A) → (M) suma
2014	76		HLT	Stop
2015	96		SUB,M	(A) ← (A) – [(H) (L)]
2016	32	1B20	STA 201B	(A) → (M) resta
2019	78		HLT	Stop
201A	variable; 201B resta; 201C suma.			

EJERCICIO 8.°: "Juego de leds" (Hardware y software)

Este ejercicio exige una implementación de hardware externo alrededor del sistema de desarrollo, que consistirá en un conjunto de 8 diodos luminiscentes, tipo led, de forma que el programa los vaya iluminando secuencialmente uno a uno.

El programa comenzará en la posición 2000 y se inicia programando la puerta A del SDK-85 como salida de información. A continuación se borra el acumulador y se pone a 1 el carry. Después se produce una rotación a la derecha de los bits del acumulador con el carry, cada cierto tiempo, determinado por la decrementación de 60 veces el contenido FF de un registro. Las rotaciones, los delays y las salidas al exterior del contenido del acumulador se repiten continuamente, produciendo la iluminación sucesiva de los leds conectados en la puerta A.

En la figura 22-8 se observa la transferencia de información en las rotaciones en las que participan el acumulador y el carry.

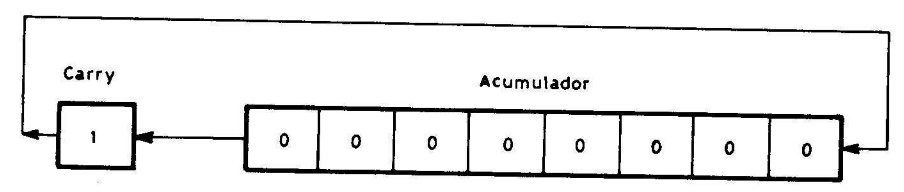


Fig. 22-8.—Rotaciones en las que participan el acumulador y el carry.

En la figura 22-9 se muestra el esquema del conexionado del hardware externo conectado a los pines de la puerta A de salida y necesario para producir la adaptación del sistema con los diodos luminiscentes.

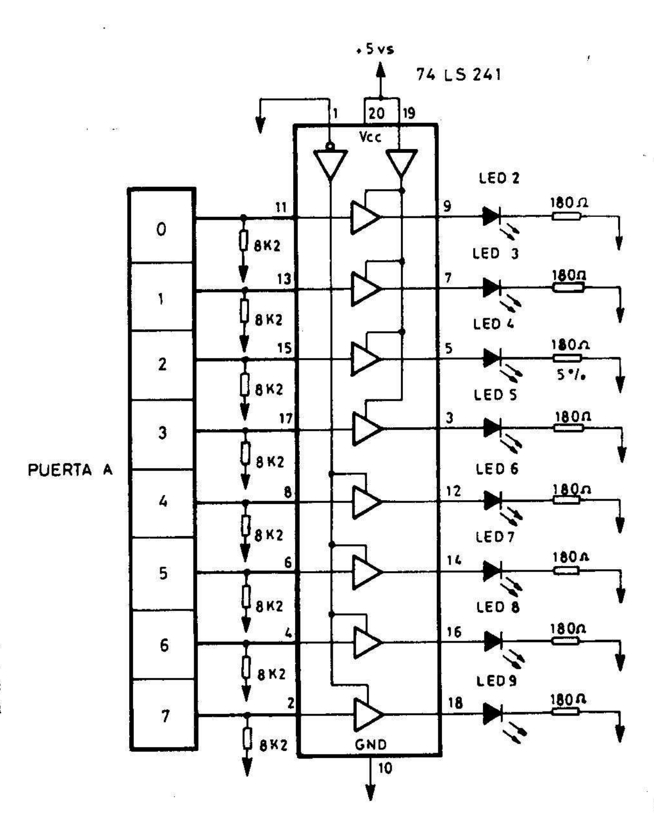


Fig. 22-9.– Esquema de conexionado del hardware externo para la adaptación de los diodos luminiscentes con el sistema.

Programa solución al ejercicio 8.°

Dirección	OP		Nemónicos	Comentarios
2000	3E	FF	MVI,AFF	(A) ← FF
2002	D3	02	OUT Port A	Port A ← (A)
2004	AF		XRA,A	(A) ← 00
2005	37		STC	CY ← 1
2006	D3	00	OUT Port A	Port A ← (A)
2008	17		RAL	
2009	06	60	MVI,B 60	(B) ← 60
200B	0E	FF	MVI; C FF	(C) ← FF
200D	0D		DEC,C	(C) ← (C) – 1
200E	C2	0D20	JNZ 200D	
2011	05		DEC,B	(B) ← (B) – 1
2012	C2	0B20	JNZ 200B	
2015	C3	0620	JMP 2006	

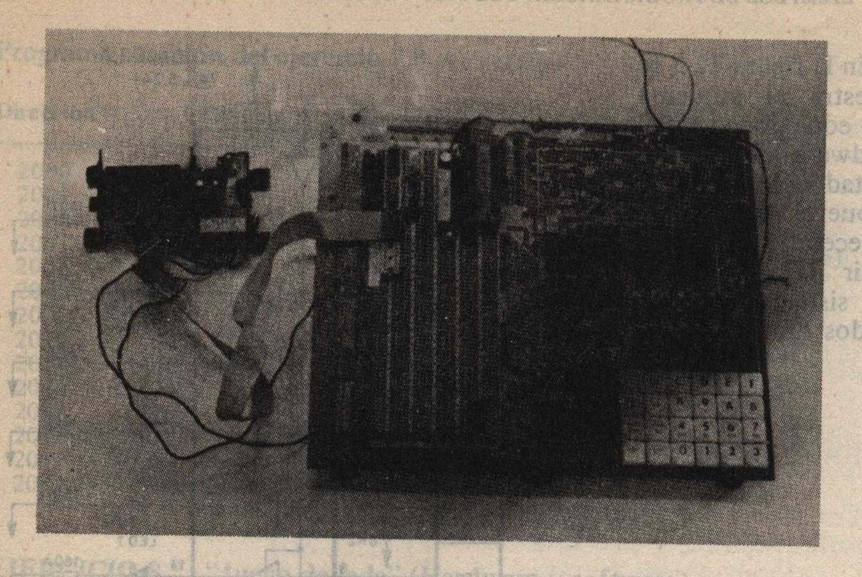


Fig. 22-10.– En la foto se muestra la posibilidad del conexionado de una pequeña y económica impresora al SDK-85, que permite la impresión de programas y resultados. Cortesía de Interface, S.A.

TECNICAS DE DISEÑO DE SOFTWARE

El diseño de una unidad completa de sofware es tan difícil como el diseño de un conjunto equivalente de hardware, pero los problemas que se presentan en ambas técnicas son diferentes. Hay que incorporar nuevos procedimientos y sistemas para diseñar un software que posteriormente sea fácil de modificar y depurar.

SISTEMAS DE DESARROLLO

El equipo de H.P. dispone de un teclado hexadecimal para la entrada de programas. Por lo tanto, los que estén escritos en lenguaje ensamblador será necesario traducirlos "a mano", o sea, consultando los códigos OP correspondientes a las instrucciones en ensamblador. Mientras este equipo es adecuado para cargar y trabajar con programas cortos, es demasiado engorroso e incómodo para llevar a cabo proyectos complejos de sofware.

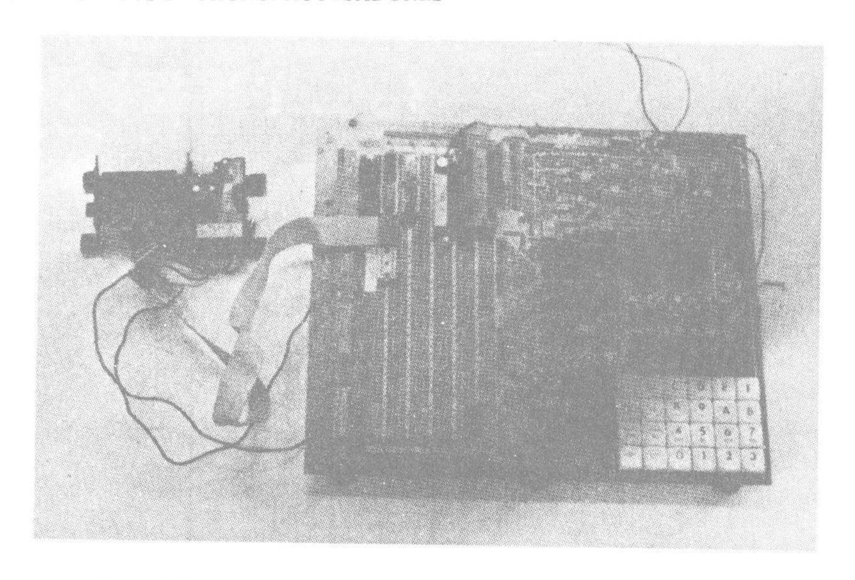


Fig. 22-10.– En la foto se muestra la posibilidad del conexionado de una pequeña y económica impresora al SDK-85, que permite la impresión de programas y resultados. Cortesía de Interface, S.A.

TECNICAS DE DISEÑO DE SOFTWARE

El diseño de una unidad completa de sofware es tan difícil como el diseño de un conjunto equivalente de hardware, pero los problemas que se presentan en ambas técnicas son diferentes. Hay que incorporar nuevos procedimientos y sistemas para diseñar un software que posteriormente sea fácil de modificar y depurar.

SISTEMAS DE DESARROLLO

El equipo de H.P. dispone de un teclado hexadecimal para la entrada de programas. Por lo tanto, los que estén escritos en lenguaje ensamblador será necesario traducirlos "a mano", o sea, consultando los códigos OP correspondientes a las instrucciones en ensamblador. Mientras este equipo es adecuado para cargar y trabajar con programas cortos, es demasiado engorroso e incómodo para llevar a cabo proyectos complejos de sofware.

La mayor parte del software diseñado para su aplicación a sistemas con microprocesador está destinado especialmente para ser desarrollado por un instrumento potente, capaz de soportar hardware y software y que recibe el nombre de "sistema de desarrollo". En un sstema de desarrollo típico se incluye:

- Memoria RAM de 32 a 64 k bytes para carga y manipulación de los programas del usuario.
- Dos unidades de disco flexible (floppy-disk) para almacenamiento de programas.
- Un terminal de vídeo con teclado alfanumérico (TRC)
- Una impresora

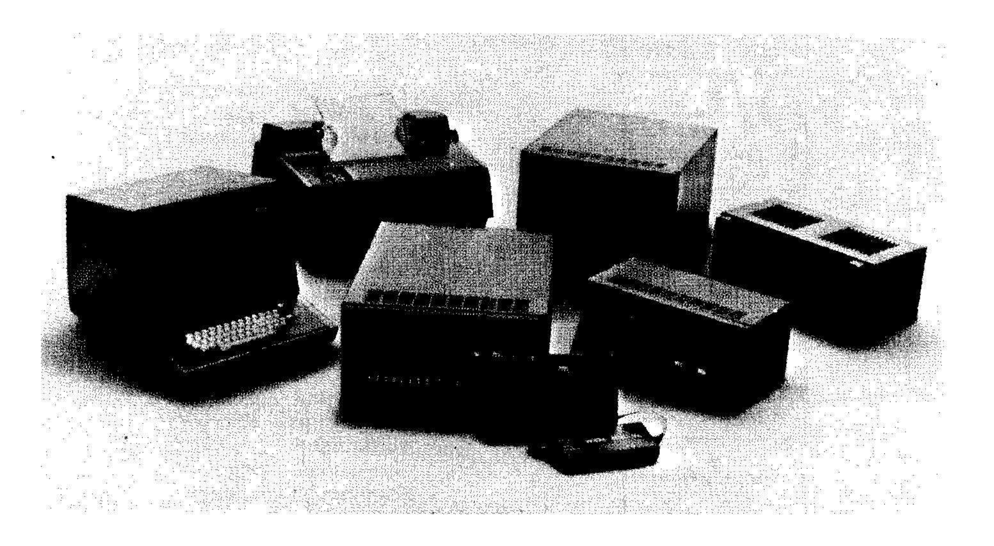


Fig. 22-11.–Sistema de desarrollo Intellec MDS de INTEL. Entre otros componentes destacan, TRC, floppy-disk, lectora cinta, programador PROM y tarjeta ICE de emulación.

En el ordinograma de la figura 22-12 se muestra el proceso general de trabajo a través de un sistema de desarrollo.

En la parte relacionada con el software, los sistemas de desarrollo incluyen generalmente un "programa editor" para la entrada y edición de programas en lenguaje Ensamblador, un "programa Ensamblador" y un

La mayor parte del software diseñado para su aplicación a sistemas con microprocesador está destinado especialmente para ser desarrollado por un instrumento potente, capaz de soportar hardware y software y que recibe el nombre de "sistema de desarrollo". En un sstema de desarrollo típico se incluye:

- Memoria RAM de 32 a 64 k bytes para carga y manipulación de los programas del usuario.
- Dos unidades de disco flexible (floppy-disk) para almacenamiento de programas.
- Un terminal de vídeo con teclado alfanumérico (TRC)
- Una impresora

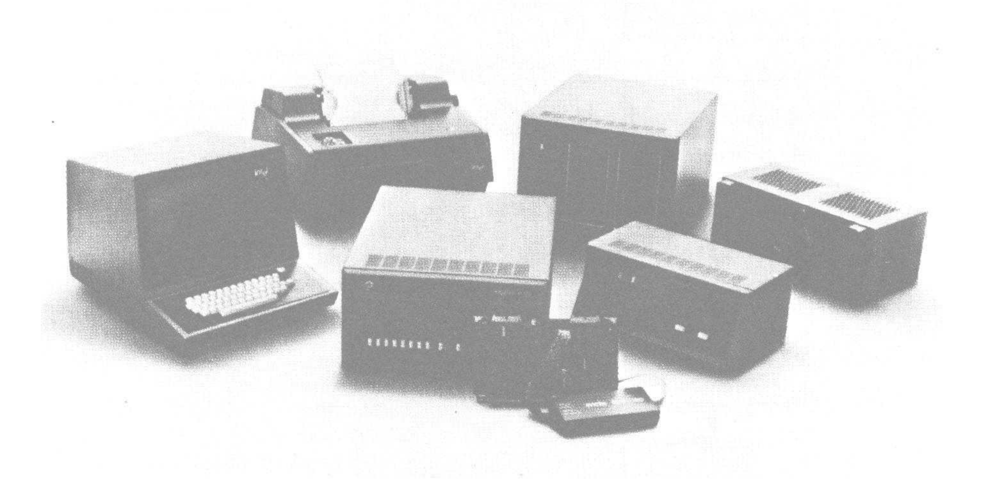


Fig. 22-11.– Sistema de desarrollo Intellec MDS de INTEL. Entre otros componentes destacan, TRC, floppy-disk, lectora cinta, programador PROM y tarjeta ICE de emulación.

En el ordinograma de la figura 22-12 se muestra el proceso general de trabajo a través de un sistema de desarrollo.

En la parte relacionada con el software, los sistemas de desarrollo incluyen generalmente un "programa editor" para la entrada y edición de programas en lenguaje Ensamblador, un "programa Ensamblador" y un

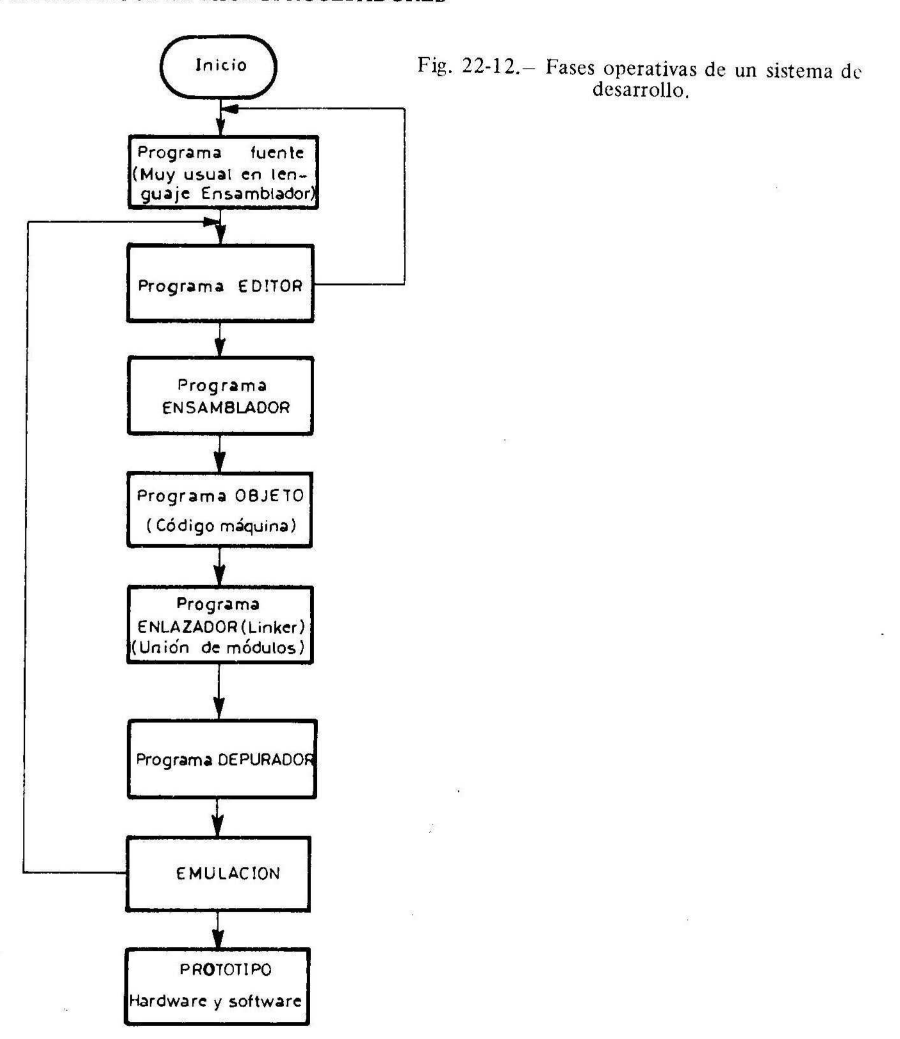


Fig. 22-12.– Fases operativas de un sistema de desarrollo.

"programa Monitor" que coloca los puntos de parada, examina registros y posiciones, etc.

Como ayudas para la puesta a punto del hardware, la mayoría de los sistemas de desarrollo incluyen una tarjeta de emulación (in circuit emulator). El chip microprocesador se sustituye en el sistema en prueba por un cable acabado en un enchufe de 40 pines que llega desde el sistema de desarrollo. Ahora el sistema de desarrollo controla y dirige completamente el funcionamiento del sistema que se prueba.

Apéndice

SOLUCIONES A LOS EJERCICIOS PROPUESTOS EN LAS LECCIONES

LECCION 1.ª

1.ª Pregunta.– Solución: *c*
2.ª Pregunta.– Solución: *b*
3.ª Pregunta.– Solución: *c*
4.ª Pregunta.– Solución: *a*
5.ª Pregunta.– Solución: *b*
6.ª Pregunta.– Solución: *b*
7.ª Pregunta.– Solución: *b*

LECCION 2.ª

1.ª Pregunta.– Solución: *c*
2.ª Pregunta.– Solución: *a*
3.ª Pregunta.– Solución: *c*
4.ª Pregunta.– Solución: *c*
5.ª Pregunta.– Solución: *b*
6.ª Pregunta.– Solución: *a*
7.ª Pregunta.– Solución: *c*

LECCION 3.ª

1.ª Pregunta.– Solución: *c*
2.ª Pregunta.– Solución: *a*
3.ª Pregunta.– Solución: *c*
4.ª Pregunta.– Solución: *b*
5.ª Pregunta.– Solución: *a*
6.ª Pregunta.– Solución: *b*
7.ª Pregunta.– Solución: *a*

LECCION 4.ª

1.ª Pregunta.– Solución: *b*
2.ª Pregunta.– Solución: *c*
3.ª Pregunta.– Solución: *a*
4.ª Pregunta.– Solución: *c*
5.ª Pregunta.– Solución: *c*
6.ª Pregunta.– Solución: *a*
7.ª Pregunta.– Solución: *c*

LECCION 5.ª

1.ª Pregunta.– Solución: *b*
2.ª Pregunta.– Solución: *c*
3.ª Pregunta.– Solución: *c*
4.ª Pregunta.– Solución: *c*
5.ª Pregunta.– Solución: *a*
6.ª Pregunta.– Solución: *c*
7.ª Pregunta.– Solución: *c*

LECCION 6.ª

1.ª Pregunta.– Solución: *c*
2.ª Pregunta.– Solución: *b*
3.ª Pregunta.– Solución: *a*
4.ª Pregunta.– Solución: *c*
5.ª Pregunta.– Solución: *b*
6.ª Pregunta.– Solución: *a*
7.ª Pregunta.– Solución: *a*

LECCION 8.ª

1.ª Pregunta.– Solución: *b*
2.ª Pregunta.– Solución: *c*
3.ª Pregunta.– Solución: *b*
4.ª Pregunta.– Solución: *c*
5.ª Pregunta.– Solución: *b*
6.ª Pregunta.– Solución: *b*

LECCION 9.ª

1.ª Pregunta.– Solución: *b*
2.ª Pregunta.– Solución: *a*
3.ª Pregunta.– Solución: *b*
4.ª Pregunta.– Solución: *a*
5.ª Pregunta.– Solución: *b*
6.ª Pregunta.– Solución: *b*

LECCION 10.ª

1.ª Pregunta.– Solución: *a*
2.ª Pregunta.– Solución: *c*
3.ª Pregunta.– Solución: *b*
4.ª Pregunta.– Solución: *a*
5.ª Pregunta.– Solución: *c*
6.ª Pregunta.– Solución: *c*

[illegible]CA FUNDAMENTAL

[illegible] tomos, constituye un Curso Básico de Electrónica, tanto en [illegible] teórico como en el práctico, con el que se adquiere un conocimiento completo de lo que es la electrónica, desde las válvulas de vacío hasta los circuitos integrados e, incluso, los microprocesadores.

El curso completo consta de siete tomos y el temario teórico y práctico que contiene cada uno es el siguiente:

Tomo 1.– *Teoría:* Introducción a la Electrónica. Electricidad.
Práctica: Soldadura y montajes eléctricos. El aparato de medida. Componentes eléctricos y electrónicos.

Tomo 2.– *Teoría:* Fuentes de alimentación. Rectificadores y filtros.
Práctica: Características de las válvulas y diodos semiconductores. Montaje de fuentes de alimentación.

Tomo 3.– *Teoría:* Amplificadores.
Práctica: Sonido, altavoces y micrófonos. Características de las válvulas amplificadoras. Amplificadores de baja y alta frecuencia.

Tomo 4.– *Teoría:* Generadores de señales. Osciladores. Receptor superheterodino de A.M.
Práctica: Montajes, ajuste y averías de un receptor de radio.

Tomo 5.– *Teoría:* Diodos, transistores y semiconductores especiales.
Práctica: Experimentación y montajes sobre circuitos con transistores semiconductores especiales.

Tomo 6.– *Teoría:* Circuitos integrados digitales y analógicos. El microprocesador. Hardware y software del microprocesador 8085.
Práctica: Montajes y experimentación con circuitos integrados analógicos y digitales. Programación del microprocesador 8085.

Tomo 7.– Ofrece una amplia gama de problemas, sobre todos los temas que abarca la Electrónica Moderna.

ISBN 84-283-1306-7





Magallanes, 25 - 28015 Madrid